

明 細 書

半導体デバイス試験装置

技術分野

この発明は、半導体デバイスが正常に動作するか否かを試験する半導体デバイス試験装置に関し、詳しく言うと、試験すべき半導体デバイス、特に、半導体デバイスの代表例である半導体集積回路をテストトレイに搭載して搬送し、テスト部においてテストトレイに載置したまま半導体集積回路の電氣的試験を行い、試験終了後に試験済み半導体集積回路をテストトレイごとテスト部から搬出し、試験結果のデータに基づいて試験済み半導体集積回路を類別する形式の半導体デバイス試験装置に関する。

背景技術

半導体集積回路（以下、ＩＣと称す）に所定のパターンのテスト信号を印加してその電氣的特性を測定する半導体デバイス試験装置（一般にＩＣテストと呼ばれる）には、試験すべきＩＣ（被試験ＩＣ）をテスト部に搬送し、このテスト部において被試験ＩＣを半導体デバイス試験装置のテストヘッド（試験用の各種の電気信号を供給及び受信する試験装置の測定部）のソケットに電氣的に接触させ、試験後に試験済みＩＣをテスト部から搬出し、試験結果のデータに基づいて試験済みのＩＣを良品、不良品に類別する半導体デバイス搬送処理装置（一般にハンドラと呼ばれる）が接続されているものが多い。本明細書においてはこの種のハンドラを一体的に接続したのも半導体デバイス試験装置と称することにする。なお、以下においては、説明を簡明にするために、半導体デバイスの代表例であるＩＣを例にとって説明する。

まず、水平搬送方式と呼ばれる従来のハンドラの一例について図７を参照して説明する。図示のハンドラ１０は、ユーザが予めカスタマトレイ（ユーザトレイ）１３に載置した被試験ＩＣ１５を、高／低温に耐えるテストトレイ１４に転送搬置し直すローダ部１１と、ローダ部１１から搬送されて来た被試験ＩＣ１５を試

2

験するためのテスト部21を有する恒温室20と、テスト部21での試験が終了し、テストトレイ14に載置されて搬送されて来た試験済み被試験IC15をテストトレイ14からカスタマトレイ13に転送載置し直すアンローダ部12（一般には試験結果のデータに基づいて被試験ICを分類して対応するカスタマトレイに載置することが多い）とを備えている。

テストトレイ14はローダ部11→恒温室20→アンローダ部12→ローダ部11と循環移動されており、被試験IC15を載置したテストトレイ14は、ローダ部11から恒温室20内部のソーク室22に搬送され、ここでテストトレイ14に載置された被試験IC15が所定の一定温度に加熱又は冷却される。一般には、ソーク室22は複数個（例えば10個）のテストトレイ14を積層状態に収納するように構成されており、例えば、ローダ部11からのテストトレイが一番上に收容され、一番下のテストトレイが恒温室20のテスト部21に搬送されるように構成されている。そして、ソーク室22内でテストトレイが一番上から一番下まで順次移動される間に被試験IC15が所定の一定温度に加熱又は冷却され、目的とする高温又は低温の温度ストレスが被試験IC15に与えられる。

この一定温度に加熱又は冷却された被試験IC15はその温度を保持した状態でテストトレイ14ごとソーク室22からテスト部21に搬送され、ここで被試験IC15は、テストトレイ14に搭載されたまま、このテスト部21に配置されたICソケット（図示せず）と電氣的に接触させられ、被試験IC15の電氣的特性が測定される。試験終了後、試験済み被試験IC15はテストトレイ14ごとテスト部21から出口室23に搬送され、ここで被試験IC15は外部温度に戻される。

この出口室23は上記ソーク室22と同様にテストトレイを積層状態に収納する構成を有し、例えば、出口室23内でテストトレイが一番下から一番上まで順次移動される間に試験済み被試験IC15が外部温度に戻されるように構成されている。外部温度に戻された後、試験済み被試験IC15はテストトレイ14ごとアンローダ部12に搬出され、ここでテストトレイ14から、テスト結果のカテゴリ毎に分類されて、対応するカスタマトレイ13に転送載置される。アンローダ部12で空になったテストトレイ14はローダ部11に搬送され、ここでカ

ストマトレイ 13 から再び被試験 IC 15 が転送、載置される。以下、同様の動作を繰り返すことになる。

なお、カストマトレイ 13 とテストトレイ 14 間の被試験 IC 15 並びに試験済み被試験 IC の転送には、通常、真空ポンプを使用した吸引搬送手段が用いられており、一度に 1 ～ 数個の被試験 IC 15 を吸着して転送を行う。また、ローダ部 11 及びアンローダ部 12 においてカストマトレイ 13 はトランスファアーム 30 によって被試験 IC 15 をテストトレイ 14 へ転送する位置及びテストトレイ 14 から試験済み IC を受け取る位置に移動される。

上述のように、被試験 IC 15 はローダ部 11 からテストトレイに載置されてテスト部 21 に搬送され、試験終了後このテスト部 21 からアンローダ部 12 にテストトレイごと搬送される。テスト部 21 において、被試験 IC 15 はテストトレイに載置されたまま半導体デバイス試験装置（以下、IC テスタと称す）から所定のテストパターン信号が供給される IC ソケットと電氣的に接続されて電気特性試験が行われる。ハンドラのテスト部 21 は被試験 IC 15 を指定された温度雰囲気中で試験する必要があるため、恒温室 20 内に設けられており、また、テストヘッドに取り付けられた IC テスタの IC ソケットも断熱状態で恒温室 20 内に配置する必要がある。

図 8 にテストトレイ 14 の一例の構造を示す。テストトレイ 14 は方形フレーム 16 に複数の棧 17 がこの方形フレーム 16 の長手方向に平行にかつ等間隔で形成されており、これら棧 17 の両側、及び棧 17 と対向するフレーム 12 の長手方向の辺 16 a、16 b にそれぞれ複数の取り付け片 18 が等間隔で突出形成されている。各棧 17 の両側の取り付け片 18 は、一方の側の取り付け片 18 が反対側の取り付け片 18 の中間に位置するように形成されており、同様に、フレーム 16 の長手方向の辺 16 a、16 b の取り付け片 18 は対向する棧 17 の取り付け片 18 の中間に位置するように形成されている。これら対向する棧 17 間の空間、及び棧 17 と対向する長手方向の辺 16 a、16 b との間の空間に、それぞれ多数個のデバイス収納キャリア 24（この技術分野ではトレイインサートと呼ばれている）が並置状態で収納される。

各デバイス収納キャリア 24 は、これら空間において位置がずれている斜めに

対向する2つの取付け片18を対角線方向の角部に含む1つの長方形の区画であるキャリア収納部19に収納される。従って、図示の例では各棧17の一方の側に16個の取付け片18が形成されているから、上記各空間に16個のキャリア収納部19が形成され、16個のデバイス収納キャリア24を取り付けることができる。図示の例では4つの空間があるからデバイス収納キャリア24は1つのテストトレイ14に16×4個、合計で64個、取り付けることができる。各デバイス収納キャリア24は2つの取付け片18に例えばファスナ28により取り付けられる。

デバイス収納キャリア24の外形は同一形状、同一寸法を有しており、その中央部に被試験ICを収納するIC收容部25が形成されている。この例ではIC收容部25は方形の凹部とされている。このIC收容部25の形状及び寸法は收容するICの形状及び寸法に応じて決められる。このため、被試験ICの形状及び寸法が相違する毎に、対応する形状及び寸法のIC收容部25を有するデバイス収納キャリア24が用意され、被試験ICの形状及び寸法に従ってデバイス収納キャリアを交換する。

IC收容部25の外形はキャリア収納部19の対向する取付け片間の空間に遊嵌する寸法に選択されており、IC收容部25の両端部には取付け片18上に配置される突出部がそれぞれ設けられている。これら両突出部にはファスナ28が挿通される取付け用の穴26が各突出部の側部に、位置決め用ピンが挿入される穴27が各突出部の中央部に、それぞれ形成されている。図9は上記構造のテストトレイ14に取り付けられたデバイス収納キャリア24を示す。

被試験IC15は図8に示すテストトレイ14の各デバイス収納キャリア24内に搭載されてロード部11から恒温室20内のテスト部21に搬送され、テストトレイ14に載置された状態でテストヘッドに取り付けられたICソケットに電氣的に接触させられて電気特性試験が行われる。

図8に示す構造のテストトレイ14が使用された場合に、テストヘッドに取り付けられるICソケットの一例を図10に示す。この例はICソケット60を4行(横列)×8列(縦列)のマトリックス状に配列した場合を示す。このICソケット60の配列の行数はテストトレイ14に取り付けられたデバイス収納キャ

リア24の行数と同じであるが、列数はデバイス収納キャリア24の列数の半分(1/2)になっている。その理由は、1台のICテストで一度に試験することができるICの個数には限度があり、64個のような多数個のICを一度に試験することができないためである。

よって、図8に示した構造のテストトレイ14を使用した場合には、ICを収納するデバイス収納キャリア24がテストトレイ14に4行×16列のマトリックス状に配列されるから、ICテストが32個のICを一度に試験できるように構成されている場合には、図10に示すように、テストトレイ14の各行(横列)の1列置き ICを一度に全部試験できるように4行×8列の32個のICソケット60がテストヘッドに取り付けられる。つまり、4行×8列のICソケット60は、テストトレイ14がテストヘッドに搬送されて来たときに、テストトレイ14の各行の、例えば1、3、5、7、9、11、13、15列の32個のIC(4行×8列)とそれぞれ電氣的に接触可能なように配列されている。

図11に示すように、1回目のテストはテストトレイ14の各行の1、3、5、7、9、11、13、15列にそれぞれ配置された32個のIC15(斜線で指示するIC)に対して実施され、2回目のテストはテストトレイ14をデバイス収納キャリア24の1列の横方向幅に対応する距離だけ移動させて各行の2、4、6、8、10、12、14、16列に配置された32個のIC15に対して実施される。

なお、テストトレイ14の各行の3列置きのICを一度に全部テストできるようにテストヘッドに4行×4列の16個のICソケット60を取り付けた場合には、1回目のテストをテストトレイ14の各行の1、5、9、13列にそれぞれ配置された16個のICに対して実施し、テストトレイ14をデバイス収納キャリア24の1列の横方向幅に対応する距離だけ移動させて各行の2、6、10、14列に配置された16個のICに対して2回目のテストを実施し、テストトレイ14をデバイス収納キャリア24の1列の横方向幅に対応する距離だけさらに移動させて各行の3、7、11、15列に配置された16個のICに対して3回目のテストを実施し、最後に、テストトレイ14をデバイス収納キャリア24の1列の横方向幅に対応する距離だけさらに移動させて各行の4、8、12、16

列に配置された16個のICに対して4回目のテストを実施することにより4行×16列に配列された64個のすべてのICを試験することができる。

ところで、セラミック、プラスチック等の絶縁基板の表面に半導体デバイス(IC)を実装し、この基板の底面に、端子或いは電極として機能する微小な半田ボールを格子状に2次元的に配列した形式のボール・グリッド・アレイ (Ball Grid Array) 構造のパッケージ (以下、BGAパッケージと称す) に収容されたICや、薄形の正方形又は長方形のパッケージ本体の4側辺より端子ピンが水平方向に平行に張り出している表面実装形式のパッケージであるQFP (Quad Flat Package) に収容されたICや、薄形の長方形のパッケージ本体の側辺の対向2辺より端子ピンが水平方向に平行に張り出している表面実装形式のパッケージであるTSOP (Thin Small Outline Package) に収容されたICのような、多ピン化したICパッケージに収容されたICを試験する場合、ICパッケージはロード部11においてカストマトレイ13から図8に示したようなテストトレイ14に転送、載置されてテスト部21に搬送され、テストトレイ14に載置された状態で試験される。なお、TSOPとはパッケージ取り付け高さ1.27mm以下のSOP (Small Outline Package) をいう。また、QFPやTSOPの端子ピンはガルウイング (Gull Wing) 状に成形されてプリント基板の電極表面に半田付けされる。

テスト部21において、テストトレイ14に載置されたICパッケージの端子ピンがテストヘッドに取り付けられたICソケット60のソケット端子と電氣的に接触させられ、次いで、ICテスト本体から所定のパターンのテスト信号をテストヘッドに取り付けられたパフォーマンスボード (Performance Board) を介してICソケット60に供給することによってICパッケージ内のICの試験が行われる。ICパッケージ内のICからの応答信号はICソケット60及びパフォーマンスボードを介してICテスト本体に送られ、ICの電氣的特性が測定される。

ICパッケージがBGAパッケージである場合には、図12に示すように、テストトレイ14のデバイス収納キャリア24に載置されたBGAパッケージ40の底面の格子状に配列された多数個のボール端子41がテスト部21においてI

Cソケット60の対応するソケット端子61とそれぞれ電氣的に接触させられる。このボール端子41とソケット端子61との電氣的接触を確実にするために、テストヘッドの上部にはBGAパッケージ40をその上部から下向きに押圧して抑え付けるブッシャー（圧接子）80が設けられており、このブッシャー80が各デバイス収納キャリア24に収納されているBGAパッケージ40を上方から押圧して抑え付け、ボール端子41を対向するICソケット60のソケット端子61に確実に接触させるように構成されている。

テストトレイ14がロード部11からテスト部21を経てアンロード部12に移動される間、テストトレイ14に取り付けられたデバイス収納キャリア24はBGAパッケージ40のボール端子41をキャリア下面側に露出させた状態でBGAパッケージ40を保持している。BGAパッケージ40の底面にはボール端子41がこの底面の殆ど全面にわたって格子状に配列されているので、これらボール端子41の全部をICソケット60のソケット端子61と接触させるためには、図13に示すように、デバイス収納キャリア24の底面にかなり広い面積のほぼ長方形のソケット端子用開口243を形成する必要がある。その結果、図13から理解できるように、BGAパッケージ40を載置、支持するデバイス収納キャリア24の底面領域241は底面周辺部（主に長手方向の両側）に僅かに残存するだけとなる。

一般に、BGAパッケージ40の底面の周辺にはボール端子41の配置されていない領域が僅かに存在するので、この僅かに残る周辺領域をデバイス収納キャリア24の残存する底面領域241に載置することで辛うじてBGAパッケージ40を保持している。しかしながら、最近では、BGAパッケージ40の底面全面にボール端子41が配置されているものも製造されており、このようなBGAパッケージを上記構造のデバイス収納キャリア24に載置した場合にはそのソケット端子用開口243から外部に露出しないボール端子が出現することになり、デバイス収納キャリア24に載置した状態でICの試験を実施することはできなくなる。

このように、デバイス収納キャリア24の底面は、BGAパッケージに収納されたICの集積度が高くなって多ピン化されたことに起因して、BGAパッケー

ジを載置、支持する底面領域が殆どなくなってしまうようになった。

よって、デバイス収納キャリア24にBGAパッケージを支持する何等かの手段を開発しない限り、テストトレイ14に載置したままでICの試験を実施する上述した構成のICテストを使用することができない。

他方、ICパッケージがQFPである場合には、図14に示すように、テストトレイ14のデバイス収納キャリア50に載置されたQFP45の4側辺から平行に取り出され、ガルウイング状に成形された多数個の端子ピン46が、テスト部21において、ICソケット65の対応するソケット端子66とそれぞれ電氣的に接触させられる。これら端子ピン46とソケット端子66との電氣的接触を確実にするために、テストヘッドの上部には、各デバイス収納キャリア50に載置されているQFP45の4側辺から取り出された多数個の端子ピン46の端部をそれらの上部から下方へ押圧して、対向するICソケット65のソケット端子66に圧接させるプッシャー82が設けられている。

テストトレイ14に取り付けられたデバイス収納キャリア50はQFP45の4側辺から平行に取り出された多数個の端子ピン46をキャリアの側面から下面側に露出させた状態でQFP45を保持している。QFP45が多ピン化されたことにより、図15に示すように、この例では長方形のパッケージ45の4側辺のそれぞれの殆ど両端部まで（角部の近傍に到るまで）端子ピン46が形成されている。

これら端子ピン46の全部をICソケット65のソケット端子66と接触させるために、QFP45の4側辺に沿ってデバイス収納キャリア50の底面に形成された4本のソケット端子用スリット52は各スリットの前部が隣接するスリットの前部に非常に接近した位置まで延びており、隣り合うスリットの前部間には僅かな結合部分が残るだけとなる。その結果、図15から理解できるように、QFP45を載置、支持するデバイス収納キャリア50の4本のスリット52で取り囲まれた中央部分の長方形の底面領域51はこれらスリット52の外側のデバイス収納キャリア50の底面周辺部と上記僅かな結合部分によって機械的に接続されるだけとなり、上記QFP45を載置するデバイス収納キャリア50の底面領域51の機械的強度がかなり低下するだけでなく、デバイス収納キャリア50

自体の機械的強度も弱くなるという難点があった。

一方で、高速動作する IC の試験には高周波信号を印加する必要があり、高周波信号を印加するためには IC ソケットをできるだけ薄くする必要がある。このように IC ソケットを薄形化すると、これに付随してデバイス収納キャリア 24 に BGA パッケージのような IC パッケージを載置、支持する底面を形成することが困難になるという問題、或いはデバイス収納キャリア 50 の QFP のような IC パッケージを載置、支持する底面領域の機械的強度が低下するという問題はさらに深刻化する。

図 7 を参照して既に説明したように、ローダ部 11 においてテストトレイ 14 に転送、載置された被試験 IC (実際には IC を収納したパッケージ) 15 はハンドラ 10 の恒温室 20 内に搬送され、この恒温室 20 内の所定の温度に加熱又は冷却されて恒温室 20 内のテスト部 21 に搬送され、ここで所定の温度に保持された状態で、かつテストトレイ 14 に載置されたまま、IC の試験が行なわれる。試験終了後、テストトレイ 14 に載置された IC パッケージはテストトレイごと恒温室 20 内から室外へ搬出される。

一方、IC パッケージの端子 (ボール端子 41 や端子ピン 46 等) が電氣的に接触する IC ソケットは、試験されるべき IC のパッケージが他の種類に切り換えられる毎にこれに対応して交換される。しかし、この交換作業は簡単には行えない。次に、この交換作業について説明する。

IC テスタの IC ソケット 68 はそのテストヘッドのパフォーマンスボードに取り付けられている。テストヘッドはハンドラの恒温室 20 の底部に配置されており、被試験 IC を所定の温度に保持した状態で被試験 IC の試験を行なうために、IC ソケット 68 はソケット端子を含むその上部が恒温室 20 内に露出した状態に固定される (図 6 参照)。従って、この IC ソケット 68 を交換する際には、まず、IC ソケット 68 を恒温室 20 から引き出し、次にテストヘッドのパフォーマンスボードに固定されている IC ソケット 68 を取り外し、他の種類の IC ソケットに交換することとなる。

しかしながら、IC ソケット 68 を恒温室 20 から引き出すと、所定温度に設定されている恒温室 20 はその底部が開放されるから、外気が恒温室 20 内に入

り込み、恒温室20内の温度が低下或いは上昇してしまう。従って、ICパッケージの種類が変更された場合には、ICソケットを交換した後、テストヘッドを恒温室20の底部に戻してソケット端子を含むICソケットの上部を恒温室20内に露出させ、その後さらに恒温室20内の温度を所定の温度に再設定する必要があり、被試験ICの試験を再開するまでに相当な時間と煩雑な作業が必要であった。このため、試験時間が非常に長くなるという欠点があった。

発明の開示

この発明の1つの目的は、ICパッケージの種類が変更されても、ICソケットを交換する必要をなくした半導体デバイス試験装置を提供するものである。

この発明の他の目的は、多数個の端子を有するパッケージに収容された被試験半導体デバイスでも確実に載置でき、かつ高い信頼性を持って載置した被試験半導体デバイスの試験を実施することができるデバイス収納キャリアをテストトレイに取り付けた半導体デバイス試験装置を提供することである。

上記この発明の目的は、ローダ部においてテストトレイに取り付けられたデバイス収納キャリアに被試験半導体デバイスを転送、載置し、このテストトレイを前記ローダ部から恒温室内のテスト部に搬送し、このテスト部において前記テストトレイに載置したまま前記被試験半導体デバイスの電氣的試験を行い、試験終了後、試験済み半導体デバイスを前記テストトレイにより前記恒温室からアンローダ部へ搬出するように構成されている半導体デバイス試験装置において、被試験半導体デバイスを収納するデバイス収納キャリアの底部を開放し、このデバイス収納キャリアの開放底部に、弾性を有する絶縁体板と、この絶縁体板の厚み方向に互いに絶縁状態で、かつ両端部が前記絶縁体板の両面に露出した状態に、埋設された多数本の導電性細線とから構成された導電性細線埋設部材を取り付け、この導電性細線埋設部材上に被試験半導体デバイスを載置し、この被試験半導体デバイスの試験時に、前記導電性細線埋設部材を前記被試験半導体デバイスに対するソケットとして機能させるようにした半導体デバイス試験装置を提供することによって、達成される。

好ましい第1の実施例においては、前記導電性細線埋設部材は、前記デバイス

収納キャリアの底部内壁に形成された溝に嵌合固定される。

前記導電性細線埋設部材の導電性細線間の相互間隔は0.1 mm又はその近傍の値に選定されることが好ましい。

また、第1の実施例においては、前記テスト部における被試験半導体デバイスの試験時に、各デバイス収納キャリアの前記導電性細線埋設部材の下面と接触するボードがテストヘッドに取り付けられる。各ボードの表面には、少なくとも前記導電性細線埋設部材の上面に載置された被試験半導体デバイスの各端子と対応する位置に、導電体のパッドが互いに絶縁状態で形成されており、前記被試験半導体デバイスの各端子と前記ボードの対応する導電体パッドとを前記導電性細線埋設部材の導電性細線を通じて互いに電氣的に接続する。

前記被試験半導体デバイスは微小な半田ボールが底面に格子状に配列されたボール・グリッド・アレイ構造のパッケージに收容されており、前記ボードの表面には各半田ボールと対応する位置に導電体パッドが形成されている。

前記ボードの表面に形成される導電体のパッドは金パッドであることが好ましい。また、前記ボードはその内部に多層の配線パターンが形成されており、前記ボード表面の導電体パッドが対応する配線パターンに電氣的に接続されている。

好ましい第2の実施例においては、前記被試験半導体デバイスは対向2辺から端子が平行に張り出している表面実装形式のパッケージに收容されており、前記ボードの表面には所定の間隔をおいて2列に導電体パッドが多数個形成されており、各列の導電体パッドのピッチは被試験半導体デバイスの端子のピッチと対応しており、各導電体パッドは配列方向とは直角な方向に細長く形成されている。

第1及び第2の実施例において、前記導電性細線埋設部材は、前記デバイス収納キャリアの底部にファスナにより固定されてもよい。

また、第1及び第2の実施例において、前記導電性細線埋設部材は、前記デバイス収納キャリアの底部に適当な接着剤によって接合固定されてもよい。

さらに、前記ボードの配線パターンが接続される前記テストヘッドに設けられた回路ボードは被試験半導体デバイスの種類の変更に依じて交換可能に構成されている。

上記構成のデバイス収納キャリアは、4側辺から端子が平行に張り出している

長方形又は方形の表面実装形式のパッケージに收容された被試験半導体デバイスでも確実に載置し、かつ被試験半導体デバイスを載置した状態でこの半導体デバイスの試験を高い信頼性を持って実施することができる。

図面の簡単な説明

図1はこの発明による半導体デバイス試験装置の第1の実施例の要部の構成を示す概略断面図である。

図2は図1に示す第1の実施例の変形例を示す概略断面図である。

図3は図1に示す第1の実施例の他の変形例を示す概略断面図である。

図4はこの発明による半導体デバイス試験装置の第2の実施例の要部の構成を示す概略断面図である。

図5はこの発明による半導体デバイス試験装置のテストヘッドのボードに取り付けられた金パッドの一例を示す平面図である。

図6はハンドラの恒温室とこの発明による半導体デバイス試験装置のテストヘッドとの配置関係を説明するための、恒温室を断面にした概略側面図である。

図7は従来の水平搬送式のハンドラの一例の全体構成を流れ図的に示す概略図である。

図8は従来のテストトレイの一例を示す斜視図である。

図9は図8に示すテストトレイにデバイス収納キャリアを取り付けた状態を示す斜視図である。

図10は従来のICソケットの一例を示す斜視図である。

図11は図10に示すICソケットを使用して図9に示すテストトレイに載置された被試験半導体デバイスを試験するときの態様を説明するための概略図である。

図12はデバイス収納キャリアに載置されたBGAパッケージとICソケットとの電気的接触状態を説明するための概略断面図である。

図13は図12に示されたデバイス収納キャリアの上面図である。

図14はデバイス収納キャリアに載置されたQFPとICソケットとの電気的接触状態を説明するための概略断面図である。

図15は図14に示されたデバイス収納キャリア及びQFPの上面図である。

発明を実施するための最良の形態

以下、この発明の好ましい実施例について詳細に説明する。なお、以下においては、説明を簡明にするために、半導体デバイスの代表例であるICを試験するICテストを例に取って説明するが、この発明はIC以外の他の半導体デバイスを試験する種々の形式の半導体デバイス試験装置にも同様に適用できることは言うまでもない。

図1は、デバイス収納キャリア100のIC収容部101に載置、支持されるICパッケージがBGAパッケージである場合に適用されるこの発明によるICテストの第1の実施例の要部を示し、デバイス収納キャリア100に載置、支持されたBGAパッケージ40とこのデバイス収納キャリア100の底部に取り付けられたICソケットとして機能する導電性細線埋設板110との電氣的接触状態、及びこの導電性細線埋設板110とテストヘッドのボード70に取り付けられた導電体のパッド72との電氣的接触状態を説明するための概略断面図である。

図1に示すデバイス収納キャリア100はそのIC収容部101の底部全面が開放されて長方形の開口102となっており、従って、BGAパッケージ40の底面のどの位置にボール端子41が形成されても、たとえBGAパッケージ40の底面の全面にボール端子41が形成されても、これらボール端子41はすべてデバイス収納キャリア100の下面に露出することになる。このデバイス収納キャリア100の底面の開口102は導電性細線埋設板110によって閉塞されている。

上記デバイス収納キャリア100のIC収容部101の壁は、下部内側壁面が削られて下方に突出する肉薄の導電性細線埋設板保持部103となっている。この導電性細線埋設板保持部103の基部の内壁に、全周にわたって導電性細線埋設板保持溝が形成されており、よって、上記導電性細線埋設板110を、IC収容部101の開口102より内部に押入すると、導電性細線埋設板110は導電性細線埋設板保持溝に嵌着し、それより上方へはIC収容部101の内壁が張り出しているので進むことができず、この導電性細線埋設板保持溝によって安定に

保持されることになる。このようにして導電性細線埋設板 110 はデバイス収納キャリア 100 の底部に取り付けられ、開口 102 を閉塞することになる。

この発明においては、この導電性細線埋設板 110 に従来の IC ソケットとしての機能を持たせるものである。従って、この発明では、上述した従来の IC テスタのように IC ソケットを IC テスタのテストヘッドに設けるのではなく、IC パッケージを載置、支持するデバイス収納キャリアに IC ソケットを設けることになる。

上記導電性細線埋設板 110 は、絶縁体の板又はシート、好ましくは弾性を有する絶縁体の板又はシート 111 に、その厚さ方向に相互に接触することなく多数本の導電性細線 112 を平行に埋設し、これら導電性細線 112 の両端面を絶縁体板 111 の上下両表面に露出させた構成を有する。導電性細線 112 は線径の極く細いものが使用され、また、導電性細線間の相互間隔は 0.1 mm 程度に選定されているので極く接近して埋設されている。

この実施例では絶縁体板 111 として弾性を有するゴム板が使用され、また、導電性細線 112 として銅、銀、金等の金属の細線が使用された。よって、以下の説明においては絶縁体板 111 をゴム板と称し、導電性細線 112 を金属細線と称することにする。

このように構成されているので、導電性細線埋設板 110 の一方の表面（上面）に BGA パッケージ 40 が載置され、このパッケージ 40 のボール端子 41 がこの導電性細線埋設板表面と接触すると、各ボール端子 41 は導電性細線埋設板 110 表面の微小面積部分に接触する。各微小面積部分には複数本の金属細線 112 が存在するから、各ボール端子 41 はこれら金属細線 112 によって互いに絶縁された状態で、導電性細線埋設板 110 の下面まで電氣的に引き出されたことになる。よって、導電性細線埋設板 110 の下面の各ボール端子 41 と対応する微小面積部分に、適当な導電体を配置すれば、BGA パッケージ 40 の各ボール端子 41 は互いに絶縁されて導電性細線埋設板 110 の下面に位置する導電体と電氣的に接続される。かくして、導電性細線埋設板 110 は従来の IC ソケットと同様の働きをし、各微小面積部分の金属細線 112 がソケット端子と同様の働きをすることが理解されよう。

図1は導電性細線埋設板110の下面の各ボール端子41と対応する微小面積部分に、良導電体のパッド、この例では金のパッド72を配置した場合を示すもので、これら金パッド72はテストヘッドのボード70の表面に形成されている。ボード70はICソケットのソケット端子と同様の働きをする金パッド72を絶縁支持するものであるから、図10に示したICソケット60と同様に、また、図6から理解できるように、ボード70はテストヘッド90に、例えば4行（横列）×8列（縦列）のマトリックス状に配列される。勿論、テストヘッド90に取り付けられるボード70の数は1台のICテストで一度に試験することができるICの個数に依存することになる。

図1から理解できるように、各ボード70はその内部に多層の配線パターン（太い実線で図示されている）が形成されており、ボード70の表面に形成された金パッド72はこれら配線パターンの内の対応するものに電氣的に接続されている。これら配線パターンはテストヘッド90を通じてICテスト本体に接続される。なお、金パッド72はボール端子41の形状に合わせて小円形状又は小楕円形状に形成されるが、勿論、他の形状であってもよい。

上記構成の導電性細線埋設板110を底部に取り付けたデバイス収納キャリア100をテストトレイ14に取り付け、ロード部11において被試験ICを収容したBGAパッケージ40を各デバイス収納キャリア100のIC収容部101に搭載、支持する。既に説明したように、IC収容部101の形状及び寸法は収容するICパッケージの形状及び寸法に応じて決められているので、収容されたBGAパッケージ40はそのボール端子41を下側にして安定した状態で良好に支持される。

テストトレイ14が恒温室20内のテスト部21に搬送され、テストヘッドに取り付けられた対応するボード70に各デバイス収納キャリア100の導電性細線埋設板110が接触させられると、図1に示すように、BGAパッケージ40の各ボール端子41とボード70の対応する金パッド72とが導電性細線埋設板110を通じて互いに電氣的に接続される。即ち、各ボール端子41が接触する導電性細線埋設板110上面の微小面積部分に埋設された複数本の金属細線112を通じて各ボール端子41は導電性細線埋設板110下面の微小面積部分に接

触する金パッド72と電氣的に良好に接続される。

この場合、導電性細線埋設板110に若干の押圧力を加えると、この導電性細線埋設板110はゴム板111の弾性により容易に変形し（凹み）、金属細線112は上部のBGAパッケージ40のボール端子41及び下部の金パッド72と確実に接触し、信頼性が高くなる。よって、従来例と同様に、テストヘッドの上部にブッシャー80を設け、このブッシャー80によって対応するIC収容部101内のBGAパッケージ40をその上部から下向きに押圧し、導電性細線埋設板110をボール端子41を介して押圧するように構成されている。

かくして、BGAパッケージ40のボール端子41は、たとえBGAパッケージ底面の全面に形成されていても、従って、ICの集積度が高くなってパッケージが多ピン化されても、導電性細線埋設板110の金属細線112を通じてボード70の金パッド72に良好に、高信頼性を持って電氣的に接続される。よって、従来のようにテストヘッドにICソケットを設ける必要なしに、BGAパッケージ40内のICの試験を高い信頼性を持って確実に実施することができる。

その上、BGAパッケージ40をデバイス収納キャリア100に取り付けられた導電性細線埋設板110上に載置、支持して搬送することができるから、デバイス収納キャリア100の機械的強度の低下も防止できる。また、導電性細線埋設板110がICソケットの機能を果たすので、ICソケットが非常に薄形となり、高周波信号の印加が可能なICテストを提供することができる。

さらに、デバイス収納キャリア100はテストトレイ14に取り付けられており、テストトレイ14は循環移動されるから、ICパッケージの種類が変更された場合には恒温室20の外部でデバイス収納キャリア100を交換することができる。このため、恒温室20内の温度は全く変化せず、また、作業性が良いので、短時間の中断で試験を再開することができる。

上記第1の実施例ではデバイス収納キャリア100のIC収容部101の下部内側壁面に、全周にわたって導電性細線埋設板保持溝を形成し、この導電性細線埋設板保持溝に導電性細線埋設板110を嵌着することによって導電性細線埋設板110をデバイス収納キャリア100の底部に取り付けたが、図2に示すように、導電性細線埋設板110をデバイス収納キャリア100の底面にファスナ6

3によって固定するように構成しても、上記第1の実施例と同様の作用効果が得られることは言うまでもない。

図1に示す第1の実施例及び図2に示す変形例の構成によれば、導電性細線埋設板110をデバイス収納キャリア100の底部内壁の溝又は底面に対して着脱することが容易であるので、ICパッケージの種類が変更された場合でも導電性細線埋設板110のみを交換すればよく、より一層作業性が向上するという利点がある。ただし、導電性細線埋設板110をデバイス収納キャリア100の底部内壁の溝又は底面に取り付ける構造のため、図1の構成ではデバイス収納キャリア100の下端部が入り込むための凹部又は貫通孔71を、また、図2の構成ではファスナ63を挿通するための貫通孔73をそれぞれボード70に形成する必要がある。

図3は図1に示す第1の実施例の他の変形例を示し、導電性細線埋設板110をデバイス収納キャリア100の底面に適当な接着剤によって固定したものである。この場合にも、上記第1の実施例と同様の作用効果が得られることは言うまでもない。

なお、図3に示す変形例では導電性細線埋設板110だけを交換することはできないが、ボード70に凹部又は貫通孔を形成する必要がある。

図4は、デバイス収納キャリア100のIC收容部101に載置、支持されるICパッケージがQFPである場合に適用されるこの発明によるICテストの第2の実施例の要部を示し、デバイス収納キャリア100に載置、支持されたQFP45とこのデバイス収納キャリア100の底部に取り付けられたICソケットとして機能する導電性細線埋設板110との電氣的接触状態、及びこの導電性細線埋設板110とテストヘッドのボード70に取り付けられた金パッド72との電氣的接触状態を説明するための概略断面図である。

デバイス収納キャリア100の構成は、IC收容部101の形状及び寸法が收容するQFPの形状及び寸法に応じて決められている点を除くと、図1に示したBGAパッケージ40に対するものと同じであるので、対応する部分に同一符号を付して必要のない限りその説明を省略する。

同様に、テストヘッドに取り付けられるボード70も、その表面に形成された

金パッド72がQFP45の側面から取り出された端子ピン46に対応するように配列され、かつその内部の多層の配線パターン（太い実線で図示されている）がこれら金パッド72の配列に応じて形成されている点を除くと、図1に示したBGAパッケージ40に対するものと同じであるので、対応する部分に同一符号を付してその説明を省略する。なお、金パッド72はQFP45の端子ピン46の端部の形状に合わせて長形状に形成されるが、他の形状であってもよいことは言うまでもない。

この第2の実施例においても、導電性細線埋設板110に若干の押圧力を加え、金属細線112による上部のQFP45の端子ピン46の端部と下部の金パッド72との電氣的接触を確実にし、信頼性を高めるために、従来例と同様に、テストヘッドの上部にプッシャー82を設け、このプッシャー82によってIC收容部101内のQFP45の端子ピン46の端部をその上部から下向きに押圧し、導電性細線埋設板110を端子ピン46の端部を介して押圧するように構成されている。

また、第2の実施例の場合にも、上記第1の実施例の図2及び図3に示す変形例と同様の構成が、導電性細線埋設板110をデバイス収納キャリア100に取り付ける場合に、採用できることは言うまでもない。即ち、導電性細線埋設板110をデバイス収納キャリア100の底面にファスナ63によって固定するように構成しても、導電性細線埋設板110をデバイス収納キャリア100の底面に適当な接着剤によって固定するようにしてもよい。

上述したように、導電性細線112が埋設される絶縁体の板又はシート111はゴム板又はシートのように弾性を有すると、プッシャー80又は82で押圧したときに導電性細線112による上部のパッケージの端子ピンと下部の導電体パッド72との電氣的接触がより一層確実になるが、通常、絶縁体の板又はシートは若干の弾性を有しているので、特に高い弾性を有する絶縁体板又はシートを使用しなくても十分に電氣的接触が保持できる。

上記構成の導電性細線埋設板110を底部に取り付けたデバイス収納キャリア100をテストトレイ14に取り付けると、IC收容部101の形状及び寸法は收容するICパッケージの形状及び寸法に応じて決められているので、收容され

たQFP45はその端子ピン46が導電性細線埋設板110表面に接触した状態で安定に支持される。

テストトレイ14が恒温室20内のテスト部21に搬送され、テストヘッドに取り付けられた対応するボード70に各デバイス収納キャリア100の導電性細線埋設板110が接触させられると、図4に示すように、QFP45の各端子ピン46の端部とボード70の対応する金パッド72とが導電性細線埋設板110を通じて互いに電氣的に接続される。即ち、各端子ピン46の端部下面が接触する導電性細線埋設板110上面の微小面積部分に埋設された複数本の金属細線112を通じて各端子ピン46は導電性細線埋設板110下面の微小面積部分に接触する金パッド72と電氣的に良好に接続される。この状態において、プッシャー82によって対応する端子ピン46の端部をその上部から下向きに押圧し、導電性細線埋設板110を端子ピン端部を介して押圧する。

かくして、QFP45の端子ピン46は、導電性細線埋設板110の金属細線112を通じてボード70の金パッド72に良好に、高信頼性を持って電氣的に接続される。よって、従来のようにテストヘッドにICソケットを設ける必要なしに、QFP45内のICの試験を高い信頼性を持って確実に実施することができる。

その上、IC収容部101の底面に4本のスリットを設ける必要がないから、デバイス収納キャリア100の機械的強度の低下も防止できる。また、導電性細線埋設板110がICソケットの機能を果たすので、ICソケットが非常に薄形となり、高周波信号の印加が可能なICテストを提供することができる。

さらに、デバイス収納キャリア100はテストトレイ14に取り付けられており、テストトレイ14は循環移動されるから、ICパッケージの種類が変更された場合には恒温室20の外部でデバイス収納キャリア100を交換することができる。このため、恒温室20内の温度は全く変化せず、また、作業性が良いので、短時間の中断で試験を再開することができる。

図5はデバイス収納キャリア100にTSOPを載置、支持する場合に適用して好都合なボード70表面上の金パッド72のパターンを示すものである。TSOPは薄形の長方形のパッケージ本体の側辺の対向2辺より端子ピンが水平方向

に平行に張り出している表面実装形式のパッケージであり、パッケージの形状は長方形又は方形であるけれど、その外形寸法や端子ピンの数は種々の種類のものがある。よって、ボード70の表面に所定の間隔をおいて2列の長方形の微小な金パッド72を形成するに際し、各金パッド列の長さ（各列の両端間の長さ）を最大の端子ピン配列長さを有するTSOPの端子ピンが全て接触し得る長さを選定する。また、金パッド72の長手方向の長さ（図5においては水平方向の長さ）を可能な限り長くする。各配列の隣り合う金パッド間の間隔（ピッチ）はTSOPの端子ピンの最小のピッチに等しいかそれより小さく選定する。

このように金パッド72のパターンを選定してボード70の表面に形成すると、テスト部21においてデバイス収納キャリア100に取り付けられた導電性細線埋設板110がボード70の表面と接触したときに、標準の外形寸法のTSOP120は金パッドパターンに対して、図5(a)に示す配置関係となるから、その端子ピンは各列の金パッド72の内の上下の数本を除く金パッドに、各金パッドの長手方向の中央部分で接触することになる。また、最大の端子ピン配列長さを有するTSOP121の場合には図5(b)に示す配置関係となるから、その端子ピンは各列の全ての金パッドに、各金パッドの長手方向の中央部分で接触することになる。さらに、端子ピン配列の長さは標準であるが横幅が標準より長いTSOP122の場合には図5(c)に示す配置関係となるから、その端子ピンは、図5(a)の場合と同じ金パッドに、各金パッドの長手方向の端部近傍で接触することになる。

従って、TSOPの種類が変更されても同じボード70が使用できるので非常に効率が良いという利点がある。

なお、上述したBGAパッケージに収容されたICを試験する場合にも、最大寸法のBGAパッケージの底面積に対応するボード70の表面領域全面に微小の円形又は楕円形の金パッドを形成しておくことが好ましい。これによって、すべての寸法のBGAパッケージに対応できるので、BGAパッケージの種類が変更されてもボード70を交換する必要がなくなる。ボード70表面の金パッド72は金以外の導電体よりなるパッド或いは端子であってもよいことは勿論である。

また、図6に示すテストヘッド90はそのベース（基部）92の回路ボードを

交換することによってボード70に対する電氣的な接続を変更できるように構成されている。これによって、ICパッケージの種類の変更等により、ボード70に対する電氣的な接続を変更する必要がある場合には、恒温室20の外部にあるテストヘッドの回路ボードを交換するだけでよいので、作業性が向上する。

上記各実施例はこの発明をICテストに適用した場合について記載したが、IC以外の他の半導体デバイスを試験する種々の形式の半導体デバイス試験装置にこの発明が適用でき、同様の作用効果が得られることは言うまでもない。また、BGAパッケージ、QFP、及びTSOPに収納されたICを載置、搬送して試験する場合についてこの発明を説明したが、その他のパッケージに収納されたICや他の半導体デバイスを試験する場合にもこの発明が適用でき、同様の作用効果が得られることは言うまでもない。

以上の説明から明白なように、この発明によれば、デバイス収納キャリアに導電性細線埋設板を取り付けてこの導電性細線埋設板にソケットの機能を持たせたので、従来技術のようにテストヘッドにソケットを設ける必要がなくなり、被試験半導体デバイスの種類が変更されても、テストヘッドのソケットを交換する必要がない。デバイス収納キャリア或いは導電性細線埋設板の交換は恒温室の外部で極めて容易に行える作業であるので、被試験半導体デバイスの種類が変更されたときに試験の中断は短時間で済み、作業性が大きく向上すると共に試験時間を大幅に短縮できるという利点がある。

また、デバイス収納キャリアに載置された半導体デバイスを導電性細線埋設板で載置、支持するので、ICパッケージの端子数が多くなっても、半導体デバイスを載置、支持する部分がなくなったり、この部分の機械的強度が極端に低下することはないし、デバイス収納キャリア自体の機械的強度の低下も全く生じない。その上、導電性細線埋設板がソケットの機能を果たすので、ソケットが非常に薄形に形成でき、高周波信号の印加が可能な半導体デバイス試験装置を提供することができるという利点がある。

さらに、導電性細線埋設板上に半導体デバイスを載置し、この導電性細線埋設板に埋設された導電性細線により半導体デバイスの端子をテストヘッドのボードの導電体パッド又は端子に接続するように構成したので、半導体デバイスの端子

の数に関係なくこれら端子を高い信頼性を持ってテストヘッドのボードのパッド又は端子に確実に接続できるという利点がある。

請 求 の 範 囲

1. ロータ部においてテストトレイに取り付けられたデバイス収納キャリアに被試験半導体デバイスを転送、載置し、このテストトレイを前記ロータ部から恒温室内のテスト部に搬送し、このテスト部において前記テストトレイに載置したまま前記被試験半導体デバイスの電氣的試験を行い、試験終了後、試験済み半導体デバイスを前記テストトレイにより前記恒温室からアンローダ部へ搬出するように構成されている半導体デバイス試験装置において、

被試験半導体デバイスを取納するデバイス収納キャリアの底部を開放し、このデバイス収納キャリアの開放底部に、絶縁体よりなる板と、この絶縁体板の厚み方向に互いに絶縁状態で、かつ両端部が前記絶縁体板の両面に露出した状態に、埋設された多数本の導電性細線とから構成された導電性細線埋設部材を取り付け、この導電性細線埋設部材上に被試験半導体デバイスを載置し、この被試験半導体デバイスの試験時に、前記導電性細線埋設部材を前記被試験半導体デバイスに対するソケットとして機能させるようにしたことを特徴とする半導体デバイス試験装置。

2. 前記導電性細線埋設部材は、前記デバイス収納キャリアの底部内壁に形成された溝に嵌合固定されることを特徴とする請求項1に記載の半導体デバイス試験装置。

3. 前記導電性細線埋設部材は、前記デバイス収納キャリアの底部にファスナにより固定されることを特徴とする請求項1に記載の半導体デバイス半導体試験装置。

4. 前記導電性細線埋設部材は、前記デバイス収納キャリアの底部に適当な接着剤によって接合固定されることを特徴とする請求項1に記載の半導体デバイス試験装置。

5. 前記導電性細線埋設部材の導電性細線間の相互間隔は0.1 mm又はその近傍



の値に選定されていることを特徴とする請求項 1 に記載の半導体デバイス試験装置。

6. 前記導電性細線埋設部材の絶縁体板は弾性を有するゴム板であり、前記導電性細線は金属の細線であることを特徴とする請求項 1 に記載の半導体デバイス試験装置。

7. 前記テスト部における被試験半導体デバイスの試験時に、各デバイス収納キャリアの前記導電性細線埋設部材の下面と接触するボードがテストヘッドに取り付けられ、各ボードの表面には、少なくとも前記導電性細線埋設部材の上面に載置された被試験半導体デバイスの各端子と対応する位置に、導電体のパッドが互いに絶縁状態で形成されており、前記被試験半導体デバイスの各端子と前記ボードの対応する導電体パッドとを前記導電性細線埋設部材の導電性細線を通じて互いに電氣的に接続することを特徴とする請求項 1 に記載の半導体デバイス試験装置。

8. 前記ボードの表面に形成される導電体のパッドは金パッドであることを特徴とする請求項 7 に記載の半導体デバイス試験装置。

9. 前記ボードはその内部に多層の配線パターンが形成されており、前記ボード表面の導電体パッドが対応する配線パターンに電氣的に接続されていることを特徴とする請求項 7 に記載の半導体デバイス試験装置。

10. 前記被試験半導体デバイスは対向 2 辺から端子が平行に張り出している表面実装形式のパッケージに收容されており、前記ボードの表面には所定の間隔をおいて 2 列に導電体パッドが多数個形成されており、各列の導電体パッドのピッチは被試験半導体デバイスの端子のピッチと対応しており、各導電体パッドは配列方向とは直角な方向に細長く形成されていることを特徴とする請求項 7 に記載の半導体デバイス試験装置。



1 1. 前記表面実装形式のパッケージはT S O Pであることを特徴とする請求項 1 0に記載の半導体デバイス試験装置。

1 2. 前記被試験半導体デバイスは4側辺から端子が平行に張り出している表面実装形式のパッケージに収容されており、前記ボードの表面には前記被試験半導体デバイスの各端子と対応する位置に導電体パッドが形成されていることを特徴とする請求項7に記載の半導体デバイス試験装置。

1 3. 前記表面実装形式のパッケージはQ F Pであることを特徴とする請求項 1 2に記載の半導体デバイス試験装置。

1 4. 前記被試験半導体デバイスは微小な半田ボールが底面に格子状に配列されたボール・グリッド・アレイ構造のパッケージに収容されており、前記ボードの表面には各半田ボールと対応する位置に導電体パッドが形成されていることを特徴とする請求項7に記載の半導体デバイス試験装置。

1 5. 前記テストヘッドに取り付けられた前記ボードの配線パターンが接続される前記テストヘッドに設けられた回路ボードが被試験半導体デバイスの種類の変更に応じて交換可能であることを特徴とする請求項7に記載の半導体デバイス試験装置。

