

一种 ECS 电路、方法和存储器

相关申请的交叉引用

本公开基于申请号为 202211222144.2、申请日为 2022 年 10 月 08 日、发明名称为“一种 ECS 电路、方法和存储器”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，尤其涉及一种 ECS 电路、方法和存储器。

背景技术

随着半导体技术的不断发展，人们在制造和使用计算机等设备时，对数据的传输速度提出了越来越高的要求。为了获得更快的数据传输速度，应运而生了一系列数据可以双倍速率（Double Data Rate, DDR）传输的存储器等器件。

然而，随着存储器的传输速度越来越快、存储单元缩小以及行锤击（Row hammer）等原因，存储器中可能会发生错误，这就需要对存储器进行错误检查并及时纠正检查到的错误。以动态随机存取存储器（Dynamic Random Access Memory, DRAM）为例，需要至少每 24 小时对 DRAM 进行一次完整的错误检查与清除（Error Check and Scrub, ECS）。

发明内容

本公开实施例提供了一种 ECS 电路、方法和存储器。

第一方面，本公开实施例提供了一种 ECS 电路，包括 ECS 控制模块、命令生成模块、地址计数模块和错误追踪记录模块，其中：

所述 ECS 控制模块，配置为接收模式控制信号，根据所述模式控制信号生成 ECS 命令信号；所述命令生成模块，配置为根据所述 ECS 命令信号生成内部命令信号，所述内部命令信号用于执行对应的 ECS 操作；

所述地址计数模块，配置为根据所述内部命令信号进行地址计数，在目标地址完成计数时生成计数结束信号；

所述错误追踪记录模块，配置为接收错误信号，并根据所述计数结束信号和所述错误信号生成错误追踪信号，所述错误追踪信号用于记录所述 ECS 操作的错误信息。

在一些实施例中，所述模式控制信号包括多用途命令 MPC 信号或刷新命令信号，其中：

所述 ECS 控制模块，还配置为在所述 ECS 操作为手动 ECS 操作模式的情况下，根据所述 MPC 信号生成所述 ECS 命令信号，或者；

所述 ECS 控制模块，还配置为在所述 ECS 操作为自动 ECS 操作模式的情况下，根据所述刷新命令信号生成所述 ECS 命令信号。

在一些实施例中，所述 ECS 控制模块包括第一时序模块和命令控制模块，其中：

所述第一时序模块，配置为生成 ECS 标识信号；

所述命令控制模块，配置为接收所述 ECS 标识信号，以及在所述 ECS 标识信号处于有效状态时，获取刷新命令信号，并根据所述刷新命令信号产生所述 ECS 命令信号。

在一些实施例中，所述第一时序模块，配置为接收第一时钟信号，根据所述第一时钟信号进行计数，生成所述 ECS 标识信号，并将所述 ECS 标识信号发送给所述命令控制模块；其中，在计数值满足预设条件时，所述 ECS 标识信号处于有效状态。

在一些实施例中，所述第一时序模块，还配置为在所述 ECS 标识信号处于有效状态时，停止

所述计数；

所述命令控制模块，还配置为在根据所述刷新命令信号产生所述 ECS 命令信号之后，生成复位信号，将所述复位信号发送给所述第一时序模块，以使所述第一时序模块重新开始计数并且控制所述 ECS 标识信号处于无效状态。

- 5 在一些实施例中，所述命令控制模块，还配置为在所述 ECS 标识信号处于无效状态时，将所接收到的刷新命令信号输出为内部刷新信号，以执行刷新操作。

在一些实施例中，所述命令生成模块包括内部命令生成模块和第二时序模块，其中：

所述内部命令生成模块，配置为在接收到所述 ECS 命令信号后，按照预设时序条件依次生成激活信号、读命令信号、写命令信号和预充电信号；

- 10 所述第二时序模块，配置为控制所述激活信号和所述读命令信号之间的时间间隔满足第一时序条件，控制所述读命令信号和所述写命令信号之间的时间间隔满足第二时序条件以及控制所述写命令信号和所述预充电信号之间的时间间隔满足第三时序条件；

其中，所述预设时序条件是由所述第一时序条件、所述第二时序条件和所述第三时序条件组成。

- 15 在一些实施例中，所述 ECS 电路还包括存储控制模块和存储阵列，所述存储阵列包括至少一个存储组，所述存储组包括至少一个存储块，所述存储块包括至少一行和至少一列，其中：

所述存储控制模块，配置为接收所述内部命令信号，并根据所述内部命令信号对所述存储阵列执行 ECS 操作，以及；

- 20 所述存储控制模块，还配置为在执行所述 ECS 操作时，若检测到错误信息，则生成所述错误信号，并将所述错误信号发送给所述错误追踪记录模块。

在一些实施例中，所述地址计数模块包括列计数模块、行计数模块和阵列计数模块，其中：

所述列计数模块，配置为接收所述预充电信号，根据所述预充电信号对目标行进行列计数；在所述目标行的列计数完成时，生成列输出信号和列结束信号；

- 25 所述行计数模块，配置为接收所述预充电信号和所述列输出信号，根据所述预充电信号和所述列输出信号对目标存储块进行行计数；在所述目标存储块的行计数完成时，生成行输出信号和行结束信号；

所述阵列计数模块，配置为接收所述预充电信号和所述行输出信号，根据所述预充电信号和所述行输出信号对目标存储组进行存储块计数；在所述目标存储组的存储块计数完成时，生成存储块输出信号和存储块结束信号；以及，根据所述预充电信号和所述存储块输出信号对所述存储阵列进行存储组计数；在所述存储阵列的存储组计数完成时，生成存储组结束信号和 ECS 结束信号。

- 30 在一些实施例中，所述阵列计数模块包括存储块计数模块和存储组计数模块，其中：

所述存储块计数模块，配置为接收所述预充电信号和所述行输出信号，根据所述预充电信号和所述行输出信号对目标存储组进行存储块计数；在所述目标存储组的存储块计数完成时，生成所述存储块输出信号和所述存储块结束信号；

- 35 所述存储组计数模块，配置为接收所述预充电信号和所述存储块输出信号，根据所述预充电信号和所述存储块输出信号对所述存储阵列进行存储组计数；在所述存储阵列的存储组计数完成时，生成所述存储组结束信号和所述 ECS 结束信号。

在一些实施例中，所述列计数模块，还配置为在生成所述列输出信号和所述列结束信号之后，继续执行下一目标行的列计数，直至完成所述存储阵列中的每一行的列计数；

- 40 所述行计数模块，还配置为在生成所述行输出信号和所述行结束信号之后，继续执行下一目标存储块的行计数，直至完成所述存储阵列中的每一存储块的行计数；

所述阵列计数模块，还配置为在生成所述存储块输出信号和所述存储块结束信号之后，继续执行下一目标存储组的存储块计数，直至完成对所述存储阵列中的每一存储组的存储块计数。

- 45 在一些实施例中，所述错误追踪记录模块包括第一错误追踪记录模块，其中：

所述第一错误追踪记录模块，配置为接收计数模式信号，以及在所述计数模式信号为第一值的情况下，确定所述第一错误追踪记录模块的计数模式为码字计数模式；或者，在所述计数模式信号为第二值的情况下，确定所述第一错误追踪记录模块的计数模式为行计数模式。

在一些实施例中，所述第一错误追踪记录模块，配置为在所述计数模式为所述码字计数模式

的情况下,接收所述错误信号,根据所述错误信号进行码字计数,并在接收到所述 ECS 结束信号时,确定第一计数值;以及将所述第一计数值与第一阈值进行比较,在所述第一计数值大于或者等于所述第一阈值的情况下,将所述第一计数值进行保存;其中,所述第一计数值用于表征所述存储阵列中存在错误信息的码字数量。

5 在一些实施例中,所述第一错误追踪记录模块,配置为在所述计数模式为所述行计数模式的情况下,接收所述错误信号和所述列结束信号,根据所述错误信号和所述列结束信号进行错误行计数,并在接收到所述 ECS 结束信号时,确定第二计数值;以及将所述第二计数值与第二阈值进行比较,在所述第二计数值大于所述第二阈值的情况下,将所述第二计数值进行保存;其中,所述第二计数值用于表征所述存储阵列中存在至少一个错误信息的行数量。

10 在一些实施例中,所述错误追踪记录模块还包括第二错误追踪记录模块,其中:

所述第二错误追踪记录模块,配置为接收所述错误信号,并根据所述错误信号和所述列结束信号对目标行的错误信息进行计数,在确定所述目标行的第三计数值后,将所述第三计数值与第一寄存器模块中存储的目标计数值进行比较,若所述第三计数值大于所述目标计数值,则将所述第一寄存器模块中存储的目标计数值清除,并将所述第三计数值保存为所述第一寄存器模块中的目标计数值;以及继续根据所述错误信号和所述列结束信号对下一目标行进行错误计数,直至接收到所述 ECS 结束信号后,确定所述第一寄存器模块中存储的目标计数值;其中,所述第三计数值用于表征所述目标行中存在错误信息的码字数量。

15 在一些实施例中,所述第二错误追踪记录模块,还配置为在将所述目标计数值保存进第一寄存器模块时,将所述目标计数值对应的地址信息保存在第二寄存器模块中;其中,所述地址信息包括所述目标计数值对应的行地址信息、存储块地址信息和存储组地址信息。

20 在一些实施例中,所述第二错误追踪记录模块,还配置为在接收到所述 ECS 结束信号后,将所述第一寄存器模块中当前存储的目标计数值与第三阈值进行比较,若所述目标计数值大于或者等于所述第三阈值,则保留所述第一寄存器模块中存储的目标计数值和所述第二寄存器模块中存储的地址信息,若所述目标计数值小于所述第三阈值,则将所述第一寄存器模块中存储的目标计数值和所述第二寄存器模块中存储的地址信息清除。

25 第二方面,本公开实施例提供了一种 ECS 方法,应用于如第一方面所述的 ECS 电路,该方法包括:

通过所述 ECS 控制模块接收模式控制信号,并根据所述模式控制信号生成 ECS 命令信号;
通过所述命令生成模块接收所述 ECS 命令信号,根据所述 ECS 命令信号生成内部命令信号,
30 所述内部命令信号用于执行对应的 ECS 操作;

通过所述地址计数模块接收所述内部命令信号,根据所述内部命令信号进行地址计数,在目标地址完成计数时生成计数结束信号;

通过所述错误追踪记录模块接收所述计数结束信号和错误信号,根据所述计数结束信号和所述错误信号生成错误追踪信号,所述错误追踪信号用于记录所述 ECS 操作的错误信息。

35 第三方面,本公开实施例提供了一种存储器,该存储器包括如第一方面所述的 ECS 电路。

本公开实施例提供了一种 ECS 电路、方法和存储器,该 ECS 电路包括 ECS 控制模块、命令生成模块、地址计数模块和错误追踪记录模块,其中 ECS 控制模块,配置为接收模式控制信号,根据模式控制信号生成 ECS 命令信号;命令生成模块,配置为根据 ECS 命令信号生成内部命令信号,内部命令信号用于执行对应的 ECS 操作;地址计数模块,配置为根据内部命令信号进行地址计数,在目标地址完成计数时生成计数结束信号;所述错误追踪记录模块,配置为接收错误信号,并根据计数结束信号和错误信号生成错误追踪信号,错误追踪信号用于记录 ECS 操作的错误信息。这样,本公开实施例基于模式控制信号来生成 ECS 命令信号,以执行 ECS 操作,从而能够实现对存储器进行完整的错误检查与清除,而且在执行 ECS 操作完成之后,还可以根据错误信号和计数结束信号来生成错误追踪信号,用以记录 ECS 操作的错误信息,进而能够快速定位存储器中存在错误信息的位置并进行修复,最终提升存储器的性能。

45

附图说明

图 1 为本公开实施例提供了一种 ECS 电路的组成结构示意图;

- 图 2 为本公开实施例提供了一种选择 ECS 操作模式的选择示意图；
图 3 为本公开实施例提供了一种 ECS 控制模块的组成结构示意图；
图 4 为本公开实施例提供了一种命令生成模块的组成结构示意图；
图 5 为本公开实施例提供了一种 ECS 电路的部分结构示意图；
5 图 6 为本公开实施例提供了一种存储阵列的组成结构示意图；
图 7 为本公开实施例提供了一种地址计数模块的组成结构示意图；
图 8 为本公开实施例提供的另一种地址计数模块的组成结构示意图；
图 9 为本公开实施例提供了一种 ECS 电路的具体结构示意图；
图 10 为本公开实施例提供了一种 ECS 方法的流程示意图；
10 图 11 为本公开实施例提供了一种存储器的组成结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅用于解释相关公开，而非对该公开的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关公开相关的部分。

- 15 除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

- 20 在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅仅是区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

- 25 对本公开实施例进行进一步详细说明之前，先对本公开实施例中涉及的名词和术语进行说明，本公开实施例中涉及的名词和术语适用于如下的解释：

- 动态随机存取存储器（Dynamic Random Access Memory，DRAM）；
双倍速率（Double Data Rate，DDR）；
第 5 代 DDR 标准（DDR5 Specification，DDR5 SPEC）；
多用途命令（Multi-Purpose Command，MPC）；
30 错误检查与清除（Error Check and Scrub，ECS）；
模式寄存器（Mode Register，MR）；
自动刷新（Auto_Refresh，REFab）；
自刷新（Self_Refresh，Self_REF 或者 SRE）；
错误检查与纠正（Error Check and Correct，ECC）。

- 35 以 DDR5 DRAM 为例，ECS 模式允许 DRAM 内部读取、修改检测到的错误码字，并将修正后的数据写回存储阵列，同时记录错误计数。它要求至少每 24 小时对 DRAM 进行一次完整的错误检查与清除。ECS 的操作模式包括自动和手动两种操作模式，可以通过模式寄存器信号 MR14 OP[7]来选择。在执行自动 ECS 操作时，可以借助刷新命令信号和自刷新命令信号来得到 ECS 命令信号，执行手动 ECS 操作则需要 MPC 信号，同时 MR15 还可以决定是否在自刷新时执行手动
40 ECS 操作。

- 为了实现错误检查与清除以及将检测到的错误信息进行记录的功能，本公开实施例提供了一种 ECS 电路，包括 ECS 控制模块、命令生成模块、地址计数模块和错误追踪记录模块，其中：ECS 控制模块，配置为接收模式控制信号，根据模式控制信号生成 ECS 命令信号；命令生成模块，配置为根据 ECS 命令信号生成内部命令信号，内部命令信号用于执行对应的 ECS 操作；地址计数
45 模块，配置为根据内部命令信号进行地址计数，在目标地址完成计数时生成计数结束信号；错误追踪记录模块，配置为接收错误信号，并根据计数结束信号和错误信号生成错误追踪信号，错误追踪信号用于记录 ECS 操作的错误信息。这样，本公开实施例基于模式控制信号来生成 ECS 命令

信号,以执行 ECS 操作,从而能够实现对存储器进行完整的错误检查与清除,而且在执行 ECS 操作完成之后,还可以根据错误信号和计数结束信号来生成错误追踪信号,用以记录 ECS 操作的错误信息,进而能够快速定位存储器中存在错误信息的位置并进行修复,最终提升存储器的性能。

下面将结合附图对本公开各实施例进行详细说明。

- 5 本公开的一实施例中,参见图 1,其示出了本公开实施例提供的一种 ECS 电路 10 的组成结构示意图。如图 1 所示,该 ECS 电路 10 可以包括 ECS 控制模块 11、命令生成模块 12、地址计数模块 13 和错误追踪记录模块 14,其中:

ECS 控制模块 11,配置为接收模式控制信号,根据模式控制信号生成 ECS 命令信号;

- 10 命令生成模块 12,配置为根据 ECS 命令信号生成内部命令信号,内部命令信号用于执行对应的 ECS 操作;

地址计数模块 13,配置为根据内部命令信号进行地址计数,在目标地址完成计数时生成计数结束信号;

错误追踪记录模块 14,配置为接收错误信号,并根据计数结束信号和错误信号生成错误追踪信号,错误追踪信号用于记录 ECS 操作的错误信息。

- 15 需要说明的是,本公开实施例涉及集成电路设计中,ECS 电路的总体框架设计,特别涉及 DRAM DDR5 芯片中,需要在至少每 24 小时对 DRAM 进行一次完整的错误检查与清除。该 ECS 电路的总体框架是用来产生 ECS 命令信号和一些内部命令信号,以及错误追踪信号,用来检测错误信息的同时执行内部读写检错和修复。可以应用于 DRAM DDR5 芯片中执行 ECS 功能的相关电路,但不局限于此范围,其他存储器芯片,以及其他内部产生命令、时序控制以及计数电路等均
- 20 可采用此设计。

- 还需要说明的是,以应用于 DRAM 中执行 ECS 操作为例,本公开实施例提供的 ECS 电路可以实现对存储阵列的错误检查与清除。简单来说,本公开实施例要实现的功能是:在手动 ECS 操作模式和自动 ECS 操作模式下,实现利用多用途命令信号(可以用 MPC 表示)或刷新命令信号产生 ECS 命令信号,并产生内部执行 ECS 操作所必要的内部命令信号,以对 DRAM 进行完整的
- 25 错误检查与清除,并利用其它模块追踪和记录检测到的错误信息。其中,刷新命令信号可以包括刷新信号(可以用 REFab 表示)和自刷新信号(可以用 Self-REF 表示)。这样,在本公开实施例中,对于 ECS 命令信号的产生,可以是基于 MPC 信号或者刷新命令信号来产生的,或者也可以是基于其它合适的信号来产生的,这里不作任何限定。

- 如图 1 所示,ECS 控制模块 11 是用来产生 ECS 命令信号的模块,每生成一个 ECS 命令信号,DRAM 就会对应执行一次 ECS 操作。这里,一次 ECS 操作是针对存储阵列中的一个存储位执行的,ECS 操作用于判断被检测的存储位是否存在码字错误,并在检测到码字错误时进行纠错。

对于生成 ECS 命令信号的方式,在一些实施例中,ECS 控制模块,还配置为接收 ECS 模式选择信号,以及在 ECS 模式选择信号为第一值的情况下,确定 ECS 操作模式为手动 ECS 操作模式,或者,在 ECS 模式选择信号为第二值的情况下,确定 ECS 操作为自动 ECS 操作模式。

- 35 在一些实施例中,ECS 控制模块 11,还配置为在 ECS 操作为手动 ECS 操作模式的情况下,根据 MPC 信号生成 ECS 命令信号,或者;

ECS 控制模块 11,还配置为在 ECS 操作为手动 ECS 操作模式的情况下,接收第一模式寄存器信号,根据第一模式寄存器信号和刷新命令信号生成 ECS 命令信号,或者;

- 40 ECS 控制模块 11,还配置为在 ECS 操作为自动 ECS 操作模式的情况下,根据刷新命令信号生成 ECS 命令信号。

- 需要说明的是,参见图 2,其示出了本公开实施例提供的一种选择 ECS 操作模式的选择示意图。如图 2 所示,ECS 操作模式包括手动 ECS 操作模式和自动 ECS 操作模式,可以根据 ECS 模式选择信号进行选择,其中,ECS 模式选择信号可以为模式寄存器信号 MR14 OP[7],当 MR14 OP[7]等于 1 时,DRAM 执行手动 ECS 操作模式,当 MR14 OP[7]等于 0 时,执行自动 ECS 操作模式。
- 45 在本公开实施例中,1 表示高电平的逻辑 1,0 表示低电平的逻辑 0。

在手动 ECS 操作模式下,ECS 控制模块会在收到特定的 MPC 信号时,根据 MPC 信号生成 ECS 命令信号,以执行 ECS 操作;这里,特定的 MPC 信号可以是指 MPC 信号的值为:00001100。

另外,在手动 ECS 操作模式下,还会根据刷新命令信号和第一模式寄存器信号决定是否执行 ECS 操作,在这种情况下,刷新命令信号是指自刷新信号(Self-REF),第一模式寄存器信号可以

是指模式寄存器信号 MR15 OP[3]。可以理解的是, 在接收到 Self-REF 信号时, DRAM 需要执行自刷新操作, MR15 OP[3]可以决定在执行自刷新操作之前是否需要执行一次 ECS 操作, 当 MR15 OP[3]等于 1 时, 在进入自刷新时需要执行一次 ECS 操作, 也就是 ECS 控制模块会根据特定取值 1 的第一模式寄存器信号和 Self-REF 信号生成 ECS 命令信号, 以执行 ECS 操作; 而当 MR15 OP[3]等于 0 时, 在自刷新时不会执行 ECS 操作, 即 ECS 控制模块不会生成 ECS 命令信号, DRAM 执行自刷新操作。

在自动 ECS 操作模式下, 刷新命令信号包括自刷新信号 (Self-REF) 和刷新信号 (REFab), 在接收到 REFab 信号时, 可以根据 REFab 信号生成 ECS 命令信号, 以执行 ECS 操作; 或者, 在进入自刷新时, 也可以根据 Self-REF 信号生成 ECS 命令信号, 以执行 ECS 操作, 其中, 执行错误检查与清除的平均间隔时间可以用 t_{ECSint} 表示。

也就是说, 在不同的 ECS 操作模式下, 可以基于不同的命令信号来产生 ECS 命令信号以执行 ECS 操作, 其中, 在自动 ECS 操作模式下, 可以基于刷新信号 (REFab) 来执行自动 ECS 操作, 或者基于自刷新信号 (Self_REF) 来执行自动 ECS 操作, 在手动 ECS 操作模式下, 可以基于特定的 MPC 信号执行 ECS 操作, 或者结合第一模式寄存器信号决定在自刷新时是否执行 ECS 操作。这样, ECS 控制模块可以根据 MPC 信号和/或刷新命令信号来生成 ECS 命令信号, 以执行 ECS 操作, 简化了产生 ECS 操作所需的流程; 同时, 还可以结合模式寄存器信号选择不同的 ECS 操作模式, 并决定是否需要执行 ECS 操作, 增加了执行 ECS 操作的灵活性。

进一步地, 对于 ECS 控制模块的组成, 参见图 3, 其示出了本公开实施例提供的一种 ECS 控制模块 11 的组成结构示意图。如图 3 所示, 在一些实施例中, ECS 控制模块 11 包括第一时序模块 111 和命令控制模块 112, 其中:

第一时序模块 111, 配置为生成 ECS 标识信号;

命令控制模块 112, 配置为接收 ECS 标识信号, 以及在 ECS 标识信号处于有效状态时, 获取刷新命令信号, 并根据刷新命令信号产生 ECS 命令信号。

需要说明的是, 如图 3 所示, ECS 控制模块 11 主要包括第一时序模块 111 和命令控制模块 112。其中, 命令控制模块 112 通过模式寄存器信号 MR14 OP[7]来选择执行哪一种 ECS 操作模式, 当 MR14 OP[7]=0 时, 执行自动 ECS 操作模式, 也是 DDR5 的默认模式; 当 MR14 OP[7]=1 时, 执行手动 ECS 操作模式, 同时需要 MPC 信号的取值为 OP[7:0]=00001100。

还需要说明的是, 由于 DRAM 要求至少在 24 小时内对整个存储阵列进行一次完整的错误检查与清除, 在自动 ECS 操作模式下, 需要第一时序模块来规划 ECS 的间隔时间, 以确保 24 小时内完成所有存储阵列的错误检查与清除。

也就是说, 在自动 ECS 操作模式下, 第一时序模块 111 可以生成 ECS 标识信号 (在图 3 中用 ECS_Flag 表示) 发送给命令控制模块 112, 而且每间隔一定的预设时间, 该 ECS_Flag 信号处于有效状态。命令控制模块 112 接收 ECS_Flag 信号, 并在 ECS_Flag 信号处于有效状态时, 获取刷新命令信号, 以根据获取到的刷新命令信号生成 ECS 命令信号 (在图 3 中用 ECS_CMD 表示)。这里的刷新命令信号可以包括下述至少之一: 刷新信号 (REFab) 和自刷新信号 (Self-REF)。

对于第一时序模块规划时序的方式, 在一些实施例中, 第一时序模块, 配置为接收第一时钟信号, 根据第一时钟信号进行计数, 生成 ECS 标识信号, 并将 ECS 标识信号发送给命令控制模块; 其中, 在计数值满足预设条件时, ECS 标识信号处于有效状态。

需要说明的是, 第一时序模块在进行时序规划时, 可以是对第一时钟信号进行计数, 在计数值满足预设条件时, 使得 ECS_Flag 处于有效状态, 此时命令控制模块 112 会获取刷新命令信号, 从而产生用于指示执行 ECS 操作的 ECS 命令信号。需要注意的是, 这时候获取的刷新命令信号是在计数值满足预设条件之后出现的刷新命令信号; 因此, 与计数值满足预设条件的时刻相比, 这时候获取的刷新命令信号具体是指下一时刻出现的刷新命令信号, 也可简称为下一个刷新命令信号。如此, 根据计数值是否满足预设条件来规划 ECS 操作的间隔时间, 能够确保 24 小时内进行一次完整的错误检查与清除。

其中, 第一时钟信号可以由振荡器产生的具有固定频率的时钟信号。示例性地, 如果第一时钟信号的周期为 4.4 微秒 (microseconds, us), 对于 16GB 的内存配置, 为了满足 24 小时内对 DRAM 完成一次完整的错误检查与清除, ECS 操作的时间间隔为 644us, 那么需要计数大约 $644/4.4=146$ 次时表示一次计数完成, 此时计数值满足预设条件。即计数值达到 146 时, 可以产生

处于有效状态的 ECS 标识信号。

在一些实施例中,第一时序模块,还配置为在 ECS 标识信号处于有效状态时,停止计数;

命令控制模块,还配置为在根据刷新命令信号产生 ECS 命令信号后,生成复位信号,将复位信号发送给第一时序模块,以使第一时序模块重新开始计数并且控制 ECS 标识信号处于无效状态。

5 需要说明的是,在本公开实施例中,ECS_Flag 信号可以是处于有效状态,也可以是处于无效状态。其中,第一时序模块 111 会在每间隔一段时间之后产生处于有效状态的 ECS_Flag 信号,用于产生 ECS 命令信号;命令控制模块 112 在产生 ECS 命令信号之后,还会再产生一个复位信号(在图 3 中用 Reset 表示)发送给第一时序模块 111,使 ECS_Flag 信号处于无效状态,同时使第一时序模块 111 重新开始计数。

10 在一些实施例中,命令控制模块,还配置为在 ECS 标识信号处于无效状态时,将所接收到的刷新命令信号输出为内部刷新信号,以执行刷新操作。

具体来说,ECS 标识信号的电平值可以包括第一值和第二值。其中,第一值可以为指示高电平的逻辑 1,第二值可以为指示低电平的逻辑 0;或者,第一值可以为指示低电平的逻辑 0,第二值可以为指示高电平的逻辑 1,对此并不作任何限定。

15 示例性地,如果 ECS 标识信号的电平值为逻辑 1,那么可以确定 ECS 标识信号处于有效状态;否则,如果 ECS 标识信号的电平值为逻辑 0,那么可以确定 ECS 标识信号处于无效状态。

还需要说明的是,在本公开实施例中,如果 ECS 标识信号处于有效状态,那么可以偷取下一时刻接收到的刷新命令信号,并根据该刷新命令信号产生 ECS 命令信号,同时对应该被偷取的刷新命令信号会消失,以执行 ECS 操作;如果 ECS 标识信号处于无效状态,那么刷新命令信号不会被偷取,直接输出为内部刷新信号,以执行刷新操作。在图 3 中,内部刷新信号用 REF_NEW 表示。

20 也就是说,第一时序模块会在每间隔一个固定时间段之后产生一个有效 ECS 的标志信号 ECS_Flag,并且停止时序的计数。该 ECS_Flag 信号会传输到命令控制模块,然后命令控制模块偷取下一个 REFab 信号或者 Self_REF 信号用来产生 ECS 命令信号,同时对应该被偷取的刷新命令会消失,然后再产生一个复位信号给第一时序模块,使 ECS_Flag 信号复位为无效值,同时使第一时序模块重新开始计数。在 ECS_Flag 信号为无效值期间,刷新命令不会被偷取,而是直接得到 REF_NEW 信号,进行的刷新操作不会受影响。

25 这样,由于命令控制模块 112 是将刷新命令信号“偷取”,即在生成 ECS 命令信号时,对应的刷新命令信号就会消失,那么在执行 ECS 操作期间就不会执行刷新操作。这样,还可以降低在执行 ECS 期间存储器的功耗,并且还能够防止在执行 ECS 操作期间同时执行刷新操作引起的存储器故障。

30 进一步地,如图 1 所示,ECS 控制模块 11 生成 ECS 命令信号之后,将 ECS 命令信号发送给命令生成模块 12,命令生成模块 12 根据 ECS 命令信号生成内部命令信号,其中,内部命令信号即执行 ECS 操作所需的命令信号。

35 对于命令生成模块 12,参见图 4,其示出了本公开实施例提供的一种命令生成模块 12 的组成结构示意图。如图 4 所示,在一些实施例中,命令生成模块 12 包括内部命令生成模块 122 和第二时序模块 121,其中:

内部命令生成模块 122,配置为在接收到 ECS 命令信号后,按照预设时序条件依次生成激活信号、读命令信号、写命令信号和预充电信号;

40 第二时序模块 121,配置为控制激活信号和读命令信号之间的时间间隔满足第一时序条件,控制读命令信号和写命令信号之间的时间间隔满足第二时序条件以及控制写命令信号和预充电信号之间的时间间隔满足第三时序条件;

其中,预设时序条件由第一时序条件、第二时序条件和第三时序条件组成。

45 需要说明的是,内部命令信号可以包括激活信号(Active,在图 4 中用 ACT 表示)、读命令信号(Read,在图 4 中用 RD 表示)、写命令信号(Write,在图 4 中用 WR 表示)和预充电信号(Precharge,在图 4 中用 PRE 表示)。具体来说,内部命令生成模块 122 在接收到 ECS 命令信号(在图 4 中用 ECS_CMD 表示)之后,按照预设时序条件依次生成 ACT 信号、RD 信号、WR 信号和 PRE 信号,其中,各内部命令信号之间的时序由第二时序模块 121 控制。

还需要说明的是,ACT 信号和 RD 信号之间时间间隔用 tRCD 表示,RD 信号和 WR 信号之间的时间间隔用 WL 表示,WR 信号和 PRE 信号之间的时间间隔用 tWR 表示。示例性地,内部命令

生成模块在接收到 ECS 命令信号之后,首先生成 ACT 信号,在第二时序模块 121 的控制下,将 ACT 信号延迟 tRCD 后,得到 RD 信号,接着在第二时序模块 121 的控制下,将 RD 信号延时 WL 后,得到 WR 信号,继续在第二时序模块 121 的控制下,将 WR 信号延时 tWR 之后,得到 PRE 信号。

5 还需要说明的是,命令生成模块 12 的主要功能如下: ECS 控制模块 11 在自动 ECS 操作模式和手动 ECS 操作模式下,分别对 MPC 信号,REFab 信号和 Self_REF 信号进行控制产生 ECS 命令信号给命令产生模块 12。将每次执行 ECS 操作所需的最小时间记为 tECS。在此时间段内,由于 ECS 要对计数指针(计数指针是指地址计数模块的时钟信号)控制的某存储组中的某存储块中的某行中的某列(也就是存储阵列中一个具体的存储位)进行内部读写和检错修改,因此需要自产生内部 ACT 命令信号、RD 命令信号、WR 命令信号和 PRE 命令信号,且命令信号之间的时序满足 tRCD、WL、tWR,从而使得一次 ECS 操作在 tECS 内完成,也就是说 tRCD、WL、tWR 三者之和要小于(或者等于) tECS,保证执行 ECS 操作不会超时。其中,命令信号之间的时序控制具体可以由延迟链(Delay Line)来实现。

10 进一步地,ECS 操作可以由存储控制模块控制存储阵列来实现。参见图 5,其示出了本公开实施例提供的一种 ECS 电路的部分结构示意图。如图 5 所示,在一些实施例中,ECS 电路 10 还包括存储控制模块 15 和存储阵列 16,存储阵列 16 包括至少一个存储组,存储组包括至少一个存储块,存储块包括至少一行和至少一列,其中:

存储控制模块 15,配置为接收内部命令信号,并根据内部命令信号对存储阵列执行 ECS 操作;以及,

20 存储控制模块 15,还配置为在执行 ECS 操作时,若检测到错误信息,则生成错误信号,并将错误信号发送给错误追踪记录模块 14。

需要说明的是,在图 5 中,对于 ECS 控制模块 11 和命令生成模块 12 的描述可以参照前述,这里不再赘述。对于存储阵列 16,参见图 6,其示出了本公开实施例提供的一种存储阵列 16 的组成结构示意图。在图 6 所示的示例中,存储阵列 16(也称作 Array、DRAM Array)包括 4 个存储组(Bank Group, BG): BG0、BG1、BG2 和 BG3,每个存储组包括 4 个存储块(Bank, BA): BA0、BA1、BA2 和 BA3,以 BG1 中的 BA3 为例,存储块 BA3 包括 6 行(Row): ROW0、ROW1、ROW2、ROW3、ROW4 和 ROW5,存储块 BA3 包括 5 列(Column, Col): Col0、Col1、Col2、Col3 和 Col4。在图 6 中,一个圆圈表示一个存储位,例如,在 BA3 中,ROW0 和 Col0 就可以定位出存储位 Bit00。每次 ECS 操作均是针对存储阵列 16 中的一个存储位。

30 还需要说明的是,命令生成模块 12 生成内部命令信号发送给存储控制模块 15(也称作 DRAM 控制模块、DRAM Control),存储控制模块 15 根据内部命令信号对存储阵列 16 中的存储位执行 ECS 操作。

还需要说明的是,ECS 操作可以包括:激活操作、读取操作、错误校正操作、写入操作和预充电操作。存储控制模块 15 首先接收 ACT 信号,将对应地址的字线激活,然后接收 RD 信号,从存储位中读取码字,这里,ECS 电路还可以包括错误纠正电路,错误纠正电路执行错误检查与纠正(Error Check and Correct, ECC)算法,被读取的码字会被发送到错误纠正电路进行校验。其中,码字可以包括数据和奇偶校验,可以利用错误校正码从数据生成奇偶校验。当执行错误校正操作时,错误校正电路可以检查码字的错误,并且将码字的错误校正,生成被校正的码字。在接收到 WR 信号时,执行写入操作,将被校正的码字写入存储位。另外,如果没有检查到码字错误,则无需执行写入操作,最后在接收到 PRE 信号时,进行预充电。

40 还需要说明的是,在执行 ECS 操作期间,如果检测到存在错误信息的码字,就生成错误信号,发送给错误追踪记录模块,以使错误追踪记录模块对错误信息进行记录和追踪,由于错误信息是从存储阵列中读取出来数据再通过错误检查与纠正(ECC)算法检测出来的错误,因此错误信号也称为 ECC 错误信号,在图 5 中用 ECC_Error 表示。

45 这样,本公开实施例根据 ECS 命令信号生成内部命令信号,根据内部命令信号执行 ECS 操作,从而能够实现对存储阵列的错误检查与清除。

还需要说明的是,这里的存储阵列 16 可以是指 DRAM 中的一个存储颗粒(Die),对每一个 Die,均按照相同的方式执行 ECS 操作,实现对 DRAM 完整的错误检查与清除。

在存储控制模块根据内部命令信号对存储阵列执行 ECS 操作的同时,地址计数模块还根据内

部命令信号进行地址计数,以生成计数结束信号。这里,地址计数模块根据 PRE 信号进行计数,PRE 信号作为地址计数模块的时钟信号。地址计数模块可以分别对存储阵列的列、行、存储块和存储组进行计数,并在计数完成时,生成计数结束信号发送给错误追踪记录模块。其中,计数结束信号包括标志一行中的每个存储位计数完成的列结束信号、标志一个存储块中的每行计数完成的行结束信号、标志一个存储组中的每个存储块计数完成的存储块结束信号、标志存储阵列中的每个存储组计数完成的存储组结束信号和标志着整个存储阵列中的所有存储位计数完成的 ECS 结束信号。另外,地址计算模块还会将列地址信息、存储块信息、存储组信息等地址信息发送给错误追踪记录模块,以使得错误追踪记录模块将需要的地址信息进行保存。

对于地址计数模块而言,参见图 7,其示出了本公开实施例提供的一种地址计数模块 13 的组成结构示意图。如图 7 所示,在一些实施例中,地址计数模块 13 包括列计数模块 131、行计数模块 132 和阵列计数模块 133,其中:

列计数模块 131,配置为接收预充电信号,根据预充电信号对目标行进行列计数;在目标行的列计数完成时,生成列输出信号和列结束信号;

行计数模块 132,配置为接收预充电信号和列输出信号,根据预充电信号和列输出信号对目标存储块进行行计数;在目标存储块的行计数完成时,生成行输出信号和行结束信号;

阵列计数模块 133,配置为接收预充电信号和行输出信号,根据预充电信号和行输出信号对目标存储组进行存储块计数;在目标存储组的存储块计数完成时,生成存储块输出信号和存储块结束信号;以及,根据预充电信号和存储块输出信号对存储阵列进行存储组计数;在存储阵列的存储组计数完成时,生成存储组结束信号和 ECS 结束信号。

需要说明的是,在图 7 中,PRE 表示预充电信号,Col_Wrap 表示列输出信号,COL_END 表示列结束信号,Row_Wrap 表示行输出信号,ROW 表示行地址信息,BA 表示存储块地址信息,BG 表示存储组地址信息,存储块地址信息和存储组地址信息在图 7 中共同记作 BG/BA,ECS_END 表示 ECS 结束信号,这些地址信息需要被发送给错误追踪记录模块 14,另外,行结束信号(也称作 ROW_END)表示一个存储块中的行计数完成,存储块结束信号(也称作 BA_END)表示一个存储组中的存储块计数完成,存储组结束信号(也称作 BG_END)表示存储阵列中的所有存储组计数完成。

还需要说明的是,仍以图 6 示出的存储阵列 16 为例,结合图 7 对地址计数模块 13 的工作过程进行描述。假设存储阵列 16 中的每一个 BA 的组成均与 BG1 中的 BA3 相同。在每一个 BG 中,将每一个存储位记作 Bit_{xy},其中,x 表示存储位在 BA 中的所在行,y 表示存储位在 BG 中的所在列,例如:Bit32 表示由 BA 中的 ROW3 和 Col2 定位出的存储位,当前正在被执行 ECS 操作的存储位被记作目标存储位,目标存储位所属的行、存储块、存储组分别记作目标行、目标存储块和目标存储组。例如,正在执行针对 BG1 中的 BA2 中的 Bit11 的 ECS 操作,则目标行为 BG1 中的 BA2 中的 ROW1,目标存储块为 BG1 中的 BA2,目标存储组为 BG1。这里,每一个计数模块均以 PRE 信号作为时钟。

列计数模块 131 可以按顺序对存储阵列 16 中每一行所包括的存储位进行计数。这样,在对存储阵列 16 的一次完整的 ECS 过程中,首先对 BG0 中的 BA0 中的第一行 ROW0 中的每个存储位按顺序执行 ECS 操作,当对 Bit00 执行 ECS 操作时,相应的 PRE 信号会发送给列计数模块 131 的时钟端(图 7 中用 CNT_CLK 表示各计数模块的时钟端),每接收到一个 PRE 信号,ROW0 的列计数值会加 1。可以理解,列计数值表示的是目标行中已经完成 ECS 操作的存储位的数量。由于 ROW0 包括 5 个存储位,那么在 ROW0 的列计数值为 5 时,说明 ROW0 的列计数完成。这时候,列计数模块 131 会生成一个 Col_Wrap 信号和一个 COL_END 信号,其中,Col_Wrap 信号被发送给行计数模块 132,COL_END 信号被发送给错误追踪记录模块。在完成 ROW0 的列计数后,列计数模块 131 会将计数值清零,然后继续对 ROW1 进行列计数,并依次对存储阵列 16 的每一行都按这个流程进行计数,直到完成对存储阵列 16 的每一行的列计数。也就是说,列计数模块 131,还配置为在生成列输出信号和列结束信号之后,继续执行下一目标行的列计数,直至完成存储阵列中的每一行的列计数。

行计数模块 132 根据 PRE 信号和 Col_Wrap 信号进行计数。仍以 BG0 中的 BA0 为例,具体来说,列计数模块 131 在完成 ROW0 的计数后,就会生成一个 Col_Wrap 信号发送给行计数模块 132,行计数模块 132 计数的目标存储块的行计数值会加 1。可以理解,行计数值表示的目标存储

块中已经完成 ECS 操作的行的数量。列计数模块 131 在完成 ROW1 的计数后, 会再发送一个 Col_Wrap 信号给行计数模块 132, 目标存储块的行计数值继续加 1, ..., 由于 BA0 包括 6 行, 那么当目标存储块的行计数值为 6 时, 说明 BA0 的行计数完成。这时候, 行计数模块 132 会生成 Row_Wrap 信号和行地址信息 (ROW), 其中, Row_Wrap 信号被发送给存储块计数模块 1331, 行地址信息会被发送给错误追踪记录模块 14。另外, 在计数过程中, 行计数模块 132 在目标存储块中的行计数结束之后, 还会生成行结束信号 (ROW_END), 以表示该目标存储块中的行计数完成。在完成 BA0 的行计数后, 行计数模块 132 会将计数值清零, 然后继续对 BA1 进行行计数, 并依次对存储阵列 16 的每一个 BA 都按这个流程进行计数, 直至完成对存储阵列 16 中的每一个 BA 的计数。也就是说, 行计数模块 132, 还配置为在生成行输出信号和行结束信号之后, 继续执行下一目标存储块的行计数, 直至完成存储阵列中的每一存储块的行计数。

阵列计数模块 133 不仅对存储块进行计数, 还对存储组进行计数。对于阵列计数模块 133, 参见图 8, 其示出了本公开实施例提供的另一种地址计数模块 13 的组成结构示意图。如图 8 所示, 在一些实施例中, 阵列计数模块包括存储块计数模块 1331 和存储组计数模块 1332, 其中:

存储块计数模块 1331, 配置为接收预充电信号和行输出信号, 根据预充电信号和行输出信号对目标存储组进行存储块计数; 在目标存储组的存储块计数完成时, 生成存储块输出信号和存储块结束信号;

存储组计数模块 1332, 配置为接收预充电信号和存储块输出信号, 根据预充电信号和存储块输出信号对存储阵列进行存储组计数; 在存储阵列的存储组计数完成时, 生成存储组结束信号和 ECS 结束信号。

需要说明的是, 存储块计数模块 1331 根据 PRE 信号和 Row_Wrap 信号进行计数。仍以 BG0 为例, 行计数模块 132 在完成 BA0 的计数后, 会生成一个 Row_Wrap 信号发送给存储块计数模块 1331, 存储块计数模块 1331 计数的目标存储组的存储块计数值会加 1。可以理解, 存储块计数值表示的目标存储组中已经完成 ECS 操作的存储块的数量, 行计数模块 132 在完成 BA1 的计数后, 会再生成一个 Row_Wrap 信号发送给存储块计数模块 1331, 目标存储组的存储块计数值继续加 1, ..., 由于 BG0 包括 4 个 BA, 那么当目标存储组的存储块计数值为 4 时, 说明 BG0 的存储块计数完成。这时候, 存储块计数模块 1331 会生成 BA_Wrap 信号和存储块地址信息 (BA), 其中, BA_Wrap 信号被发送给存储组计数模块 1332, 存储块地址信息会被发送给错误追踪记录模块 14。另外, 在计数过程中, 存储块计数模块 1331 在目标存储组的存储块计数结束之后, 还会生成存储块结束信号 (BA_END), 以表示该目标存储组中的存储块计数完成。在完成 BG0 的存储块计数后, 存储块计数模块 1331 会将计数值清零, 然后继续对 BG1 进行行计数, 并依次对存储阵列 16 的每一个 BG 都按这个流程进行计数, 直至完成对存储阵列 16 中的每一个 BG 的计数。也就是说, 在阵列计数模块 133 中, 存储块计数模块 1331, 还配置为在生成存储块输出信号和存储块结束信号之后, 继续执行下一目标存储组的存储块计数, 直至完成对存储阵列中的每一存储组的存储块计数。

存储组计数模块 1332 根据 PRE 信号和 BA_Wrap 信号进行计数。存储块计数模块 1331 在完成 BG0 的计数后, 会生成一个 BA_Wrap 信号发送给存储组计数模块 1332, 存储组计数值会加 1。可以理解, 存储组计数值表示的是存储阵列 16 中已经完成 ECS 操作的存储组的数量, 存储块计数模块 1331 在完成 BG1 的计数后, 会再生成一个 BA_Wrap 信号发送给存储组计数模块 1332, 存储组计数值继续加 1, ..., 由于存储阵列 16 包括 4 个 BG, 那么当存储组计数值为 4 时, 说明该存储阵列 16 的存储组计数完成, 即存储阵列 16 中的每一个存储位均完成了 ECS 操作。这时候, 存储组计数模块 1332 会生成存储组地址信息 (BG) 和 ECS_END 信号, 其中, 存储组地址信息和 ECS_END 信号均会被发送给错误追踪记录模块 14。另外, 在计数过程中, 存储组计数模块 1332 在存储阵列中的存储组计数结束之后, 还会生成存储组结束信号 (BG_END) 以表示该存储阵列中的存储组计数完成。在完成存储组计数后, 存储组计数模块 1332 会将计数值清零, 直到下一次对存储阵列 16 进行 ECS 操作时, 继续按照上述流程进行计数。

可以理解的是, 存储块计数模块 1331 配置为对存储组进行存储块计数, 存储组计数模块 1332 配置为对存储阵列中的存储组进行计数, 存储块计数模块 1331 和存储组计数模块 1332 可以集成在阵列计数模块 133 这一个模块中, 以实现相关功能。

还需要说明的是, 在本公开实施例中, 生成的每一个输出信号和计数信号 (或者 ECS 命令信

号等)都可以是一个高电平脉冲。也就是说,在满足一定的条件时,这些信号处于有效的状态,从而能够使得对应的模块可以根据这些信号生成其它信号或者执行计数、读或者写等操作。

也就是说,地址计数模块(也称作地址计数器)主要功能如下:为了对 DRAM 进行完整的错误检查与清除,要对所有存储组中的所有存储块中的行和列进行访问。对于每次 ECS 操作,地址计数模块在每个内部 PRE 命令信号后增加列地址的计数(即目标行的列计数),当目标行的列地址计数完成后,行地址的计数(即目标存储块的行计数)开始增加,直到一个存储块中的每一行的码字被访问完为止,接着存储块的计数(即目标存储组的存储块计数)开始增加,重复之前存储块访问码字的过程,当一个存储组的所有存储块计数完成,存储组的计数(存储组计数)开始增加直到 DRAM 所有的存储块被访问完为止,一次完整的错误检查与清除操作就完成了。

这样,以执行 ECS 操作时的 PRE 命令信号作为地址计数模块的时钟,分别对行、存储块和存储组进行计数,不需要额外的时钟,而且能够准确判断行、存储块和存储组的 ECS 操作是否完成。

这样,在本公开实施例中,命令生成模块产生的内部命令信号 PRE 作为地址计数模块的时钟信号,每执行一次 ECS 操作,列计数模块(也称作列地址计数器、COL_CNT)的计数开始增加,当一个行上的列地址计数完成,输出 Col_Wrap 信号作为行计数模块(也称作行地址计数器、ROW_CNT)的输入,行计数模块的计数开始增加,当一个存储块中行地址计数完成,输出 Row_Wrap 作为阵列计数模块(也称作 BG/BA 计数器、BA/BG_CNT)的输入,当 BG/BA 计数完输出 ECS_END 信号,标志着一次完整的错误检查与清除完成。输出 COL_END 信号标志着一个行计数完成,应用于错误计数器的行模式。

地址计数模块将计数结束信号和地址信息发送给错误追踪记录模块,错误追踪记录模块根据计数结束信号、地址信息和错误信号生成错误追踪信号,以记录 ECS 操作的错误信息。其中,计数结束信号主要包括列结束信号和 ECS 结束信号,地址信息主要包括行地址信息、存储块地址信息和存储组地址信息。

对于错误追踪记录模块而言,在图 5 的基础上,参见图 9,其示出了本公开实施例提供的一种 ECS 电路 10 的具体结构示意图。如图 9 所示,错误追踪记录模块 14 由第一错误追踪记录模块 141 和第二错误追踪记录模块 142 组成。

对于第一错误追踪记录模块 141 而言,在一些实施例中,第一错误追踪记录模块 141,配置为接收计数模式信号,以及在计数模式信号为第一值的情况下,确定第一错误追踪记录模块 141 的计数模式为码字计数模式;或者,在计数模式信号为第二值的情况下,确定第一错误追踪记录模块 141 的计数模式为行计数模式。

需要说明的是,第一错误追踪记录模块 141(也称作 ERROR_COUNT, EC)有两种工作模式,分别为码字计数模式和行计数模式,两种工作模式可以根据计数模式信号进行切换,其中,计数模式信号可以为 MR14 OP[5](在图 9 中用 MRS 表示 MR14 OP[5])。当计数模式信号的取值为第一值时,执行码字计数模式,用于计数存储阵列的码字错误数,当计数模式信号的取值为第二值时,执行行计数模式,用于计数存储阵列中存在至少有一个码字错误的行数。

在这里,第一值可以为指示高电平的逻辑 1,第二值可以为指示低电平的逻辑 0;或者,第一值可以为指示低电平的逻辑 0,第二值可以为指示高电平的逻辑 1,对此并不作任何限定。

这样,由计数模式信号确定第一错误追踪记录模块的工作方式,不仅可以对存储阵列的存在错误信息的码字进行计数,还可以对存储阵列中存在至少一个错误信息的行进行计数,增加了记录错误信息的灵活性,在实际应用中,可以按需求进行设置。

进一步地,在计数模式为码字计数模式的情况下,如图 9 所示,在一些实施例中,第一错误追踪记录模块 141,配置为接收错误信号,根据错误信号进行码字计数,并在接收到 ECS 结束信号时,确定第一计数值;以及将第一计数值与第一阈值进行比较,在第一计数值大于或者等于第一阈值的情况下,将第一计数值进行保存;其中,第一计数值用于表征存储阵列中存在错误信息的码字数量。

需要说明的是,在本公开实施例中,错误信息主要是指码字错误信息,因此错误信息也可以称为码字错误。在码字计数模式下,第一错误追踪记录模块需要对存储阵列中存在错误信息的码字进行计数。其中,每当存储控制模块在存储阵列中检测到一个码字错误,就生成错误信号(在图 9 中用 ECC_Error 表示)。其中,检测到码字错误时,ECC_Error 可以为一个高电平脉冲,从而第一错误追踪记录模块可以根据 ECC_Error 对存储阵列中的存在错误信息的码字进行计数,当

接收到 ECS 结束信号(在图 9 中用 ECS_END 表示)时,说明存储阵列已经完成了一次完整的 ECS 操作,这时候第一错误追踪记录模块就停止计数,得到第一计数值。可以理解,第一计数值表示的就是存储阵列中存在错误信息的码字数量。

如图 9 所示,将第一计数值进行保存的位置可以为模式寄存器 20 (MR20)。另外,对于码字计数模式,DRAM 可以忽略小于第一阈值的码字错误数量,即在第一计数值小于第一阈值时,不会将第一计数值在 MR20 中进行保存,只有在第一计数值大于或者等于第一阈值时,才会将第一计数值进行保存。

在本公开实施例中,第一阈值可以由错误计数阈值和存储阵列的存储密度来确定,其中,错误计数阈值(Error Threshold Count,简称 ETC)可以根据模式寄存器信号 MR15 OP[2:0] (在图 9 中,MRS 还可以表示 MR15 OP[2:0]) 进行设置,例如,在 DDR5 中,当 OP[2:0]为 000B 时,ETC 为 4;当 OP[2:0]为 001B,ETC 为 16;当 OP[2:0]为 010B 时,ETC 为 64;当 OP[2:0]为 011B 时,ETC 为 256;当 OP[2:0]为 100B,ETC 为 1024;当 OP[2:0]为 101B 时,ETC 为 4096。其中,ETC 的默认设置是 256 个每内存单元,这里,1 个内存单元可以表示 1Gb。

假设存储阵列的存储密度为 16Gb,ETC 为 4,那么当每 Gb 的码字错误数量小于 4 时就会被忽略,对于存储阵列整体而言,当码字错误数量小于 $4 \times 16 = 64$ 时,就可以忽略不计。也就是说,在这种示例下,第一阈值为 64,如果第一计数值大于或者等于 64,第一计数值就被加载到 MR20 中进行保存,否则不会进行保存。然后,第一计数值会被重置,在执行下一次完整的 ECS 操作时,重新进行计数。

这样,在码字计数模式下,第一错误追踪记录模块可以对存储阵列中存在错误信息的码字进行计数,得到第一计数值,并根据第一阈值将第一计数值在模式寄存器中进行保存,保证只在错误信息数量过大的情况下,才将第一计数值进行保存以供后续所需,节省了功耗和存储空间。

进一步地,在计数模式为行计数模式的情况下,如图 9 所示,在一些实施例中,第一错误追踪记录模块,配置为接收错误信号和列结束信号,根据错误信号和列结束信号进行错误行计数,并在接收到 ECS 结束信号时,确定第二计数值;以及将第二计数值与第二阈值进行比较,在第二计数值大于第二阈值的情况下,将第二计数值进行保存;其中,第二计数值用于表征存储阵列中存在至少一个错误信息的行数量。

需要说明的是,在行计数模式下,第一错误追踪记录模块需要对存储阵列中存在至少一个错误信息的行进行计数,也就是说第二计数值代表存在至少一个码字错误的行数量。

在一种具体的实现方式中,为了实现对存在至少一个错误信息的行的计数,第一错误追踪记录模块需要接收 ECC_Error 和列结束信号(Col_END)。示例性地,当收到表示错误信息的 ECC_Error 时,第一错误追踪记录模块 141 会根据 ECC_Error 进行计数,得到行错误计数值,当接收到 Col_END 时,说明当前行中的存储位都已经完成了一次完整的 ECS 操作,这时候如果当前行的行错误计数值大于 0,说明当前行存在至少一个码字错误,那么第二计数值就加 1,否则,第二计数值不加 1,然后将行错误计数值清零,根据 ECC_Error 重新进行计数,在收到下一个 Col_END 时,继续根据行错误计数值判断是否需要第二计数值加 1,直至接收到 ECS_END,说明存储阵列已经完成了一次完整的 ECS 操作,这时候第一错误追踪记录模块就停止计数,得到第二计数值。

在其它实现方式中,ECC_Error 还可以是在检测到存在码字错误的行时生成的脉冲信号,这时候,第一错误追踪记录模块直接对 ECC_Error 进行计数,得到的就是代表存在码字错误的行数的第二计数值。或者,第一错误追踪模块还可以与选择模块连接,选择模块根据计数模式信号选择码字计数模式或者行计数模式,在码字计数模式下,选择模块根据 ECC_Error 生成第一脉冲信号,第一错误追踪模块对第一脉冲信号进行计数,得到第一计数值;在行计数模式下,选择模块根据 ECC_Error 生成第二脉冲信号,第一错误追踪模块对第二脉冲信号进行计数,得到第二计数值。

将第二计数值进行保存时,保存的位置可以为模式寄存器 20 (在图 9 中用 MR20 表示)。另外,对于行计数模式,DRAM 可以忽略小于第二阈值的行错误数量,即在第二计数值小于第二阈值时,不会将第二计数值在 MR20 中进行保存,只有在第二计数值大于或者等于第二阈值时,才会将第二计数值进行保存。

在本公开实施例中,假设第二阈值为 4,如果第二计数值大于或者等于 4,第二计数值就被加

载到 MR20 中进行保存, 否则不会进行保存。然后, 第二计数值会被重置, 在执行下一次完成的 ECS 操作时, 重新进行计数。另外, 第二阈值可以为前述的 ETC, 第二阈值的确定方式可以与第一阈值的确定方式相同。

这样, 在行计数模式下, 第一错误追踪记录模块可以对存储阵列中存在错误信息的行进行计数, 得到第二计数值, 并根据第二阈值将第二计数值在模式寄存器中进行保存, 保证只在存在错误信息的行的数量过大的情况下, 才将第二计数值进行保存以供后续所需, 节省了功耗和存储空间。

对于第二错误追踪记录模块 142 而言, 如图 9 所示, 在一些实施例中, 第二错误追踪记录模块 142, 配置为接收错误信号, 并根据错误信号和列结束信号对目标行的错误信息进行计数, 在确定目标行的第三计数值后, 将第三计数值与第一寄存器模块中存储的目标计数值进行比较, 若第三计数值大于目标计数值, 则将第一寄存器模块中存储的目标计数值清除, 并将第三计数值保存为第一寄存器模块中的目标计数值; 以及继续根据错误信号和列结束信号对下一目标行进行错误计数, 直至接收到 ECS 结束信号后, 确定第一寄存器模块中存储的目标计数值; 其中, 第三计数值用于表征目标行中存在错误信息的码字数量。

需要说明的是, 第二错误追踪记录模块 142(也称作每行错误计数器, ERROR PER ROW CNT, EPRC) 可以对存储阵列中每一行的码字错误进行计数, 并将码字错误数量最大的行的码字错误数量以及该行的地址信息进行保存。其中, 第二错误追踪记录模块 142 可以根据 ECC_Error 和 Col_END 对每一行的错误信息进行计数。例如, 对存储阵列中的第 i 行进行错误信息计数, 假设存储阵列总共包括 N 行, N 为大于 0 的整数, 则 i 为大于 0 且小于或者等于 N 的整数, 在收到 Col_END 信号时, 说明第 i 行的存储位均完成了 ECS 操作, 这时候就可以结束对第 i 行的错误信息计数, 将得到的计数值称作第三计数值, 可以理解, 第三计数值表示的就是第 i 行的错误信息数量(即错误码字数量)。

还需要说明的是, 从对第一行进行错误计数开始, 如果第一行存在至少一个错误信息, 即第一行的第三计数值大于 0, 就将第一行对应的第三计数值作为目标计数值保存在第一寄存器模块中, 其中第一寄存器模块可以为模式寄存器 19(在图 9 中用 MR[19]表示); 然后继续对第二行进行错误计数, 并将得到的第三计数值与寄存器中已经保存的目标计数值进行比较, 如果第二行对应的第三计数值大于目标计数值, 则将第一寄存器模块中保存的目标计数值清除, 第二行对应的第三计数值作为新的目标计数值保存进第一寄存器模块中... 这样依次执行, 由于每当出现了更大的第三计数值, 就会替换第一寄存器模块中的目标计数值, 这样, 第一寄存器模块中保存的目标计数值始终是当前已经计数过的行中错误信息数量最多的行对应的第三计数值。这样, 在收到 ECS 结束信号时, 第一寄存器模块中保存的目标计数值就是错误信息数量最多的行的第三计数值。

可以理解的是, 如果第 1 行至第 i-1 行中均未出现错误信息, 直到第 i 行才出现错误信息, 则第 i 行没有可以用于比较的目标计数值, 第 i 行对应的第三计数值就直接作为目标计数值保存进第一寄存器模块中。或者, 第二错误追踪记录模块, 配置为接收错误信号, 根据错误信号和列结束信号对第一行的错误信息进行计数, 在确定第一行的第三计数值后, 将第一行的第三计数值保存为第一寄存器模块中的目标计数值, 在第一行计数结束后, 按照前述方式对目标行进行计数, 这时候, 目标行表示除第一行之外的其它行。在这种情况下, 即使第一行的第三计数值为 0 也可以先保存在第一寄存器模块中, 对于第二行而言, 对应的第三计数值就与 0 进行比较, 直至确定出最终的目标计数值。

还需要说明的是, 在每一次将第三计数值作为目标计数值保存进行第一寄存器模块时, 第二错误追踪记录模块, 还配置为在将目标计数值保存进第一寄存器模块时, 将目标计数值对应的地址信息保存在第二寄存器模块中; 其中, 地址信息包括目标计数值对应的行地址信息、存储块地址信息和存储组地址信息。

其中, 第二寄存器模块可以包括模式寄存器 16、模式寄存器 17 和模式寄存器 18, 在图 9 中用 MR[16:18]表示。可以理解, 每次用更大的第三计数值替换第一寄存器模块中的目标计数值时, 也会用相应的地址信息替换第二寄存器模块中的地址信息。这样, 在接收到 ECS 结束信号时, 第二寄存器模块中保存的是错误信息数量最多的行的行地址信息、存储块地址信息和存储组地址信息。

进一步地, 在一些实施例中, 第二错误追踪记录模块, 还配置为在接收到 ECS 结束信号后,

将第一寄存器模块中当前存储的目标计数值与第三阈值进行比较,若目标计数值大于或者等于第三阈值,则保留第一寄存器模块中存储的目标计数值和第二寄存器模块中存储的地址信息,若目标计数值小于第三阈值,则将第一寄存器模块中存储的目标计数值和第二寄存器模块中存储的地址信息清除。

5 还需要说明的是,本公开实施例还可以是只在最终的目标计数值大于第三阈值时,才将该目标计数值和对应的地址信息进行保存。其中,第三阈值又称作行错误计数阈值(Row Error threshold Count, RETC),在DDR中,RETC的值可以固定为4。以RETC的值等于4为例,如果最终的目标计数值大于4,就保留第一寄存器模块中的目标计数值,并保留第二寄存器模块中的地址信息,否则,就将当前的目标计数值的地址信息清除。

10 示例性地,在图6中,最终的目标计数值的地址信息为BG1-BA2-ROW1,则表示该目标行为存储阵列中的存储组BG1中的存储块BA2中的第二行ROW1。其中,行地址信息、存储块地址信息和存储组地址信息是在地址计数模块进行计数的过程中发送给错误追踪记录模块的,从而错误追踪记录模块能够将目标计数值对应的地址信息准确保存。

15 这样,第二错误追踪记录模块可以根据第三阈值将错误信息数量最大的行的信息在模式寄存器中进行保存,保证只在错误信息数量过大的情况下,才将错误行的信息进行保存以供后续所需,节省了功耗和存储空间。

还需要说明的是,在图9中,目标计数值用REC[5:0]表示,保存在MR19中,目标计数值对应的地址信息可以用MAX_ADD表示,包括行地址信息、存储块地址信息和存储组地址信息,分别保存在MR[16:18]中。其中,行计数模块、阵列计数模块输出的ROW、BG/BA用于记录有最大错误计数的行地址的具体信息,以便保存在寄存器中。也就是说,在本公开实施例中,错误追踪信号主要是指第一错误追踪记录模块保存的第一计数值或者第二计数值,以及第二错误追踪记录模块保存的最终的目标计数值和对应的地址信息,这些错误追踪信号能够记录存储阵列中的错误数等信息。另外,在将第一计数值、第二计数值和目标计数值进行保存时,可以采用独热编码的方式对第一计数值、第二计数值和目标计数值进行编码后保存。

25 简言之,对于错误追踪记录模块,其包括两种错误计数器:第一错误追踪记录模块(EC)和第二错误追踪记录模块(EPRC)。EC模块有两种模式,需要根据MR14 OP[5]进行切换,当OP[5]=0时为行计数模式,在行计数模式下,ECC_Error和COL_END用于用来计数有多少行至少有一个错误。当OP[5]=1时为码字计数模式,在码字计数模式下,用ECC_Error信号计数有多少码字错误数。等所有ECS完成一次时,EC的结果将根据ETC加载到MR20中,EC在值被转移到模式寄存器后被重置。

30 EPRC模块使用ECC_Error、BG/BA和ROW来记录哪一行有最大的错误信息数量,同时记录有最大错误信息数量的行的地址信息MAX_ADD。等所有ECS完成一次时,该地址信息加载到MR[16:18],该行的错误计数将会根据RETC加载到MR19。这里,EC和EPRC记录的数据不是直接加载到寄存器,而是等完成一次完整的ECS操作,根据ETC和RETC加载到对应的寄存器中。

35 还需要说明的是,对于本公开实施例所涉及的执行计数功能的模块,可以通过同步计数器来实现,也可以通过异步计数器来实现,这里不作具体限定。

本公开实施例提供了一种ECS电路,基于模式控制信号来生成ECS命令信号,以执行ECS操作,从而能够实现对存储器进行完整的错误检查与清除,而且在执行ECS操作完成之后,还可以根据错误信号和计数结束信号来生成错误追踪信号,用以记录ECS操作的错误信息,进而能够快速定位存储器中存在错误信息的位置并进行修复,最终提升存储器的性能。

本公开的另一实施例中,参见图10,其示出了本公开实施例提供的一种ECS方法的流程示意图。如图10所示,该方法可以包括:

45 S1001、通过ECS控制模块接收模式控制信号,并根据模式控制信号生成ECS命令信号。

S1002、通过命令生成模块接收ECS命令信号,根据ECS命令信号生成内部命令信号,内部命令信号用于执行对应的ECS操作。

S1003、通过地址计数模块接收内部命令信号,根据内部命令信号进行地址计数,在目标地址完成计数时生成计数结束信号。

S1004、通过错误追踪记录模块接收计数结束信号和错误信号，根据计数结束信号和错误信号生成错误追踪信号，错误追踪信号用于记录 ECS 操作的错误信息。

在一些实施例中，模式控制信号包括多用途命令 MPC 信号或刷新命令信号，根据模式控制信号生成 ECS 命令信号，可以包括：

5 在 ECS 操作为手动 ECS 操作模式的情况下，根据 MPC 信号生成 ECS 命令信号，或者；

在 ECS 操作为自动 ECS 操作模式的情况下，根据刷新命令信号生成 ECS 命令信号。

需要说明的是，在不同的 ECS 操作模式下，可以基于不同的命令信号产生 ECS 操作，其中，在自动 ECS 操作模式下，可以基于刷新信号（REFab）来执行自动 ECS 操作，或者基于自刷新信号（Self_REF）来执行自动 ECS 操作，在手动 ECS 操作模式下，可以基于特定的 MPC 信号执行

10 ECS 操作，或者结合第一模式寄存器信号决定在自刷新时是否执行 ECS 操作。

在一些实施例中，根据模式控制信号生成 ECS 命令信号，可以包括：

通过第一时序模块生成 ECS 标识信号；

通过命令控制模块接收 ECS 标识信号，以及在 ECS 标识信号处于有效状态时，获取刷新命令信号，并根据刷新命令信号产生 ECS 命令信号。

15 在一些实施例中，通过第一时序模块生成 ECS 标识信号，可以包括：

通过第一时序模块接收第一时钟信号，根据第一时钟信号进行计数，生成 ECS 标识信号，并将 ECS 标识信号发送给命令控制模块；其中，在计数值满足预设条件时，ECS 标识信号处于有效状态。

在一些实施例中，该方法还可以包括：

20 在 ECS 标识信号处于有效状态时，第一时序模块停止计数；

在根据刷新命令信号产生 ECS 命令信号之后，命令控制模块生成复位信号，将复位信号发送给第一时序模块，以使第一时序模块重新开始计数并且控制 ECS 标识信号处于无效状态。

在一些实施例中，该方法还可以包括：

25 在 ECS 标识信号处于无效状态时，通过命令控制模块将所接收到的刷新命令信号输出为内部刷新信号，以执行刷新操作。

在一些实施例中，根据 ECS 命令信号生成内部命令信号，可以包括：

通过内部命令生成模块接收 ECS 命令信号，并在接收到所述 ECS 命令信号后，按照预设时序条件依次生成激活信号、读命令信号、写命令信号和预充电信号；以及通过第二时序模块，控制激活信号和读命令信号之间的时间间隔满足第一时序条件，控制读命令信号和写命令信号之间的时间间隔满足第二时序条件以及控制写命令信号和预充电信号之间的时间间隔满足第三时序条件；

30 其中，预设时序条件由第一时序条件、第二时序条件和第三时序条件组成。

在一些实施例中，该方法还可以包括：

通过存储控制模块接收内部命令信号，并根据内部命令信号对存储阵列执行 ECS 操作；以及，在执行 ECS 操作时，若检测到错误信息，则生成错误信号，并将错误信号发送给错误追踪记录模块。

35 在一些实施例中，根据内部命令信号进行地址计数，在目标地址完成计数时生成计数结束信号，可以包括：

通过列计数模块接收预充电信号，根据预充电信号对目标行进行列计数；在目标行的列计数完成时，生成列输出信号和列结束信号；

40 通过行计数模块接收预充电信号和列输出信号，根据预充电信号和列输出信号对目标存储块进行行计数；在目标存储块的行计数完成时，生成行输出信号和行结束信号；

通过阵列计数模块接收预充电信号和行输出信号，根据预充电信号和行输出信号对目标存储组进行存储块计数；在目标存储组的存储块计数完成时，生成存储块输出信号和存储块结束信号；以及，根据预充电信号和存储块输出信号对存储阵列进行存储组计数；在存储阵列的存储组计数

45 完成时，生成存储组结束信号和 ECS 结束信号。

在一些实施例中，通过阵列计数模块接收预充电信号和行输出信号，根据预充电信号和行输出信号对目标存储组进行存储块计数；在目标存储组的存储块计数完成时，生成存储块输出信号和存储块结束信号；以及，根据预充电信号和存储块输出信号对存储阵列进行存储组计数；在存储阵列的存储组计数完成时，生成存储组结束信号和 ECS 结束信号，可以包括：

通过存储块计数模块接收预充电信号和行输出信号，根据预充电信号和行输出信号对目标存储组进行存储块计数；在目标存储组的存储块计数完成时，生成存储块输出信号和存储块结束信号；

5 通过存储组计数模块接收预充电信号和存储块输出信号，根据预充电信号和存储块输出信号对存储阵列进行存储组计数；在存储阵列的存储组计数完成时，生成存储组结束信号和 ECS 结束信号。

在一些实施例中，该方法还可以包括：

在生成列输出信号和列结束信号之后，列计数模块继续执行下一目标行的列计数，直至完成存储阵列中的每一行的列计数；

10 在生成行输出信号和行结束信号之后，行计数模块继续执行下一目标存储块的行计数，直至完成存储阵列中的每一存储块的行计数；

在生成存储块输出信号和存储块结束信号之后，存储块计数模块继续执行下一目标存储组的存储块计数，直至完成对存储阵列中的每一存储组的存储块计数。

在一些实施例中，该方法还可以包括：

15 通过第一错误追踪记录模块接收计数模式信号，以及在计数模式信号为第一值的情况下，确定第一错误追踪记录模块的计数模式为码字计数模式；或者，在计数模式信号为第二值的情况下，确定第一错误追踪记录模块的计数模式为行计数模式。

在一些实施例中，在码字计数模式下，根据计数结束信号和错误信号生成错误追踪信号，可以包括：

20 通过第一错误追踪记录模块接收错误信号，根据错误信号进行码字计数，并在接收到 ECS 结束信号时，确定第一计数值；以及将第一计数值与第一阈值进行比较，在第一计数值大于或者等于所述第一阈值的情况下，将第一计数值进行保存；其中，第一计数值用于表征存储阵列中存在错误信息的码字数量。

25 在一些实施例中，在行计数模式下，根据计数结束信号和错误信号生成错误追踪信号，可以包括：

通过第一错误追踪记录模块接收错误信号和所述列结束信号，根据错误信号和列结束信号进行错误行计数，并在接收到 ECS 结束信号时，确定第二计数值；以及将第二计数值与第二阈值进行比较，在第二计数值大于第二阈值的情况下，将第二计数值进行保存；其中，第二计数值用于表征存储阵列中存在至少一个错误信息的行数量。

30 在一些实施例中，根据计数结束信号和错误信号生成错误追踪信号，可以包括：

通过第二错误追踪记录模块接收错误信号，并根据错误信号和列结束信号对目标行的错误信息进行计数，在确定目标行的第三计数值后，将第三计数值与第一寄存器模块中存储的目标计数值进行比较，若第三计数值大于目标计数值，则将第一寄存器模块中存储的目标计数值清除，并将第三计数值保存为第一寄存器模块中的目标计数值；以及继续根据错误信号和列结束信号对下一目标行进行错误计数，直至接收到 ECS 结束信号后，确定第一寄存器模块中存储的目标计数值；其中，第三计数值用于表征目标行中存在错误信息的码字数量。

在一些实施例中，该方法还可以包括：

40 在将目标计数值保存进第一寄存器模块时，将目标计数值对应的地址信息保存在第二寄存器模块中；其中，地址信息包括目标计数值对应的行地址信息、存储块地址信息和存储组地址信息。

在一些实施例中，该方法还可以包括：

45 在接收到 ECS 结束信号后，将第一寄存器模块中当前存储的目标计数值与第三阈值进行比较，若目标计数值大于或者等于第三阈值，则保留第一寄存器模块中存储的目标计数值和第二寄存器模块中存储的地址信息，若目标计数值小于第三阈值，则将第一寄存器模块中存储的目标计数值和第二寄存器模块中存储的地址信息清除。

需要说明的是，本公开实施例提供的 ECS 方法应用于前述实施例提供的 ECS 电路，对于本公开实施例未披露的细节，请参照前述实施例的描述而理解。

本公开实施例提供了一种 ECS 方法，基于模式控制信号来生成 ECS 命令信号，以执行 ECS 操作，从而能够实现对存储器进行完整的错误检查与清除，而且在执行 ECS 操作完成之后，还可

以根据错误信号和计数结束信号来生成错误追踪信号，用以记录 ECS 操作的错误信息，进而能够快速定位存储器中存在错误信息的位置并进行修复，最终提升存储器的性能。

本公开的再一实施例中，参见图 11，其示出了本公开实施例提供的一种存储器 20 的组成结构示意图。如图 11 所示，该存储器 20 可以包括前述实施例任一项所述的 ECS 电路 10。

在一些实施例中，该存储器 20 可以包括 DRAM。

需要说明的是，本公开实施例是对 DDR5 新的操作模式：错误检查与清除模式的总体框架设计，实现了在手动和自动 ECS 操作模式下，通过 MPC，REFab，SREF 产生 ECS 命令信号，然后实现了内部自产生命令进行对应地址的错误检查和清除操作。同时将 ECS 操作发现的错误记录在 EC 和 EPRC 中，且在每次 ECS 命令结束之后将地址计数模块的计数递增。命令生成模块间的时序控制和 ECS 设计中的时序控制模块需要保证一个 ECS 操作可以在 tECS 内完成，且至少 24 小时内对 DRAM 进行一次完整的错误检查与清除。

在本公开实施例中，对于 DRAM 来说，不仅可以符合 DDR、DDR2、DDR3、DDR4、DDR5、DDR6 等内存规格，还可以符合 LPDDR、LPDDR2、LPDDR3、LPDDR4、LPDDR5、LPDDR6 等内存规格，这里不作任何限定。

在本公开实施例中，对于该存储器 20，由于其包括前述实施例所述的 ECS 电路 10，从而可以实现对存储器的 ECS 操作，进而提升存储器的性能。

以上所述，仅为本公开的示例实施例，并非用于限定本公开的保护范围。

需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。

本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。

本公开所提供的几个方法或电路实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或电路实施例。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

工业实用性

本公开实施例基于模式控制信号来生成 ECS 命令信号，以执行 ECS 操作，从而能够实现对存储器进行完整的错误检查与清除，而且在执行 ECS 操作完成之后，还可以根据错误信号和计数结束信号来生成错误追踪信号，用以记录 ECS 操作的错误信息，进而能够快速定位存储器中存在错误信息的位置并进行修复，最终提升存储器的性能。

权利要求书

- 1.一种错误检查与清除 ECS 电路，包括 ECS 控制模块、命令生成模块、地址计数模块和错误追踪记录模块，其中：
- 5 所述 ECS 控制模块，配置为接收模式控制信号，根据所述模式控制信号生成 ECS 命令信号；
- 所述命令生成模块，配置为根据所述 ECS 命令信号生成内部命令信号，所述内部命令信号用于执行对应的 ECS 操作；
- 所述地址计数模块，配置为根据所述内部命令信号进行地址计数，在目标地址完成计数时生成计数结束信号；
- 所述错误追踪记录模块，配置为接收错误信号，并根据所述计数结束信号和所述错误信号生成错误追踪信号，所述错误追踪信号用于记录所述 ECS 操作的错误信息。
- 10 2.根据权利要求 1 所述的 ECS 电路，其中，所述模式控制信号包括多用途命令 MPC 信号或刷新命令信号，其中：
- 所述 ECS 控制模块，还配置为在所述 ECS 操作为手动 ECS 操作模式的情况下，根据所述 MPC 信号生成所述 ECS 命令信号，或者；
- 15 所述 ECS 控制模块，还配置为在所述 ECS 操作为自动 ECS 操作模式的情况下，根据所述刷新命令信号生成所述 ECS 命令信号。
- 3.根据权利要求 2 所述的 ECS 电路，其中，所述 ECS 控制模块包括第一时序模块和命令控制模块，其中：
- 所述第一时序模块，配置为生成 ECS 标识信号；
- 20 所述命令控制模块，配置为接收所述 ECS 标识信号，以及在所述 ECS 标识信号处于有效状态时，获取刷新命令信号，并根据所述刷新命令信号产生所述 ECS 命令信号。
- 4.根据权利要求 3 所述的 ECS 电路，其中，所述第一时序模块，配置为接收第一时钟信号，根据所述第一时钟信号进行计数，生成所述 ECS 标识信号，并将所述 ECS 标识信号发送给所述命令控制模块；其中，在计数值满足预设条件时，所述 ECS 标识信号处于有效状态。
- 25 5.根据权利要求 4 所述的 ECS 电路，其中，所述第一时序模块，还配置为在所述 ECS 标识信号处于有效状态时，停止所述计数；
- 所述命令控制模块，还配置为在根据所述刷新命令信号产生所述 ECS 命令信号之后，生成复位信号，将所述复位信号发送给所述第一时序模块，以使所述第一时序模块重新开始计数并且控制所述 ECS 标识信号处于无效状态。
- 30 6.根据权利要求 5 所述的 ECS 电路，其中，所述命令控制模块，还配置为在所述 ECS 标识信号处于无效状态时，将所接收到的刷新命令信号输出为内部刷新信号，以执行刷新操作。
- 7.根据权利要求 1 所述的 ECS 电路，其中，所述命令生成模块包括内部命令生成模块和第二时序模块，其中：
- 35 所述内部命令生成模块，配置为在接收到所述 ECS 命令信号后，按照预设时序条件依次生成激活信号、读命令信号、写命令信号和预充电信号；
- 所述第二时序模块，配置为控制所述激活信号和所述读命令信号之间的时间间隔满足第一时序条件，控制所述读命令信号和所述写命令信号之间的时间间隔满足第二时序条件以及控制所述写命令信号和所述预充电信号之间的时间间隔满足第三时序条件；
- 其中，所述预设时序条件是由所述第一时序条件、所述第二时序条件和所述第三时序条件组成。
- 40 8.根据权利要求 7 所述的 ECS 电路，其中，所述 ECS 电路还包括存储控制模块和存储阵列，所述存储阵列包括至少一个存储组，所述存储组包括至少一个存储块，所述存储块包括至少一行和至少一列，其中：
- 所述存储控制模块，配置为接收所述内部命令信号，并根据所述内部命令信号对所述存储阵列执行 ECS 操作，以及；
- 45 所述存储控制模块，还配置为在执行所述 ECS 操作时，若检测到错误信息，则生成所述错误信号，并将所述错误信号发送给所述错误追踪记录模块。

9.根据权利要求 8 所述的 ECS 电路,其中,所述地址计数模块包括列计数模块、行计数模块和阵列计数模块,其中:

所述列计数模块,配置为接收所述预充电信号,根据所述预充电信号对目标行进行列计数;在所述目标行的列计数完成时,生成列输出信号和列结束信号;

5 所述行计数模块,配置为接收所述预充电信号和所述列输出信号,根据所述预充电信号和所述列输出信号对目标存储块进行行计数;在所述目标存储块的行计数完成时,生成行输出信号和行结束信号;

所述阵列计数模块,配置为接收所述预充电信号和所述行输出信号,根据所述预充电信号和所述行输出信号对目标存储组进行存储块计数;在所述目标存储组的存储块计数完成时,生成存储块输出信号和存储块结束信号;以及,根据所述预充电信号和所述存储块输出信号对所述存储阵列进行存储组计数;在所述存储阵列的存储组计数完成时,生成存储组结束信号和 ECS 结束信号。

10.根据权利要求 9 所述的 ECS 电路,其中,所述阵列计数模块包括存储块计数模块和存储组计数模块,其中:

15 所述存储块计数模块,配置为接收所述预充电信号和所述行输出信号,根据所述预充电信号和所述行输出信号对目标存储组进行存储块计数;在所述目标存储组的存储块计数完成时,生成所述存储块输出信号和所述存储块结束信号;

所述存储组计数模块,配置为接收所述预充电信号和所述存储块输出信号,根据所述预充电信号和所述存储块输出信号对所述存储阵列进行存储组计数;在所述存储阵列的存储组计数完成时,生成所述存储组结束信号和所述 ECS 结束信号。

11.根据权利要求 9 所述的 ECS 电路,其中,所述列计数模块,还配置为在生成所述列输出信号和所述列结束信号之后,继续执行下一目标行的列计数,直至完成所述存储阵列中的每一行的列计数;

25 所述行计数模块,还配置为在生成所述行输出信号和所述行结束信号之后,继续执行下一目标存储块的行计数,直至完成所述存储阵列中的每一存储块的行计数;

所述阵列计数模块,还配置为在生成所述存储块输出信号和所述存储块结束信号之后,继续执行下一目标存储组的存储块计数,直至完成对所述存储阵列中的每一存储组的存储块计数。

12.根据权利要求 10 所述的 ECS 电路,其中,所述错误追踪记录模块包括第一错误追踪记录模块,其中:

30 所述第一错误追踪记录模块,配置为接收计数模式信号,以及在所述计数模式信号为第一值的情况下,确定所述第一错误追踪记录模块的计数模式为码字计数模式;或者,在所述计数模式信号为第二值的情况下,确定所述第一错误追踪记录模块的计数模式为行计数模式。

13.根据权利要求 12 所述的 ECS 电路,其中,所述第一错误追踪记录模块,配置为在所述计数模式为所述码字计数模式的情况下,接收所述错误信号,根据所述错误信号进行码字计数,并在接收到所述 ECS 结束信号时,确定第一计数值;以及将所述第一计数值与第一阈值进行比较,在所述第一计数值大于或者等于所述第一阈值的情况下,将所述第一计数值进行保存;

其中,所述第一计数值用于表征所述存储阵列中存在错误信息的码字数量。

14.根据权利要求 12 所述的 ECS 电路,其中,所述第一错误追踪记录模块,配置为在所述计数模式为所述行计数模式的情况下,接收所述错误信号和所述列结束信号,根据所述错误信号和所述列结束信号进行错误行计数,并在接收到所述 ECS 结束信号时,确定第二计数值;以及将所述第二计数值与第二阈值进行比较,在所述第二计数值大于所述第二阈值的情况下,将所述第二计数值进行保存;

其中,所述第二计数值用于表征所述存储阵列中存在至少一个错误信息的行数量。

15.根据权利要求 10 所述的 ECS 电路,其中,所述错误追踪记录模块还包括第二错误追踪记录模块,其中:

45 所述第二错误追踪记录模块,配置为接收所述错误信号,并根据所述错误信号和所述列结束信号对目标行的错误信息进行计数,在确定所述目标行的第三计数值后,将所述第三计数值与第一寄存器模块中存储的目标计数值进行比较,若所述第三计数值大于所述目标计数值,则将所述第一寄存器模块中存储的目标计数值清除,并将所述第三计数值保存为所述第一寄存器模块中的

目标计数值；以及继续根据所述错误信号和所述列结束信号对下一目标行进行错误计数，直至接收到所述 ECS 结束信号后，确定所述第一寄存器模块中存储的目标计数值；其中，所述第三计数值用于表征所述目标行中存在错误信息的码字数量。

- 5 16.根据权利要求 15 所述的 ECS 电路，其中，所述第二错误追踪记录模块，还配置为在将所述目标计数值保存进第一寄存器模块时，将所述目标计数值对应的地址信息保存在第二寄存器模块中；其中，所述地址信息包括所述目标计数值对应的行地址信息、存储块地址信息和存储组地址信息。

- 10 17.根据权利要求 16 所述的 ECS 电路，其中，所述第二错误追踪记录模块，还配置为在接收到所述 ECS 结束信号后，将所述第一寄存器模块中当前存储的目标计数值与第三阈值进行比较，若所述目标计数值大于或者等于所述第三阈值，则保留所述第一寄存器模块中存储的目标计数值和所述第二寄存器模块中存储的地址信息，若所述目标计数值小于所述第三阈值，则将所述第一寄存器模块中存储的目标计数值和所述第二寄存器模块中存储的地址信息清除。

18.一种 ECS 方法，应用于如权利要求 1 至 17 任一项所述的 ECS 电路，所述方法包括：

- 15 通过所述 ECS 控制模块接收模式控制信号，并根据所述模式控制信号生成 ECS 命令信号；
通过所述命令生成模块接收所述 ECS 命令信号，根据所述 ECS 命令信号生成内部命令信号，所述内部命令信号用于执行对应的 ECS 操作；
通过所述地址计数模块接收所述内部命令信号，根据所述内部命令信号进行地址计数，在目标地址完成计数时生成计数结束信号；
20 通过所述错误追踪记录模块接收所述计数结束信号和错误信号，根据所述计数结束信号和所述错误信号生成错误追踪信号，所述错误追踪信号用于记录所述 ECS 操作的错误信息。
- 19.一种存储器，所述存储器包括如权利要求 1 至 17 任一项所述的 ECS 电路。