

一种封装模组及电子设备

相关申请的交叉引用

本申请要求在2020年11月30日提交中国专利局、申请号为202011380744.2、申请名称为“一种封装模组及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及到芯片封装技术领域，尤其涉及到一种封装模组及电子设备。

背景技术

半导体器件广泛应用于电子设备如手机，智能手表等电子设备中，并作为电子设备的主要电子器件。随着电子设备的薄型化发展，封装模组的尺寸成为制约电子设备进一步薄型化的主要因素。

随着半导体产业不断的发展，半导体器件的尺寸越来越小，半导体器件的内部电子部件密度也越来越高。并且将多个半导体器件堆叠并封装形成封装模组来进一步的减少占用的空间。但是对于电子设备中的系统级封装模组来说，由于系统级封装模组需要承载的芯片个数比较多，并且在承载芯片时使用的基板较多，导致封装模组无法进一步实现小型化，无法满足现有电子设备的小型化需求。

发明内容

本申请提供了一种封装模组及电子设备，用以改善封装模组的尺寸，便于封装模组的小型化发展。

第一方面，提供了一种封装模组，该封装模组包括层叠设置的衬底层、以及层叠设置在所述衬底层的多个芯片层。其中，衬底层作为支撑结构，以支撑上述多个芯片层；另外，衬底层还具有电路层，以与上述的芯片层导电连接，实现封装模组的功能。上述的多个芯片层包含有顶层芯片层，该顶层芯片层为多个芯片层中距离衬底层最远的一个芯片层。其中，顶层芯片层包含有第一芯片，第一芯片的连接面朝向衬底层，且第一芯片的连接面通过第一导体与相邻芯片层的芯片导电连接。在上述技术方案中，通过一个基板（衬底层）支撑所有的芯片，降低了基板的使用的个数，进而降低了封装模组的厚度。另外，通过将第一芯片的连接面朝向衬底层，使得第一芯片与其他芯片连接的第一导体不会额外占用空间，降低了封装模组的厚度，便于封装模组的小型化。

在一个具体的可实施方案中，所述相邻芯片层的芯片的连接面朝向所述衬底层，所述第一导体一端连接所述第一芯片的连接面，另一端连接所述相邻芯片层的芯片的连接面。从而方便第一导体设置。

在一个具体的可实施方案中，所述第一导体位于所述第一芯片朝向所述衬底层的一侧。降低第一导体对封装模组高度的影响。

在一个具体的可实施方案中，所述第一芯片的连接面相对于所述相邻芯片层的芯片的

上表面具有外露的连接区，所述第一导体的一端连接至所述外露的连接区。方便第一导体设置。

在一个具体的可实施方案中，所述第一芯片的连接区位于所述第一芯片的连接面的边缘区域或者中间区域。方便设置第一导体。

5 在一个具体的可实施方案中，导体为键合线，方便实现不同层的芯片之间的连接。

在一个具体的可实施方案中，相对于所述顶层芯片层来说，所述相邻芯片层更靠近所述衬底层，所述相邻芯片层包括一个或多个芯片；所述一个或多个芯片的连接面均朝向所述衬底层并与所述衬底层的电路层导电连接；所述第一芯片的连接面与所述一个或多个芯片的连接面中任意一个连接面均通过一个所述第一导体连接。采用两层芯片层实现封装模组的功

10 能。

在一个具体的可实施方案中，所述相邻芯片层包括多个芯片，且所述多个芯片包括第二芯片和第三芯片；所述第二芯片和第三芯片的连接面均朝向所述衬底层；所述第二芯片和第三芯片分别与所述衬底层的电路层导电连接；所述第一芯片与所述第二芯片通过所述第一导体导电连接；或，所述第一芯片与所述第二芯片之间通过一个所述第一导体导电连接，以及所述第一芯片和所述第三芯片之间通过另一个所述第一导体导电连接。采用两层芯片层实现封装模组的功能。

15

在一个具体的可实施方案中，所述相邻芯片层包括多个芯片，所述多个芯片包括第四芯片和第五芯片，所述第四芯片的连接面朝向所述衬底层；且所述第一芯片的连接面与所述第四芯片的连接面通过所述第一导体导电连接；所述第五芯片的连接面背离所述衬底层；且所述第五芯片的连接面通过第二导体与所述衬底层的电路层导电连接。采用两层芯片层实现封装模组的功能。

20

在一个具体的可实施方案中，所述衬底层设置有避让所述第一导体的避让槽。进一步的降低封装模组的厚度。

在一个具体的可实施方案中，所述多个芯片层还包括底层芯片层；所述底层芯片层为距离所述衬底层最近的芯片层，所述相邻芯片层位于所述底层芯片层和所述顶层芯片层之间；

25

位于所述相邻芯片层的芯片包括第六芯片；所述第六芯片的连接面朝向所述衬底层；位于所述底层芯片层的芯片包括第七芯片；所述第七芯片的连接面朝向所述衬底层并与所述衬底层的电路层导电连接；所述第六芯片的连接面通过一个所述第一导体与所述第一芯片的连接面导电连接，并通过另一个所述第一导体与所述第七芯片的连接面导电连接。采用三层芯片层实现封装模组的功能。

30

在一个具体的可实施方案中，所述封装模组还包括设置在所述衬底层内的内埋芯片；所述内埋芯片与所述衬底层的电路层导电连接。进一步的降低封装模组的厚度。

在一个具体的可实施方案中，所述多个芯片层还包括底层芯片层；所述底层芯片层为距离所述衬底层最近的芯片层；所述相邻芯片层位于所述底层芯片层和所述顶层芯片层之间；

35

位于所述相邻芯片层的芯片包括第八芯片；所述第七芯片的连接面朝向所述衬底层；位于所述底层芯片层的芯片包括第九芯片；所述第九芯片的连接面朝向所述衬底层并与所述衬底层的电路层导电连接；所述第一芯片的连接面通过所述第一导体与所述第八芯片的连接面导电连接；所述第九芯片的连接面通过第三导体与所述衬底层的电路层导电连接。

40

通过三层芯片层实现封装模组的功能。

在一个具体的可实施方案中，所述多个芯片层中，相邻的芯片层之间粘接连接。方便芯片层之间的固定。

5 在一个具体的可实施方案中，所述封装模组还包括封装所述多层芯片层的封装层。提高了芯片的安全性。

第二方面，提供了一种电子设备，该电子设备包括壳体以及设置在所述壳体内部的上述任一项所述的封装模组。在上述技术方案中，通过一个基板（衬底层）支撑所有的芯片，降低了基板的使用的个数，进而降低了封装模组的厚度。另外，通过将第一芯片的连接面朝向衬底层，使得第一芯片与其他芯片连接的第一导体不会额外占用空间，降低了封装模组的厚度，便于封装模组的小型化。

附图说明

图 1 为现有技术中封装模组的应用场景示意图；
图 2 为现有技术中的封装模组的结构示意图；
15 图 3 为本申请实施例提供的封装模组的结构示意图；
图 4a~图 4g 为本申请实施例提供的封装模组的生产流程图；
图 5 为本申请实施例提供的另一封装模组的结构示意图；
图 6 为本申请实施例提供的另一封装模组的结构示意图；
图 7 为本申请实施例提供的另一封装模组的结构示意图；
20 图 8 为本申请实施例提供的另一封装模组的结构示意图；
图 9 为本申请实施例提供的另一封装模组的结构示意图。

具体实施方式

下面将结合附图对本申请实施例作进一步描述。

25 为方便理解本申请实施例提供的封装模组，首先说明封装模组的应用场景。

本申请实施例提供的封装模组应用于电子设备中，如手机，智能手表等电子设备。如图 1 中示出的封装模组应用于电子设备内时的结构示意图。电子设备包括壳体 100 以及设置在壳体 100 内的主板 200，封装模组 300 固定在主板 200 上，并与主板 200 导电连接。

如图 2 所示的传统的系统级的封装模组，封装模组包括层叠设置的第一基板 1 和第二基板 2，第一基板 1 和第二基板 2 之间通过焊球连接。其中，第一基板 1 承载了一个芯片 6，芯片 6 与第一基板 1 通过焊球连接并位于第一基板 1 和第二基板 2 之间。第二基板 2 承载了层叠的芯片 3 和芯片 4 以及封装芯片 3 和芯片 4 的封装层 5。芯片 3 和芯片 4 采用正装的方式设置，即芯片 3 和芯片 4 的连接面位于芯片的上表面（芯片背离第二基板 2 的表面）。在本申请实施例中，芯片的连接面指代的是芯片设置有利于与其他芯片或电路层导电连接的焊盘或者窗口的表面。在与第二基板 2 连接时，芯片 3 和芯片 4 的连接面分别通过键合线 7 和第二基板 2 连接。由图 2 可看出，现有技术中的封装模组至少包含两个基板（第一基板 1 和第二基板 2），且沿封装模组的高度方向需要预留出键合线 7 的高度。而随着电子设备的小型化发展，电子设备的内部空间也逐步缩小。这就导致现有技术中的封装模组无法适用于小型化的电子设备，成为制约电子设备进一步小型化的主要因素。为此

本申请实施例提供了一种封装模组，以通过改善封装模组内芯片的组合方式，以进一步小型化封装模组。下面结合具体的附图详细对本申请实施例提供的封装模组进行说明。

本申请实施例提供的封装模组为系统级封装模组，系统级封装模组中可包含 CPU (central processing unit, 中央处理器)、SOC (System-on-a-Chip, 系统级芯片)、DRAM (Dynamic Random Access Memory, 动态随机存取存储器)、NAND (NAND flash memory, 计算机闪存设备) 等不同功能的芯片。

如图 3 所示，图 3 示出了本申请实施例提供的封装模组的剖面示意图。封装模组包括衬底层 10 和多个芯片层，为方便描述对封装模组的层结构分别进行命名。封装模组的多个芯片层包含有顶层芯片层 30 和底层芯片层 20。其中，顶层芯片层 30 为多个芯片层中距离衬底层 10 最远的芯片层，底层芯片层 20 为多个芯片层中距离衬底层 10 最近的芯片层。在图 3 所示的结构中，衬底层 10、底层芯片层 20 及顶层芯片层 30 沿竖直方向层叠设置(所谓的竖直方向也可以说是该封装模组的厚度方向，其中，该封装模组的厚度方向与衬底层 10 的厚度方向是相同的)，底层芯片层 20 为顶层芯片层 30 的相邻芯片层。且相对与顶层芯片层 30 来说，底层芯片层 20 更靠近衬底层 10。

衬底层 10 作为承载上述顶层芯片层 30 和底层芯片层 20 的结构，另外衬底层 10 还用于实现外部电路与顶层芯片层 30 和底层芯片层 20 中的芯片之间的导电连接。示例性的，衬底层 10 的表层以及内部分别设置有电路层，衬底层 10 表面的电路层及内部的电路层之间可通过过孔电连接。

作为一个可选的方案，衬底层 10 内设置有内埋芯片，内埋芯片通过过孔或第一导体 a 与位于衬底层 10 表面的电路层或埋设在衬底层 10 内的电路层电连接。在图 3 中示出了两个内埋芯片，分别为第一内埋芯片 11 和第二内埋芯片 12，第一内埋芯片 11 和第二内埋芯片 12 通过过孔与衬底层 10 的电路层导电连接。应理解，虽然图 3 中示出了两个内埋芯片，但在本申请实施例提供的封装模组不具体限定内埋芯片的个数，内埋芯片的个数可采用一个、三个等不同个数。

作为一个可选的方案，衬底层 10 可为印刷电路板或者其他类型的电路板。

底层芯片层 20 为同层设置的芯片组成的层结构，如底层芯片层 20 的芯片包括一个或多个芯片。该一个或多个的芯片为用于与顶层芯片层的第一芯片 31 连接的芯片。如在图 3 示例性出了底层芯片层 20 包括第二芯片 21 和第三芯片 22。在设置底层芯片层 20 的芯片时，一个或多个芯片中的连接面均朝向衬底层 10，并与衬底层 10 的电路层导电连接。如第二芯片 21 的连接面朝向衬底层 10，并通过焊球与衬底层 10 的电路层导电连接。第三芯片 22 的连接面朝向衬底层 10，第三芯片 22 的连接面与衬底层 10 的电路层导电连接。在装配时，第二芯片 21 的连接面通过焊球与衬底层 10 的电路层导电连接，第三芯片 22 的连接面通过焊球与衬底层 10 的电路层导电连接，第二芯片 21 和第三芯片 22 可通过衬底层 10 的电路层与内埋芯片(第一内埋芯片或第二内埋芯片)电连接。

应理解，本申请实施例提供的封装模组不限定底层芯片层 20 中芯片的个数，可根据需要设置不同个数的芯片。如底层芯片层 20 中的芯片的个数为一个、两个、三个等不同的个数。

顶层芯片层 30 为同层设置的芯片组成的层结构。顶层芯片层 30 包含有第一芯片 31。在图 3 中示例性出顶层芯片层 30 包括一个第一芯片 31。第一芯片 31 与第二芯片 21 和第三芯片 22 层叠设置。第一芯片 31 的连接面朝向衬底层 10，且第一芯片 31 的连接面与第

二芯片 21 的连接面之间通过第一导体 a 导电连接, 即第一导体 a 一端连接第一芯片 31 的连接面, 另一端连接相邻芯片层的芯片 (第二芯片 21) 的连接面。示例性的, 第一导体 a 可为键合线或其他类型的导线。

5 继续参考图 3, 第一导体 a 在设置时, 位于第一芯片 31 朝向衬底层 10 的一侧, 且第一导体 a 的最高点低于第一芯片 31 的上表面 (背离衬底层 10 的表面)。

第一芯片 31 在与第二芯片 21 连接时, 第一芯片 31 的连接面通过粘接剂与第二芯片 21 的背离连接面的上表面和第三芯片 22 的背离连接面的上表面分别粘接连接。第一芯片 31 的连接面相对第二芯片 21 和第三芯片 22 具有外露的连接区 311。第一导体 a 的一端连接至连接区 311。在图 3 中示例出连接区 311 位于第一芯片 31 的连接面的边沿区域, 从而
10 方便了第一导体 a 设置。

本申请实施例提供的封装模组还包括封装层 40, 封装层 40 包裹上述底层芯片层 20、顶层芯片层 30、底层芯片层 20 和顶层芯片层 30 之间的第一导体 a、底层芯片层 20 与衬底层 10 之间连接用的焊球, 以保护封装模组内的芯片等器件。

为方便理解本申请实施例提供的封装模组, 下面详细说明一下其制备的步骤。

15 步骤 1: 将第一芯片 31 贴在载物板 400 上。

参考图 4a, 载物板 400 可为金属, 玻璃或者硅等材质制备而成。载物板 400 上着一层薄膜黏附材料, 这层材料用于固定第一芯片 31。薄膜黏附材料可为光敏或者热敏的材料, 该材料通过紫外线光照或者一定加热条件, 黏附力会大幅下降, 以方便后期做界面分离操作。在第一芯片 31 固定在载物板 400 上时, 第一芯片 31 的连接面背离载物板 400。该第一芯片 31 的厚度范围可为 $25\mu\text{m}\sim 400\mu\text{m}$, 如第一芯片 31 的厚度为 $25\mu\text{m}$ 、 $50\mu\text{m}$ 、 $80\mu\text{m}$ 、 $400\mu\text{m}$ 等不同的厚度。
20

步骤 2: 将第三芯片 22 及第二芯片 21 贴在第一芯片 31 上。

参考图 4b, 第三芯片 22 和第二芯片 21 底部有粘结材料, 用于粘接固定第三芯片 22 和第二芯片 21 在第一芯片 31 上的位置。第三芯片 22 和第二芯片 21 上表面有焊盘结构 (图中未示出), 以与衬底层的电路层连接。在第三芯片 22 和第二芯片 21 固定在第一芯片 31 上时, 第三芯片 22 和第二芯片 21 的焊盘 (连接面上的结构) 背离第一芯片 31。上述第二芯片 21、第三芯片 22 和第一芯片 31 组成堆栈芯片。
25

第三芯片 22 和第二芯片 21 与第一芯片 31 之间粘接连接采用的粘结材料可在一定温度或者紫外线环境实现固化。设置的第一芯片 31 和第二芯片 21 厚度相同。如第三芯片 22 和第二芯片 21 厚度范围为 $25\mu\text{m}\sim 400\mu\text{m}$, 示例性的, 第二芯片 21 和第三芯片 22 的厚度为 $25\mu\text{m}$ 、 $50\mu\text{m}$ 、 $80\mu\text{m}$ 、 $400\mu\text{m}$ 等不同的厚度。
30

步骤 3: 用键合线连接第一芯片 31 和第二芯片 21。

参考图 4c, 使用引线键合工艺实现在第一芯片 31 的连接面和第二芯片 21 的焊盘上的键合线连接。引线键合 (Wire Bonding) 是一种使用细键合线, 利用热、压力、超声波能量为使金属引线与基板焊盘紧密焊合。上述键合线可使用金, 铜或者合金键合线, 键合线的直径可为 $18\mu\text{m}\sim 30\mu\text{m}$ 。如键合线的直径为 $18\mu\text{m}$ 、 $25\mu\text{m}$ 、 $30\mu\text{m}$ 等不同的直径。
35

步骤 4: 从载物板 400 上取出堆栈芯片并倒装放置。

参考图 4d, 通过紫外线光照或者加热将极大降低载物板 400 上薄膜黏附材料的粘结力, 然后使用真空橡胶吸嘴吸附第二芯片 21 和第二芯片 21 上表面, 通过升降装置带动真空橡胶吸嘴上升以使第一芯片 31 从载物板 400 上分离, 并将此堆栈芯片结构倒装放置在临时
40

载物台 500 上。

步骤 5: 制作衬底层 10, 并在衬底层 10 上表面植入金属凸点 13。

参考图 4e, 衬底层 10 采用扇出成型技术 (Fan-out) 或者板级封装 (Penallevpackage) 技术实现。衬底层 10 内埋设了第一内埋芯片 11 和第二内埋芯片 12, 第一内埋芯片 11 和第二内埋芯片 12 分别通过电路层、通孔实现在衬底层 10 表面的再布线结构, 以将第一内埋芯片 11 和第二内埋芯片 12 的连接端扇出。衬底层 10 上表面电路层包含焊盘结构, 在焊盘结构植入金属凸点 13, 以与主板或其他的电路结构连接。衬底层 10 的表面电路层可采用铜材料制备, 焊盘结构材料可采用铜, 而焊盘凸点材料可采用铜或锡。

在将金属凸点 13 制备到衬底层 10 上时, 通过印刷或者电镀方式在焊盘结构上植入这些金属凸点 13。上述的金属凸点 13 高度可为 $20\mu\text{m}$ ~ $70\mu\text{m}$ 。如金属凸点 13 的高度为 $20\mu\text{m}$ 、 $40\mu\text{m}$ 、 $70\mu\text{m}$ 等不同的高度。

步骤 6: 将堆栈芯片结构和衬底层 10 通过金属凸点键合。

参考图 4f, 将堆栈芯片结构和衬底层 10 放置在一起。使金属凸点和第三芯片 22 和第二芯片 21 对应的焊盘对位。通过回流焊或者热压合工艺使得金属凸点和第三芯片 22 及第二芯片 21 上焊盘金属键合。在采用上述制备工艺时, 回流焊和热压合通过升温让焊料熔融并和金属凸点得材料发生金属键合作用。

步骤 7: 塑封整个封装结构并在衬底层 10 植入焊球。

参考图 4g, 可采用热固化材料使用模制工具, 将整个芯片结构封装起来, 并通过加热使塑封料固化, 以形成封装层 40。最后在衬底层 10 下表面植入焊球, 可通过印刷锡膏, 回流焊方式实现焊球植入。

由上述描述可看出, 在本申请实施例提供的封装模组中, 通过采用第一芯片 31 倒置 (第一芯片 31 的连接面朝向衬底层 10), 使得第一芯片 31 与第二芯片 21 连接用的第一导体 a 可位于第二芯片 21 的厚度之间, 无需再额外占用高度, 从而使得封装模组的尺寸可以做的更薄。

为方便理解本申请实施例提供的封装模组的减薄效果, 将本申请实施例提供的封装模组与图 2 所示的现有技术中的封装模组进行对比。

在本申请实施例中, 图 2 所示的芯片采用正装的方式设置, 芯片 (芯片 3 和芯片 4) 的连接面背离衬底层, 因此在芯片与第二基板连接时, 键合线需要从芯片 4 的顶部出线, 在键合线走线时, 需要留出必要的折弯弧度, 封装层 5 到顶层芯片 (芯片 4) 的厚度至少要达到 $100\mu\text{m}$, 才能达到覆盖键合线。而在本申请实施例提供的封装模组中, 由于第一芯片的连接面朝向衬底层, 因此键合线朝向衬底层方向设置, 虽然在与底层芯片层中的芯片连接时需要留出折弯的弧度, 但是键合线折弯占用的空间与底层芯片层与衬底层焊接用的焊球的空间重叠, 从而无需设置额外的空间。由本申请图 3 可看出, 键合线沿芯片层叠方向的最高点 (与第一芯片连接面连接的点) 低于第一芯片的上表面, 有效的降低了封装层到第一芯片顶面的厚度限制, 使得封装模组的尺寸可以做的更薄, 最大限度的降低了封装模组的尺寸。

另外, 现有技术中的系统级封装模组包含有两个基板 (第一基板 1 和第二基板 2), 进而增加了封装模组的封装厚度。而在本申请实施例中, 一部分芯片 (第一内埋芯片 11 和第二内埋芯片 12) 采用内埋式的方式设置, 另一部分芯片 (第一芯片 31、第二芯片 21 和第三芯片 22) 直接与衬底层 10 键合连接, 相比图 2 所示的系统及封装模组省去了一个基板

部件的厚度，从而可降低总的封装模组的厚度。另外，采用芯片和衬底层直接键合方式，相比传统的系统级封装模组也可实现更多的 IO（Input/Output，输入/输出）连接，进而增加系统级封装模组的芯片之间的连接带宽或者降低功耗的效果。

由上述描述可看出，本申请实施例公开的封装模组相比较现有技术的封装模组可实现封装占用高度极大降低，如现有技术总的手机处理器芯片堆叠封装模组中封装层占用高度为 1.2mm 左右，智能手表处理器的堆叠封装模组中的封装层占用高度为 0.8mm 左右，而采用本申请实施例提供的封装模组中的封装层的厚度仅为 0.5mm 左右。另外，相比现有技术中的封装模组采用两层基板的方案，本申请实施例提供的封装模组在采用芯片直接与衬底层连接时，可增加封装模组内部芯片互联 IO 数，如现有技术中的堆叠封装模组中的 CPU 和上层 DRAM 封装的 IO 数量大概在 200 左右，而本申请实施例提供的衬底层内的内埋芯片和上层芯片的 IO 连接数量大于 500，极大的增加了 IO 数，进而增加连接带宽或者降低功耗的效果。

参考图 5，图 5 示出了基于图 3 所示的封装模组的一种变形结构。第二芯片 21 和第三芯片 22 位于底层芯片层 20，第一芯片 31 位于顶层芯片层 30。第二芯片 21 和第三芯片 22 与衬底层 10 的连接方式可参考图 3 中的相关描述，在此不赘述。

衬底层 10 上还可设置有避让键合线的避让槽 14，该避让槽 14 位于衬底层 10 朝向第二芯片的表面。避让槽 14 的设置位置、宽度以及深度可根据第一芯片 31 与第二芯片 21 连接的键合线 a 的折弯结构的位置以及尺寸匹配，在本申请实施例中不做具体限定。

另外，避让槽 14 的个数在本申请实施例中也不做具体的限定，其个数可与键合线 a 的个数匹配，或者避让槽 14 的个数少于键合线 a 的个数，在布置时，可以一个避让槽 14 容纳一个键合线 a 的折弯结构，或者一个避让槽 14 容纳多个键合线 a 的折弯结构，在具体设置时，可根据衬底层 10 表面上的电路层的金属走线灵活布置避让槽 14 的位置以及个数，以避免设置的避让槽 14 影响到电路层的金属走线。

由图 5 可看出，在采用设置避让槽 14 时，可进一步的降低封装模组的尺寸，使得第二芯片 21 和第三芯片 22 与衬底层 10 连接的焊球可以采用更小的尺寸，进一步的降低封装模组的高度。另外，设置的避让槽 14 使得键合线在折弯时具有更大的空间，保证了键合线在折弯后的可靠性。

参考图 6，图 6 示出了基于图 3 所示的封装模组的另一种变形结构。第二芯片 21 和第三芯片 22 位于底层芯片层 20，第一芯片 31 位于顶层芯片层 30。第二芯片 21 和第三芯片 22 与衬底层 10 的连接方式可参考图 3 中的相关描述，在此不赘述。

在图 6 所示的封装结构中，封装模组的第二芯片 21 及第三芯片 22 分别与第一芯片 31 的中间区域连接。由图 6 可看出，第一芯片 31 的连接区 311 位于第一芯片 31 的连接面的中间区域，第二芯片 21 和第三芯片 22 间隔排列，第二芯片 21 和第三芯片 22 之间间隔有使连接区 311 外露的空间。在第一芯片 31 与第二芯片 21 和第三芯片 22 连接时，第一芯片 31 与第二芯片 21 之间通过一个第一导体导电连接，以及第一芯片 31 和第三芯片 22 之间通过另一个第一导体导电连接。

第一导体采用键合线，如键合线 b 和键合线 c 位于第二芯片 21 和第三芯片 22 之间的间隙内。在采用图 6 所示的封装结构时，利用第一芯片 31 与第二芯片 21 和第三芯片 22 的尺寸的差异，在第二芯片 21 和第三芯片 22 之间形成容纳键合线 b 和键合线 c 的空间，从而使得键合线 b 和键合线 c 不影响封装模组在水平方向（如图 6 中所示的方向 B）的尺

寸,进一步的降低封装模組的尺寸,便于封装模組小型化。

另外,图6所示的封装模組也可采用图5所示的避让槽,即在图6所示的封装模組的衬底层10上也可设置与键合线和键合线匹配的避让槽,以进一步降低封装模組的高度。

图7示出了一种基于图3所示的封装模組为基础变形得到的一种封装模組。图7中部分标号可参考图3中的相同标号。第四芯片23和第五芯片24位于底层芯片层20,第一芯片31位于顶层芯片层30。

在图7所示的封装模組中,底层芯片层20内的部分芯片的出线面朝向衬底层10。如图7中所示,第四芯片23的出线面朝向衬底层10,且第四芯片23与衬底层10的连接方式可参考图3中的第二芯片21与衬底层10的相关描述,在此不赘述。而第五芯片24在设置时,第五芯片24与衬底层10粘接连接,第五芯片24的连接面背离衬底层10。第五芯片24的连接面通过第二导体与衬底层10的电路层导电连接。示例性的,第二导体可采用键合线d。

在设置第一芯片31及第五芯片24时,第五芯片24与第一芯片31错位设置,使得第五芯片24的连接面外露在第一芯片31的外侧,键合线d与第五芯片24外露在第一芯片31外侧的部分连接面连接。

作为一个可选的方案,键合线d的高度低于第一芯片31背离衬底层10一面的高度,以避免设置的键合线d影响到封装模組的高度。

参考图8,图8示出了基于图3所示的封装模組的另一变形结构。图8中部分标号可参考图3中的相同标号。多个芯片层包括顶层芯片层30、中间芯片层50及底层芯片层20;底层芯片层20为距离衬底层最近的芯片层;中间芯片层50为位于底层芯片层20和顶层芯片层30之间的芯片层,且中间芯片层50是顶层芯片层30的相邻芯片层。其中,顶层芯片层30包括第一芯片31,中间芯片层包括第六芯片51。其中,第六芯片51的连接面朝向衬底层10;底层芯片层20包括第七芯片25和第十芯片26。第七芯片25和第十芯片26的连接面朝向衬底层10并与衬底层10的电路层导电连接。

底层芯片层20的第七芯片25和第十芯片26与衬底层10的连接方式,可参考图3中所示的第二芯片21和第三芯片22与衬底层10的连接方式,在此不再赘述。

第六芯片51的连接面分别通过第一导体与第一芯片31的连接面和第七芯片25的连接面导电连接。如图8中所示,第一导体为键合线e和键合线f。其中,第一芯片31和第六芯片51通过键合线e连接,第六芯片51和第七芯片25通过键合线f连接。具体的连接方式可参考图3中第一芯片31和第七芯片25采用键合线a连接的方式,在此不再赘述。

参考图9,图9示出基于图3所述的封装模組的另一种变形结构。在图9所示的结构中,可理解成将图3所示的衬底层10中的内埋芯片设置在衬底层的表面。

在图9中,多个芯片层包括顶层芯片层30、中间芯片层50及底层芯片层20;底层芯片层20为距离衬底层最近的芯片层;中间芯片层50为位于底层芯片层20和顶层芯片层30之间的芯片层,且中间芯片层50是顶层芯片层30的相邻芯片层。其中,底层芯片层20包括第九芯片27和第十一芯片28,中间芯片层50包括第八芯片52和第十二芯片53,顶层芯片层30包括第一芯片31。

底层芯片层20的第九芯片27和第十一芯片28与衬底层10的连接方式,可参考图3中所示的第二芯片21和第三芯片22与衬底层10的连接方式,在此不再赘述。

第九芯片27的连接面和第十一芯片28的连接面均朝向衬底层10。且第九芯片27和

第十一芯片 28 通过焊盘与衬底层 10 的电路层导电连接。另外，第九芯片 27 和第十一芯片 28 之间间隔排布，以留出给其他芯片与衬底层 10 的电路层导电连接的走线空间。

中间芯片层 50 中的第八芯片 52 与第九芯片 27 通过粘接胶粘接固定连接。第八芯片 52 与第九芯片 27 错位设置，使得第八芯片 52 部分外露在第九芯片 27 外。第八芯片 52 的连接面朝向衬底层 10，且第八芯片 52 的连接面外露在第九芯片 27 外的部分通过导电柱 h 与衬底层 10 的电路层导电连接。第十二芯片 53 与第九芯片 27 和第十一芯片 28 通过粘接胶粘接固定连接。第十二芯片 53 与第十一芯片 28 错位设置，使得第十二芯片 53 部分外露在第十一芯片 28 外。第十二芯片 53 的连接面朝向衬底层 10，且第十二芯片 53 的连接面外露在第九芯片 27 和第十一芯片 28 外的部分通过导电柱（第三导体）与衬底层 10 的电路层导电连接。如图 9 中所示，第十二芯片 53 通过导电柱 j 和导电柱 i 分别与衬底层 10 的电路层导电连接。应理解，图 9 所示的第十二芯片 53 与衬底层 10 的电路层的导电连接方式仅仅为一种具体的示例方式，在实际生产中，可根据芯片的具体位置实现走线设计。

顶层芯片层 30 包括第一芯片 31，第一芯片 31 与第八芯片 52 和第十二芯片 53 分别通过粘接胶粘接连接。另外，第一芯片 31 与第八芯片 52 错位设置，使得第一芯片 31 部分外露在第八芯片 52 外。第一芯片 31 的连接面朝向衬底层 10，且第一芯片 31 的连接面外露在第八芯片 52 外的部分通过键合线 g（第一导体）与第八芯片 52 的连接面导电连接。

应理解，上述中虽然示例出了不同的芯片层包含有一个或者两个芯片，但是在本申请实施例中，每个芯片层中的芯片的个数不做具体限定，可根据实际的情况选择不同的芯片个数。

通过图 9 所示的封装模组的结构可看出，本申请实施例提供的封装模组通过采用顶层的芯片倒装，以使得顶层的芯片与其他层的芯片的导电连接的导体不占用封装模组的空间。降低了封装模组的尺寸。另外，虽然在图 9 所示的封装模组没有采用内埋芯片，但是在图 9 所示的封装模组中，相比图 2 所示的封装模组减少了基板的使用个数，也可减少封装模组的尺寸。

本申请实施例还提供了一种电子设备，如手机，智能手表等电子设备。以图 1 中示出的电子设备结构为例。电子设备包括壳体 100 以及设置在壳体 100 内的主板 200，封装模组 300 固定在主板 200 上，并与主板 200 导电连接。在封装模组 300 采用上述示例出的封装模组时，通过采用，通过一个基板（衬底层）支撑所有的芯片，降低了基板的使用的个数，进而降低了封装模组的厚度。另外，通过将第一芯片的连接面朝向衬底层，使得第一芯片与其他芯片连接的第一导体不会额外占用空间，降低了封装模组的厚度，便于封装模组的小型化。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的精神和范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权 利 要 求

- 1.一种封装模组，其特征在于，包括衬底层，以及层叠设置在所述衬底层的多个芯片层；其中，所述多个芯片层包含顶层芯片层，所述顶层芯片层为距离所述衬底层最远的芯片层；
- 5 所述顶层芯片层包含有第一芯片，所述第一芯片的连接面朝向所述衬底层，且所述第一芯片的连接面通过第一导体与相邻芯片层的芯片导电连接。
- 2.如权利要求 1 所述的封装模组，其特征在于，所述相邻芯片层的芯片的连接面朝向所述衬底层，所述第一导体一端连接所述第一芯片的连接面，另一端连接所述相邻芯片层的芯片的连接面。
- 10 3.如权利要求 1 或 2 所述的封装模组，其特征在于，所述第一导体位于所述第一芯片朝向所述衬底层的一侧。
- 4.如权利要求 1~3 任一项所述的封装模组，其特征在于，所述第一芯片的连接面相对于所述相邻芯片层的芯片的上表面具有外露的连接区，所述第一导体的一端连接至所述外露的连接区。
- 15 5.如权利要求 1~4 任一项所述的封装模组，其特征在于，所述相邻芯片层包括一个或多个芯片；所述一个或多个芯片的连接面均朝向所述衬底层并与所述衬底层的电路层导电连接；所述第一芯片的连接面与所述一个或多个芯片的连接面中任意一个连接面均通过一个所述第一导体连接。
- 6.如权利要求 5 所述的封装模组，其特征在于，所述相邻芯片层包括多个芯片，且所述多个芯片包括第二芯片和第三芯片；所述第二芯片和第三芯片的连接面均朝向所述衬底层；所述第二芯片和第三芯片分别与所述衬底层的电路层导电连接；
- 20 所述所述第一芯片与所述第二芯片通过所述第一导体导电连接；或，
- 所述所述第一芯片与所述第二芯片之间通过一个所述第一导体导电连接，以及所述第一芯片和所述第三芯片之间通过另一个所述第一导体导电连接。
- 25 7.如权利要求 5 所述的封装模组，其特征在于，所述相邻芯片层包括多个芯片，所述多个芯片包括第四芯片和第五芯片，所述第四芯片的连接面朝向所述衬底层；且所述第一芯片的连接面与所述第四芯片的连接面通过所述第一导体导电连接；
- 所述第五芯片的连接面背离所述衬底层；且所述第五芯片的连接面通过第二导体与所述衬底层的电路层导电连接。
- 30 8.如权利要求 6 或 7 所述的封装模组，其特征在于，所述衬底层设置有避让所述第一导体的避让槽。
- 9.如权利要求 1~4 任一项所述的封装模组，其特征在于，所述多个芯片层还包括底层芯片层；所述底层芯片层为距离所述衬底层最近的芯片层，所述相邻芯片层位于所述底层芯片层和所述顶层芯片层之间；
- 35 位于所述相邻芯片层的芯片包括第六芯片；所述第六芯片的连接面朝向所述衬底层；位于所述底层芯片层的芯片包括第七芯片；所述第七芯片的连接面朝向所述衬底层并与所述衬底层的电路层导电连接；
- 所述第六芯片的连接面通过一个所述第一导体与所述第一芯片的连接面导电连接，并通过另一个所述第一导体与所述第七芯片的连接面导电连接。

10.如权利要求 1~9 任一项所述的封装模组，其特征在于，所述封装模组还包括设置在所述衬底层内的内埋芯片；所述内埋芯片与所述衬底层的电路层导电连接。

11.如权利要求 1~4 任一项所述的封装模组，其特征在于，所述多个芯片层还包括底层芯片层；所述底层芯片层为距离所述衬底层最近的芯片层；所述相邻芯片层位于所述底层芯片层和所述顶层芯片层之间；

位于所述相邻芯片层的芯片包括第八芯片；所述第七芯片的连接面朝向所述衬底层；位于所述底层芯片层的芯片包括第九芯片；所述第九芯片的连接面朝向所述衬底层并与所述衬底层的电路层导电连接；

所述第一芯片的连接面通过所述第一导体与所述第八芯片的连接面导电连接；
所述第九芯片的连接面通过第三导体与所述衬底层的电路层导电连接。

12.如权利要求 1~11 任一项所述的封装模组，其特征在于，所述多个芯片层中，相邻的芯片层之间粘接连接。

13.一种电子设备，其特征在于，包括壳体以及设置在所述壳体內的如权利要求 1~12 任一项所述的封装模组。