Description

Titre de l'invention : SUBSTRAT SEMI-CONDUCTEUR POUR SEPARATION PAR LASER ET PROCÉDÉ DE FABRICATION DE STRUCTURES SEMI-CONDUCTRICES EN TROIS DIMENSIONS

DOMAINE DE L'INVENTION

[0001] La présente invention concerne le domaine de l'industrie des semi-conducteurs et propose un substrat semi-conducteur conçu pour permettre la séparation par laser d'une couche monocristalline. La présente invention concerne également un procédé de fabrication d'une structure semi-conductrice tridimensionnelle utilisant ledit substrat.

CONTEXTE DE L'INVENTION

[0002] Les dispositifs semi-conducteurs sont de plus en plus complexes, intégrant verticalement une pluralité de puces semi-conductrices remplissant diverses fonctions. Les principales motivations de l'intégration verticale sont la réduction des distances entre les puces et la réduction des dimensions latérales globales des dispositifs.

[0003] Pendant des décennies, les dispositifs semi-conducteurs ont été fabriqués uniquement à partir de matériaux semi-conducteurs massifs, principalement des tranches de silicium d'une épaisseur de plusieurs centaines de micromètres. Pour des raisons de coût et de performance, de nombreux dispositifs à semi-conducteurs sont aujourd'hui fabriqués sur des couches relativement fines de matériaux semi-conducteurs, de moins de 10 micromètres d'épaisseur. En outre, l'intégration verticale mentionnée ci-dessus nécessite également la fabrication de puces semi-conductrices sur des couches minces afin de faciliter leur intégration dans des dispositifs conçus en trois dimensions.

[0004] Dans l'industrie, ces intégrations sont connues sous le nom de 2.5D IC (2.5-Dimensional Integrated Circuit) ou 3D IC (3-Dimensional Integrated Circuit), qui représentent des techniques d'encapsulation avancées qui combinent plusieurs circuits intégrés, ou micropuces, sur un seul support. Des micropuces empilées peuvent utiliser des connexions verticales telles que les TSV (Through Silicon Vias) et la technologie d'assemblage par microbumps (flip-chip) pour assurer la connexion électrique entre les micropuces.

[0005] Dans la chaîne de fabrication d'un seul boîtier de technologie CI 2,5 ID ou 3D, les acteurs industriels qui fournissent les substrats semi-conducteurs ne sont généralement pas les mêmes que ceux qui traitent ces substrats, utilisé comme matériau de base pour fabriquer les micropuces elles-mêmes, et ces derniers peuvent également être différents des acteurs qui intègrent une diversité de micropuces sur un seul support.

[0006] En outre, les outils de fabrication qui ont été mis au point pour une gamme spécifique de processus de fabrication se révèlent parfois inadéquats pour les processus de fabrication ou les applications nouvellement mis au point. Ces outils de fabrication étant extrêmement coûteux à remplacer, afin d'amortir leurs coûts de développement et d'achat, ils doivent être utilisés pour fabriquer des dispositifs selon des processus sous-optimaux mais aussi efficaces que possible.

[0007] Nous constatons qu'il est nécessaire de fournir des substrats semi-conducteurs et des procédés aptes à être utilisés par une variété d'acteurs de l'industrie des semi-conducteurs pour diverses applications, y compris celles qui nécessitent des techniques avancées d'encapsulation. En outre, ces substrats doivent permettre de proposer des procédés de fabrication alternatifs qui utilisent au mieux les outils de fabrication existants.

OBJET DE L'INVENTION

[0008] Un premier aspect de l'invention est un substrat semi-conducteur comprenant une couche de matériau actif qui peut être facilement séparée par irradiation laser, opération dite « laser lift-off en terminologie anglaise ». La couche de matériau actif est destinée à former une couche active d'un dispositif semi-conducteur.

[0009] Un deuxième aspect de l'invention est un procédé de fabrication dudit substrat semi-conducteur.

[0010] Un troisième aspect de l'invention est un procédé de fabrication d'une couche active, formée à partir de la couche de matériau actif du premier objet de l'invention.

[0011] Un quatrième aspect de l'invention est un procédé de fabrication d'un dispositif semi-conducteur intégré en 3D.

Résumé de l'invention

[0012] Un premier objet de l'invention est un substrat semi-conducteur conçu pour permettre la séparation par laser d'une couche de matériau actif, comprenant : un substrat de support ; une couche inorganique sur le substrat de support, la couche inorganique étant formée d'un matériau choisi parmi Al_2O_3, TiO_2, WO_3, La_2O_3, $LaAlO_3$ et TiN ; une couche électriquement isolante sur la couche inorganique ; et la couche de matériau actif sur la couche électriquement isolante, la couche de matériau actif étant monocristalline.

[0013] Selon des caractéristiques supplémentaires, dans le substrat semi-conducteur, le substrat de support peut être formé de silicium monocristallin ; la couche inorganique peut avoir une épaisseur comprise entre 10 nm et 2 µm ; la couche isolante peut comprendre de l'oxyde de silicium et avoir une épaisseur comprise entre 10 nm et 1 µm ; et la couche de matériau actif peut être choisie parmi Si, SiGe, GaAs, SiC, GaN et PZT et peut avoir une épaisseur comprise entre 5 nm et 2 µm.

[0014] Le substrat selon l'invention bénéficie de la qualité élevée d'un matériau monocristallin et peut être inclus de manière économique dans un processus de fabrication de dispositifs semi-conducteurs hautement intégrés. En effet, le substrat est adapté à une méthode rapide et peu coûteuse de séparation d'une couche active traitée à partir d'une couche de matériau actif du substrat.

[0015] Un deuxième objet de l'invention est un procédé de fabrication du substrat semi-conducteur de l'invention comprenant les étapes suivantes : implanter une espèce légère d'ion à travers une surface supérieure d'un substrat donneur de matière active de manière à former un plan de fragilisation dans le substrat donneur de matière active ; former, dans cet ordre, la couche inorganique et la couche électriquement isolante sur une surface d'un substrat de support ; coller la surface supérieure du substrat donneur de matière active sur une surface libre de la couche isolante ; et scinder le substrat donneur de matière active au niveau du plan de fragilisation de manière à laisser la couche de matière active fixée au substrat de support par l'intermédiaire de la couche isolante et de la couche inorganique.

[0016] Un troisième objet de l'invention est un procédé de fabrication d'une couche active comprenant la mise en œuvre du procédé de fabrication du substrat semi-conducteur selon le deuxième objet de l'invention dans une première unité de fabrication, comprenant en outre les étapes suivantes : envoi du substrat semi-conducteur à une deuxième unité de fabrication ; et envoi à ladite deuxième unité de fabrication d'une information représentative du fait que la couche de matériau actif du substrat semi-conducteur doit être séparée du substrat de support dans une étape de séparation impliquant l'irradiation de la couche inorganique avec un rayonnement infrarouge.

[0017] Selon d'autres caractéristiques non limitatives de l'invention, considérées individuellement ou dans toute combinaison techniquement réalisable :

[0018] - le procédé de fabrication d'une couche active pour un dispositif semi-conducteur, comprenant la mise en œuvre du procédé de fabrication du substrat semi-conducteur selon le premier objet de l'invention, peut en outre comprendre les étapes de traiter la couche de matériau actif de manière à former la couche active ; et de séparer la couche active du substrat de support au niveau de la couche inorganique par irradiation de la couche inorganique à l'aide d'un rayonnement infrarouge ;

[0019] - le procédé de fabrication d'une couche active pour un dispositif semi-conducteur, comprenant la mise en œuvre du procédé de fabrication du substrat semi-conducteur selon le premier objet de l'invention, peut en outre comprendre les étapes suivantes : traiter la couche de matériau actif de manière à former la couche active ; positionner et coller des plots de connexion de la couche active sur des plots de connexion d'un substrat récepteur ; séparer le substrat de support de la couche active au niveau de la couche inorganique en irradiant la couche inorganique avec un rayonnement

infrarouge ; nettoyer une surface de la couche de matériau actif opposée au substrat récepteur après la séparation du substrat de support ; après l'étape de nettoyage, traiter la couche de matériau actif de manière à former une couche active achevée ; et

[0020] - la couche active peut comprendre une couche de matériau semi-conducteur d'une épaisseur inférieure à 1 micromètre.

[0021] Un quatrième objet de l'invention est un procédé de fabrication d'un dispositif semi-conducteur intégré tridimensionnel comprenant la réitération du procédé de fabrication d'une couche active pour un dispositif semi-conducteur sur une même portion d'un même substrat récepteur de manière à former une première pile constituée d'une pluralité de couches actives empilées, l'une des couches de matériau actif devant être empilée sur une couche active obtenue précédemment étant positionnée sur celle-ci au moyen d'un premier appareil de manipulation.

[0022] Selon d'autres caractéristiques non limitatives de l'invention, considérées individuellement ou dans toute combinaison techniquement possible :

[0023] - le procédé de formation d'un dispositif semi-conducteur intégré tridimensionnel peut en outre comprendre les étapes suivantes : découper la première pile de manière à former une pluralité d'éléments semi-conducteurs comprenant chacun une partie élémentaire de la première pile ; sur un substrat de contrôle, former une deuxième pile d'une pluralité de parties élémentaires, deux éléments élémentaires adjacents empilés de la deuxième pile étant connectés l'un à l'autre par des premières billes électriquement conductrices, la deuxième pile étant connectée au substrat de contrôle par des secondes billes électriquement conductrices, dans laquelle, lors de la formation de la deuxième pile, les parties élémentaires sont positionnées l'une sur l'autre au moyen d'un deuxième appareil de manipulation distinct du premier appareil de manipulation ;

[0024] - le premier appareil de manipulation et le deuxième appareil de manipulation peuvent avoir une première limite de hauteur et une deuxième limite de hauteur pour les objets qu'ils peuvent positionner, respectivement, la première limite de hauteur étant plus petite que la deuxième limite de hauteur ;

[0025] - le premier appareil de manipulation peut être un équipement de collage hybride et le second appareil de manipulation peut être un équipement de collage flip-chip ; et

[0026] - le dispositif semi-conducteur intégré tridimensionnel peut être un dispositif de mémoire, chaque partie élémentaire de la première pile étant un élément de mémoire numérique.

[0027] Une méthode de fabrication selon l'invention est une alternative peu coûteuse et rapide aux technologies de transfert conventionnelles. Cette méthode permet de transférer simplement des couches semi-conductrices de haute qualité qui peuvent être des couches minces et/ou monocristallines. Cette méthode permet en outre de

surmonter les limitations d'équipement concernant la hauteur maximale des éléments manipulés à intégrer dans un dispositif semi-conducteur.

[0028] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui suit, en référence aux figures annexées, dans lesquelles :

[0029] [Fig.1] La [Fig.1] illustre la formation d'une couche de fragilisation dans un substrat donneur pour un procédé de fabrication d'un substrat semi-conducteur selon l'invention ;

[0030] [Fig.2] La [Fig.2] illustre les étapes de fabrication du procédé de fabrication d'un substrat semi-conducteur ;

[0031] [Fig.3] La [Fig.3] illustre une étape de fabrication du procédé de fabrication d'un substrat semi-conducteur ;

[0032] [Fig.4] La [Fig.4] illustre les étapes de fabrication de la méthode de fabrication d'un substrat semi-conducteur ;

[0033] [Fig.5] La [Fig.5] illustre la méthode de fabrication d'un substrat semi-conducteur ;

[0034] [Fig.6] La [Fig.6] illustre une méthode de fabrication d'une couche active ;

[0035] [Fig.7] La [Fig.7] illustre une méthode de formation d'un dispositif semi-conducteur intégré tridimensionnel ;

[0036] [Fig.8] La [Fig.8] illustre la méthode de fabrication d'une couche active ;

[0037] [Fig.9] La [Fig.9] illustre la méthode de formation d'un dispositif semi-conducteur intégré tridimensionnel ;

[0038] [Fig.10] La [Fig.10] illustre la méthode de formation d'un dispositif semi-conducteur intégré tridimensionnel ;

[0039] [Fig.11]] La [Fig.11] illustre la méthode de formation d'un dispositif semi-conducteur intégré tridimensionnel ;

[0040] [Fig.12] La [Fig.12] illustre la méthode de fabrication d'une couche active ; et

[0041] [Fig.13] La [Fig.13] illustre les méthodes d'intégration conventionnelles pour les dispositifs semi-conducteurs tridimensionnels.

[0042] **DESCRIPTION DETAILLEE D'UN MODE DE REALISATION SPECIFIQUE DE L'INVENTION**

[0043] Mode de réalisation de l'invention

[0044] Structure de substrat semi-conducteur et procédé de fabrication

[0045] Un premier mode de réalisation de l'invention est expliqué à l'aide des figures 1 à 3 et de la [Fig.5], qui montrent les étapes de fabrication d'un substrat semi-conducteur conçu pour permettre la séparation par laser d'une couche de matériau actif.

[0046] La [Fig.3] illustre le substrat semi-conducteur Sub, qui comprend : un substrat de support Sprt ; une couche inorganique Inorg sur le substrat en silicium, la couche inorganique étant formée d'un matériau choisi parmi TiN, Al2O3, TiO2, WO3, La2O3 et LaAlO3 ; une couche électriquement isolante Ins sur la couche inorganique ; et la

couche de matériau actif ActMat sur la couche électriquement isolante, la couche de matériau actif étant de préférence monocristalline. La couche organique est conçue pour être suffisamment absorbante en ce qui concerne les irradiations infrarouges, telles qu'une irradiation laser, pour réaliser efficacement la séparation par laser de la couche de matériau actif, telle quelle ou traitée en tant que couche active, à partir du substrat de support.

[0047] Les figures 1 à 3 et 5 illustrent une méthode 100 de fabrication du substrat semi-conducteur Sub, qui comprend les étapes de fabrication 110 à 190.

[0048] Tout d'abord, à l'étape 110, un donneur de matière active est fourni. Le donneur de matière active est choisi parmi les substrats, tels que les plaquettes, de Si, SiGe, GaAs, SiC, GaN et PZT (titanate de zirconate de plomb), qui peuvent avoir une structure monocristalline.

[0049] Lors d'une étape d'implantation ionique 130, une espèce légère d'ion, l'hydrogène H+ ou l'hélium He+, est introduite dans le substrat donneur de matière active Don à travers une surface supérieure T.Surf de ce substrat donneur Don de manière à former un plan de fragilisation Frgl à l'intérieur du substrat donneur Don. Le plan de fragilisation est sensiblement parallèle à la surface supérieure T.Surf, comme l'illustre la [Fig.1]. Le volume du substrat donneur Don compris entre la surface supérieure T.Surf et le plan de fragilisation Frgl définit la couche de matériau actif ActMat. Dans une étape ultérieure, cette couche sera détachée du reste du substrat donneur Don par la technologie Smart Cut™ pour être transférée sur une structure de support.

[0050] L'introduction d'ions peut correspondre à l'implantation d'hydrogène, c'est-à-dire au bombardement ionique de la face T.Surf du substrat donneur Don avec des ions d'hydrogène, comme illustré par la [Fig.1]. Généralement, le type, la dose et l'énergie des espèces implantées sont choisis en fonction de l'épaisseur de la couche à transférer et des propriétés physico-chimiques du substrat donneur Don. Ces paramètres peuvent être ajustés pour définir une couche de matière active ayant une épaisseur comprise entre 5 nm et 2 µm.

[0051] Parallèlement aux étapes 110 et 130, un substrat support Sprt est fourni à une étape 120.

[0052] Lors d'une étape 140 de formation d'un empilement, la couche inorganique Inorg et la couche électriquement isolante Ins sont formées, dans cet ordre, sur une surface du substrat de support Sprt, formant un premier empilement Stck comprenant, dans cet ordre, le substrat de support Sprt, la couche inorganique Inorg et la couche isolante Ins.

[0053] La couche inorganique Inorg est de préférence formée d'un matériau choisi parmi Al2O3, TiO2, WO3, La2O3, LaAlO3 et TiN et de manière à présenter une épaisseur comprise entre 20 nm et 2 µm. Ces matériaux présentent une excellente compatibilité avec la plupart des procédés semi-conducteurs utilisés dans l'industrie, permettant

ainsi de fournir un substrat quasi-universel à une très large gamme d'applications déjà développées ainsi qu'à des applications potentielles. Le TiN est choisi de préférence pour sa compatibilité globale encore plus élevée avec ces procédés et avec l'opération de séparation par laser qui consiste à détacher la couche de matériau actif du substrat de support. La couche inorganique Inorg peut être formée par ALD (Atomic Layer Deposition), plus particulièrement par PE-ALD (Plasma Enhanced Atomic Layer Deposition), PE-CVD (Plasma Enhanced Chemical Vapor Deposition), PVD (Physical Vapor Deposition), ou par PCD (Photochemical Deposition), par exemple.

[0054] Les procédés de fabrication de semi-conducteurs mentionnés dans le paragraphe ci-dessus doivent être compris comme des procédés conventionnels utilisés dans l'industrie des semi-conducteurs pour fabriquer des micropuces à partir de matières premières, en particulier des matériaux semi-conducteurs, tels que la fabrication FEOL (Front End Of Line), BEOL (Back End Of Line), SoL (Sea of Leads), RDL (Redistribution Layer) ou TSV (Through Silicon Vias), par exemple. En effet, certains ou plusieurs de ces procédés pourraient être appliqués à la couche de matériau actif avant que la couche ne soit détachée du substrat de support, d'où la nécessité pour la couche inorganique d'être compatible avec ces procédés.

[0055] La couche isolante Ins comprend de préférence de l'oxyde de silicium ou du nitrure de silicium et a une épaisseur comprise entre 10 nm et 1 µm. La couche isolante Ins peut être formée par LPCVD (Low Pressure Chemical Vapor Deposition) ou (Plasma Enhanced Chemical Vapor Deposition), par exemple. L'oxyde de silicium est un matériau qui favorisera la liaison entre le substrat donneur Don et le premier empilement Stck.

[0056] Ensuite, lors d'une étape de collage 150, la surface supérieure T.Surf du substrat donneur Don est mise en contact intime avec la surface libre F.Surf de la couche isolante Ins, formant ainsi une adhésion moléculaire et/ou une liaison électrostatique entre le substrat donneur et la couche isolante, comme mentionné par exemple dans la demande de brevet français publiée sous le numéro 2 914 492. Les surfaces mises en contact intime peuvent être préparées par nettoyage, brossage, séchage, polissage ou activation par plasma, comme cela est connu dans le domaine.

[0057] Comme on le sait, lors d'un processus d'adhésion moléculaire, les surfaces exposées de la couche isolante et du substrat donneur, parfaitement propres, planes et lisses, sont mises en contact intime pour favoriser la liaison électrostatique ou le développement de liaisons moléculaires, par exemple de type van der Waals ou covalentes. L'assemblage des deux corps est alors obtenu sans l'utilisation d'un adhésif. Le collage peut comprendre l'application d'un traitement thermique à basse température (par exemple entre 50 et 300°C, typiquement 100°C) pour guérir les

défauts cristallins du substrat donneur et renforcer suffisamment l'énergie de collage pour permettre une éventuelle étape ultérieure d'amincissement ou un autre traitement.

[0058] Ensuite, lors d'une étape de fractionnement 170, le substrat donneur de matière active Don est fractionné, ou scindé, au niveau du plan de fragilisation Frgl de manière à laisser la couche de matière active ActMat fixée au substrat de support Sprt par l'intermédiaire de la couche isolante Ins et de la couche inorganique Inorg. L'empilement obtenu après le fractionnement est le substrat semi-conducteur Sub illustré par la [Fig.3].

[0059] Plus précisément, après l'étape de collage, la couche de matériau actif est détachée du reste du substrat donneur par fracture au niveau du plan de fragilisation Frgl et donc transférée sur le support Sprt, comme illustré par la [Fig.3] qui montre le substrat Sub formé par l'assemblage du premier empilement Stck avec la couche de matériau actif ActMat. Cette étape de détachement peut également consister à appliquer un traitement thermique à une température comprise entre 350°C et 1000° pour détacher la couche de matière active du substrat donneur et achever son transfert vers le premier empilement. En alternative ou en complément du traitement thermique, cette étape peut consister à appliquer une lame ou un jet de fluide gazeux ou liquide, ou toute autre force mécanique sur le plan de fragilisation Frgl.

[0060] Après l'étape 170, qui produit la structure Sub illustrée par la [Fig.3], un traitement thermique de stabilisation peut éventuellement être appliqué à la structure Strc lors d'une étape post-fragmentation S190. Le traitement thermique de stabilisation permet de guérir les défauts cristallins de la couche de matière active et de consolider la liaison entre cette couche de matière active et l'isolant, par exemple en portant le substrat Sub à une température comprise entre 300°C et 600°C pendant une durée comprise entre 30 minutes et 10 heures. Ce traitement thermique est de préférence réalisé en exposant la face libre de la couche de matière active à une atmosphère gazeuse neutre.

[0061] L'étape de post-fission 190 comprend également de préférence une étape de lissage de la couche libre de la couche de matériau actif, par exemple par CMP (Chemical Mechanical Polishing) et/ou par gravure humide. À ce stade, le substrat semi-conducteur Sub peut être prêt pour tout traitement envisagé par l'utilisateur du substrat.

[0062] Le substrat semi-conducteur peut également être envoyé à l'utilisateur sans que l'étape de lissage n'ait été effectuée, afin de permettre à cet utilisateur d'effectuer une étape de lissage de son choix. En effet, le substrat semi-conducteur Sub est destiné à être utilisé par divers acteurs, et l'unité de fabrication où il a été fabriqué sera généralement différente de l'unité de fabrication où la couche de matériau actif sera traitée pour former un dispositif semi-conducteur fonctionnel ou une partie d'un tel dispositif.

[0063] Transmission pour le traitement de la couche active

[0064] La [Fig.12] illustre des situations prévisibles dans lesquelles des substrats semi-conducteurs Sub obtenus comme décrit ci-dessus sont fabriqués dans une première unité de fabrication U1, sont conditionnés dans une boîte de conditionnement CBox et envoyés vers une deuxième unité de fabrication U2 où les couches de matériau actif ActMat de ces substrats semi-conducteurs Sub sont traitées pour former la couche active ActLay, et sont éventuellement intégrées dans des boîtiers semi-conducteurs Pack.

[0065] Lors de l'opération d'envoi de U1 à U2, outre les substrats eux-mêmes, des informations Inf relatives à l'utilisation prévue des substrats sont transmises à l'unité de fabrication U2. Plus précisément, l'information Inf peut être représentative du fait que les substrats doivent être soumis à un traitement d'irradiation lumineuse, tel qu'un traitement d'irradiation infrarouge par un laser infrarouge IR, afin de détacher la couche de matériau actif du reste du substrat Sub. Il faut comprendre ici que le processus de détachement s'applique à la couche de matériau actif ActMat en tant que telle ou à la couche de matériau actif après qu'elle a été transformée en couche active ActLay, comme on le verra plus loin.

[0066] Comme illustré en (A) de la [Fig.10], dans un processus d'envoi Send0, l'information Inf peut prendre la forme d'une notice d'information physique directement attachée à la boîte Cbox. La notice d'information physique peut être envoyée séparément par l'unité de fabrication U1 à l'unité de fabrication U2.

[0067] Alternativement, comme illustré en (B) de la [Fig.10], l'information Inf peut prendre une forme dématérialisée telle qu'un message électronique ou un fichier envoyé à la deuxième unité de fabrication U2 dans un processus d'envoi Send2 séparément des substrats semi-conducteurs Sub qui peuvent être envoyés à la deuxième unité de fabrication U2 dans un premier processus Send1.

[0068] Les points de départ et de destination des substrats semi-conducteurs doivent être respectivement la première et la deuxième unité de fabrication, où se trouvent les installations de traitement des substrats semi-conducteurs. Toutefois, les points de départ et de destination des informations peuvent, en pratique, être des immeubles de bureaux qui gèrent ces unités de fabrication ou qui y sont liés. Dans le présent document, pour que les explications restent concises, il est entendu que ces immeubles de bureaux sont considérés comme faisant partie des unités de fabrication, même s'ils peuvent être situés physiquement à d'autres endroits que les installations de fabrication qui traitent le substrat semi-conducteur.

[0069] Traitement de la couche active - Générique

[0070] Les figures 4 et 6 illustrent une méthode de traitement générique 200 permettant d'obtenir une couche active ActLay à partir du substrat semi-conducteur Sub décrit ci-dessus et illustré par la [Fig.3].

[0071] Lors d'une étape de traitement 210, la couche de matériau actif ActMat est traitée de manière à former la couche active ActLay alors que la couche de matériau actif est encore attachée au substrat de support Sprt via la couche isolante Ins et la couche inorganique Inorg. Les procédés appliqués à la couche de matériau actif ActMat peuvent être l'un quelconque ou une combinaison de procédés conventionnels utilisés dans l'industrie des semi-conducteurs, tels que la fabrication FEOL, BEOL, SoL, RDL ou TSV, qui peuvent impliquer des techniques de fabrication par addition ou soustraction de matière, dopage, traitement de surface, etc. La couche active est destinée à être intégrée dans un dispositif semi-conducteur tel qu'une mémoire, un MEMS (Micro Electro Mechanical System) ou un capteur.

[0072] Ensuite, lors d'une étape de séparation 230, la couche inorganique (Inorg) est irradiée par un rayonnement infrarouge IR qui peut être émis par un laser, de sorte que la couche active ActLay se détache du support au niveau de la couche inorganique, comme illustré par la [Fig.4]. L'irradiation se produit de préférence à travers le substrat Sprt, qui est choisi pour être suffisamment transparent à la longueur d'onde de l'irradiation pour que cette dernière atteigne et dégrade la couche inorganique.

[0073] Après l'étape de séparation 230, une partie ou la totalité de la couche isolante Ins et de la couche inorganique Inorg peut encore rester attachée à la couche active ActLay. Lors d'une étape de nettoyage 250, ces restes de la couche isolante Ins et de la couche inorganique Inorg sont éliminés par une gravure sélective sèche et/ou humide de manière à laisser la couche active ActLay nue, comme illustré à la [Fig.4].

[0074] Dans l'exemple illustré par la [Fig.4], la couche active est simplement détachée du substrat de support Sprt. Toutefois, la couche active peut être transférée sur un substrat support permanent, sur un substrat temporaire tel qu'une bande de découpe pour une manipulation et/ou un traitement ultérieur, ou peut être directement intégrée dans un dispositif semi-conducteur comme décrit ci-dessous.

[0075] Traitement de la couche active - Intégration

[0076] Les figures 7 et 8 illustrent une méthode de traitement 300 permettant d'obtenir une couche active ActLay' achevée à partir du substrat semi-conducteur Sub décrit ci-dessus et illustré par la [Fig.3], et d'intégrer ensuite une ou plusieurs de ces couches actives ActLay' dans un dispositif semi-conducteur SC.

[0077] Lors d'une étape de traitement 310 similaire au processus 210 décrit précédemment, la couche de matériau actif ActMat est traitée de manière à former la couche active ActLay alors que la couche de matériau actif fait toujours partie du substrat semi-conducteur Sub. Les procédés appliqués à la couche de matériau actif ActMat peuvent

être l'un quelconque ou une combinaison de procédés conventionnels employés dans l'industrie des semi-conducteurs, tels que la fabrication FEOL, BEOL, SoL, RDL ou TSV, qui peuvent impliquer des techniques de fabrication par addition ou soustraction de matière, dopage, traitement de surface, etc. La couche active est destinée à être intégrée dans un dispositif semi-conducteur, tel qu'une mémoire, un MEMS (Micro Electro Mechanical System) ou un capteur. La couche active ActLay a été structurée de manière à pouvoir recevoir, traiter et/ou transmettre des signaux électriques. A cet effet, elle comporte à sa surface des plots de connexion électrique.

[0078] Lors d'une étape de collage 330, afin d'intégrer la couche active sur un dispositif semi-conducteur, les plots de connexion sont positionnés et fixés à des plots de connexion correspondants situés sur ce dispositif semi-conducteur. Le résultat de cette étape est illustré en (A) de la [Fig.8].

[0079] La connexion est de préférence réalisée par collage hybride, qui permet de coller simultanément des couches diélectriques à des couches diélectriques et des couches conductrices d'électricité à des couches conductrices de diélectrique. Un tel collage hybride permet d'obtenir des dispositifs hautement intégrés, avec des connexions électriques raccourcies : les couches actives collées ensemble sont en contact direct les unes avec les autres. On peut se référer à la [Fig.11] et au passage correspondant de la présente description.

[0080] Lors d'une étape de séparation 350, illustrée en (B) de la [Fig.8], le substrat de support Sprt est séparé de la couche active ActLay au niveau de la couche inorganique Inorg par irradiation lumineuse. On peut se référer à l'étape 230 pour plus de détails, car les étapes 230 et 350 sont identiques dans leur principe et leur mise en œuvre, les paramètres effectifs dépendant du dispositif spécifique en cours de fabrication.

[0081] Lors d'une étape de nettoyage 370, similaire à l'étape de nettoyage 250, les parties de la couche isolante Ins et de la couche inorganique Inorg restant attachées à la couche de matériau actif ActMat sont enlevées, comme illustré en (C) de la [Fig.8], afin que la couche de matériau actif puisse être traitée ultérieurement pour former une couche fonctionnelle d'un dispositif semi-conducteur.

[0082] Lors d'une étape de traitement 390, la couche active ActLay est traitée de manière à former une couche active ActLay' achevée, comme illustré en (D) de la [Fig.8]. Les procédés appliqués à la couche active ActLay peuvent être l'un quelconque ou une combinaison de procédés conventionnels utilisés dans l'industrie des semi-conducteurs. Dans cet exemple, le procédé a pour but d'assurer la connexion électrique entre les deux faces opposées de la couche active. Dans un exemple spécifique, il s'agit de permettre une connexion fonctionnelle entre la couche de contrôle Cnt du substrat Cnt et l'une ou l'autre des couches actives ActLay qui peuvent être empilées sur la couche active ActLay' achevée.

[0083] Comme indiqué par le chiffre 395 dans la [Fig.7], la séquence des étapes de fabrication 310-330-350-370-390 peut être répétée sur une même partie du substrat Tmp de manière à empiler une pluralité de couches actives ActLay' achevées les unes sur les autres, chacune étant connectée aux autres et à la couche de contrôle Cnt du substrat Tmp.

[0084] Dispositif semi-conducteur intégré tridimensionnel

[0085] Les figures 9 à 11 illustrent une méthode de formation d'un dispositif semi-conducteur intégré tridimensionnel basé sur le procédé 300 discuté ci-dessus et illustré par les figures 7 et 8.

[0086] Comme l'illustre la [Fig.8], une couche active ActLay' peut être formée en collant et en traitant une couche active sur un substrat équipé d'une couche de contrôle Cnt. Le même processus peut être répété pour coller successivement plusieurs couches actives terminées ActLay' les unes sur les autres de manière à obtenir un premier empilement StckLay de couches actives interconnectées ActLay (ou ActLay') sur un substrat porteur Sub, comme illustré par la [Fig.9]. En pratique, la séquence des étapes de fabrication 310-330-350-370-390 peut être réitérée sur une même portion d'un même substrat récepteur de manière à former un premier empilement StckLay constitué d'une pluralité de couches actives ActLay empilées. Les couches actives ActLay à empiler sur une couche active ActLay' précédemment obtenue sont positionnées et collées sur celle-ci au moyen d'un premier appareil de manipulation.

[0087] En principe, un nombre arbitraire de couches actives peut être empilé de cette manière. Toutefois, le premier appareil de manipulation doit être capable d'effectuer à la fois (i) un positionnement précis (également appelé "alignement" d'un wafer un d'un circuit intégré (désigné par « die » en terminologie anglaise) dans l'industrie des semi-conducteurs) et (ii) un collage hybride pour garantir une connexion électrique fonctionnelle et efficace entre la couche active ActLay ajoutée en dernier lieu et la couche active ActLay' achevée obtenue précédemment.

[0088] Comme illustré à la [Fig.11], dans cette situation, un processus de collage hybride implique l'alignement précis des plots conducteurs Pad respectifs d'une couche active ActLay et d'une couche active ActLay' achevée. Ces plots sont noyés dans les couches diélectriques respectives Diel. À un stade initial du processus de collage, les couches diélectriques respectives sont mises en contact direct et collées l'une à l'autre à température ambiante. Ensuite, un traitement thermique est appliqué et une diffusion métallique se produit entre les plaquettes, formant des connexions électriques entre la couche active ActLay et la couche active ActLay' complétée.

[0089] Le problème est que les appareils disponibles capables de réaliser un tel processus, appelés équipements de collage hybride, n'ont qu'une capacité de manipulation limitée, plus précisément une capacité verticale limitée. Tant que les spécifications

du dispositif intégré n'exigent pas un nombre trop élevé de couches actives à empiler, les appareils disponibles peuvent positionner et coller efficacement les éléments concernés. Cependant, des applications récentes nécessitent l'empilement d'un nombre de couches actives tel que les appareils disponibles ne sont pas suffisants.

[0090] Il est donc nécessaire de contourner cette limitation de hauteur des appareils actuellement disponibles. Il s'agit d'une application du processus décrit à l'aide des figures 7 à 10.

[0091] Le procédé 300 mis en œuvre n fois permet d'intégrer et de connecter n couches actives ActLay' sur un substrat Tmp, comme illustré par la partie supérieure de la [Fig.9], n étant un nombre entier positif. Les parties inférieures des figures 9 et 10 illustrent un processus mis au point pour dépasser la capacité verticale limitée.

[0092] Lors d'une étape de découpage 410 suivant les n implémentations du procédé 300, le premier empilement StckLay comprenant une pluralité de n couches actives terminées ActLay' est découpé de manière à former une pluralité d'éléments semi-conducteurs D.Elmnt comprenant chacun une portion élémentaire Elmnt du premier empilement StckLay, comme illustré par la [Fig.9]. Dans la [Fig.9], les portions élémentaires Elmnt sont représentées encore attachées à leurs portions respectives du substrat Tmp, mais il est entendu qu'elles peuvent également être détachées des portions de substrat par toute méthode conventionnelle jugée adéquate par le praticien.

[0093] Lors d'une étape d'intégration 430, un deuxième empilement StckEl1 d'une première pluralité de portions élémentaires Elmnt et un troisième empilement StckEl2 d'une deuxième pluralité de portions élémentaires Elmnt sont intégrés sur un substrat de contrôle ContSub, qui peut être équipé d'un plot de connexion (non représenté sur la [Fig.10]).

[0094] Deux éléments élémentaires adjacents empilés Elmnt d'une deuxième pile StckEl1 et d'une troisième pile StckEl2 donnée sont connectés l'un à l'autre par l'intermédiaire de premières billes conductrices d'électricité uBimp1, la deuxième pile StckEl1 et la troisième pile StckEl2 étant chacune connectée au substrat de contrôle ContSub par l'intermédiaire de deuxièmes billes conductrices d'électricité uBimp2 respectives. En terminologie anglaise, on désigne ces billes conductrices d'électricité par « solder balls ».

[0095] Lors de la formation du deuxième empilement StckEl1 et du troisième empilement StckEl2, les portions élémentaires Elmnt sont positionnées l'une sur l'autre au moyen d'un deuxième appareil de manipulation distinct du premier appareil de positionnement. Cet appareil de manipulation est conçu pour établir des connexions électriques entre les éléments empilés adjacents en utilisant les billes conductrices d'électricité d'une manière bien connue telle que le processus de collage dit "flip-chip". L'appareil de manipulation correspondant est désigné sous le nom d'équipement

de liaison flip-chip. Les appareils de ce type peuvent avoir une capacité verticale supérieure à celle du premier appareil de manipulation disponible. Ainsi, la limitation de hauteur mentionnée ci-dessus peut être surmontée.

[0096] Parmi les autres avantages de ce procédé, citons une mise en œuvre plus rapide et plus économique que d'autres procédés de transfert pour une couche de matériau actif ou une couche active équivalente.

[0097] La [Fig.13] illustre des approches conventionnelles génériques pour intégrer des couches semi-conductrices fonctionnelles tridimensionnelles l'une sur l'autre. Ces approches comprennent la formation (i) d'un premier empilement comprenant un premier substrat Sub1, une première couche fonctionnelle Func.Lay1 et une première couche d'oxyde Ox1 ; (ii) d'un deuxième empilement comprenant un deuxième substrat Sub2, une couche d'oxyde enterrée BOX, une deuxième couche fonctionnelle Func.Lay2 et une deuxième couche d'oxyde Ox2 ; (iii) l'assemblage des deux empilements à travers leurs couches d'oxyde respectives Ox1 et Ox2 ; et (iv) l'élimination du deuxième substrat Sub2 et de la couche BOX.

[0098] L'étape (iv) est particulièrement longue (généralement plusieurs heures) et nécessite un traitement long et coûteux tel que le polissage mécanochimique et la gravure humide et/ou sèche pour amincir et éliminer le deuxième substrat Sub2 et la couche BOX.

[0099] L'approche conventionnelle de la [Fig.13] met aussi généralement en œuvre une liaison hybride oxyde-cuivre, et pas seulement une liaison oxyde-oxyde telle que décrite ci-dessus.

[0100] En revanche, dans la présente invention, l'étape (iv) est remplacée par une simple et rapide irradiation lumineuse. En outre, le nettoyage des matériaux restant attachés à la couche fonctionnelle (ActLay), qui concerne des couches de matériaux plus minces que dans les procédés conventionnels illustrés collectivement par la [Fig.13], est également plus facile.

[0101] En outre, le procédé selon l'invention permet de transférer et d'intégrer des couches très fines de matériau fonctionnel (ActMat) pour former la couche active. Par exemple, il est possible de former et de transférer une couche de matériau actif de moins de 1 micromètre.

[0102] Une application typique qui pourrait bénéficier de ces avantages est la fabrication de mémoires numériques. Pour de telles applications, on peut considérer que les couches actives doivent avoir une épaisseur de 0,8 micromètre, chaque couche active achevée ayant une épaisseur de, typiquement, 5 micromètres. Des piles de 8 couches actives, représentant une épaisseur de 40 micromètres, sont déjà en production. Cependant, on s'attend à ce que plusieurs dizaines de couches, 64 par exemple, devront être empilées dans les années à venir, ce qui sera limité par les contraintes verticales de l'équipement

de collage hybride. Le procédé décrit dans le présent document permet de surmonter les limites imposées par l'équipement de collage hybride.

[0103] Les figures de ce document ne sont pas nécessairement à l'échelle. Certaines caractéristiques et certains composants peuvent être représentés de manière exagérée par rapport à d'autres composants ou sous une forme quelque peu schématique, et certains détails d'éléments conventionnels peuvent ne pas être représentés, dans un souci de clarté et de concision.

[0104] Bien entendu, l'invention n'est pas limitée au mode de réalisation décrit, et d'autres modes de réalisation peuvent être utilisés sans s'écarter de la portée de l'invention telle que définie par les revendications.

Revendications

[Revendication 1] Substrat semi-conducteur (Sub) conçu pour permettre la séparation par laser d'une couche de matériau actif (ActMat), comprenant :
- un substrat de support (Sprt) ;
- une couche inorganique (Inorg) sur le substrat de support, la couche inorganique étant formée d'un matériau choisi parmi Al2O3, TiO2, WO3, La2O3, LaAlO3 et TiN ;
- une couche électriquement isolante (Ins) sur la couche inorganique ; et
- la couche de matériau actif (ActMat) sur la couche électriquement isolante, la couche de matériau actif étant monocristalline.

[Revendication 2] Substrat semi-conducteur (Sub) selon la revendication 1, dans lequel :
- le substrat de support (Sprt) est formé de silicium monocristallin ;
- la couche inorganique (Inorg) a une épaisseur comprise entre 10 nm et 2 µm ;
- la couche isolante (Ins) comprend de l'oxyde de silicium et a une épaisseur comprise entre 10 nm et 1 µm ; et
- la couche de matériau actif (ActMat) est choisie parmi Si, SiGe, GaAs, SiC, GaN et PZT et a une épaisseur comprise entre 5 nm et 2 µm.

[Revendication 3] Procédé (100) de fabrication du substrat semi-conducteur (Sub) selon la revendication 1 ou 2, comprenant les étapes suivantes :
- implanter (130) une espèce légère (H+) d'ion à travers une surface supérieure (T.Surf) d'un substrat donneur de matière active (Don) de manière à former un plan de fragilisation (Frgl) à l'intérieur du substrat donneur (Don) de matière active ;
- former (140), dans cet ordre, la couche inorganique (Inorg) et la couche électriquement isolante (Ins) sur une surface d'un substrat de support (Sprt) ;
- coller (150) la surface supérieure (T.Surf) du substrat donneur (Don) de matière active sur une surface libre (F.Surf) de la couche isolante (Ins) ; et
- scinder (170) le substrat donneur (Don) de matière active au niveau du plan de fragilisation (Frgl) de manière à laisser la couche de matière active (ActMat) fixée au substrat de support (Sprt) par

l'intermédiaire de la couche isolante (Ins) et de la couche inorganique (Inorg).

[Revendication 4] Procédé (200) de fabrication d'une couche active (ActLay) pour un dispositif semi-conducteur, comprenant la mise en œuvre du procédé (100) de fabrication du substrat semi-conducteur (Sub) selon la revendication 3, comprenant en outre les étapes de :
- traiter (210) la couche de matériau actif (ActMat) de manière à former la couche active (ActLay) ; et
- séparer (230) la couche active (ActLay) du substrat de support (Sprt) au niveau de la couche inorganique (Inorg) en irradiant la couche inorganique avec un rayonnement infrarouge (IR).

[Revendication 5] Procédé (300) de fabrication d'une couche active (ActLay) comprenant la mise en œuvre du procédé (100) de fabrication du substrat semi-conducteur (Sub) selon la revendication 3, comprenant en outre les étapes de :
- traiter (310) la couche de matériau actif (ActMat) de manière à former la couche active (ActLay) ;
- positionner et fixer (330) les plots de connexion (Pad) de la couche active (ActLay) aux les plots de connexion (Pad) d'un substrat de réception (Tmp) ;
- séparer (350) le substrat de support (Sprt) de la couche active (ActLay) au niveau de la couche inorganique (Inorg) par irradiation de la couche inorganique avec un rayonnement infrarouge (IR) ;
- nettoyer (370) une surface de la couche de matériau actif (ActMat) opposée au substrat récepteur (Tmp) après la séparation du substrat de support (Sprt) ; et
- après l'étape de nettoyage, traiter (390) la couche de matière active de manière à former une couche active achevée (ActLay').

[Revendication 6] Procédé (200, 300) de fabrication d'une couche active (ActLay) comprenant la mise en œuvre du procédé (100) de fabrication du substrat semi-conducteur (Sub) selon la revendication 3 dans une première unité de fabrication (U1), comprenant en outre les étapes de :
- envoyer (Snd0, Snd1) le substrat semi-conducteur (Sub) à une deuxième unité de fabrication (U2) ; et
- envoyer (Snd0, Snd2) à ladite deuxième unité de fabrication (U2) une information représentative du fait que la couche de matériau actif (ActMat) du substrat semi-conducteur (Sub) doit être séparée

du substrat de support (Sprt) dans une étape de séparation impliquant l'irradiation de la couche inorganique (Inorg) avec un rayonnement infrarouge (IR).

[Revendication 7] Procédé (200) de fabrication d'une couche active (ActLay) pour un dispositif semi-conducteur, comprenant la mise en œuvre du procédé (200, 300) de fabrication de la couche active (ActLay) selon la revendication 6, comprenant en outre les étapes de :
- traiter (210) la couche de matériau actif (ActMat) de manière à former la couche active (ActLay) ; et
- séparer (230) la couche active (ActLay) du substrat de support (Sprt) au niveau de la couche inorganique (Inorg) en irradiant la couche inorganique avec un rayonnement infrarouge (IR).

[Revendication 8] Procédé (300) de fabrication d'une couche active (ActLay) comprenant la mise en œuvre du procédé (200, 300) de fabrication de la couche active (ActLay) selon la revendication 6, comprenant en outre les étapes de :
- traiter (310) la couche de matériau actif (ActMat) de manière à former la couche active (ActLay) ;
- positionner et fixer (330) les plots de connexion (Pad) de la couche active (ActLay) aux les plots de connexion (Pad) d'un substrat de réception (Tmp) ;
- séparer (350) le substrat de support (Sprt) de la couche active (ActLay) au niveau de la couche inorganique (Inorg) par irradiation de la couche inorganique avec un rayonnement infrarouge (IR) ;
- nettoyer (370) une surface de la couche de matériau actif (ActMat) opposée au substrat récepteur (Tmp) après la séparation du substrat de support (Sprt) ; et
- après l'étape de nettoyage, traiter (390) la couche de matière active de manière à former une couche active achevée (ActLay').

[Revendication 9] Procédé selon l'une quelconque des revendications 4 à 8 de fabrication d'une couche active (ActLay), dans lequel la couche active comprend une couche d'un matériau semi-conducteur d'une épaisseur inférieure à 1 micromètre.

[Revendication 10] Procédé de formation d'un dispositif semi-conducteur intégré tridimensionnel (3D SC) comprenant la réitération (380) du procédé (300) selon la revendication 8 ou 9 sur une même portion d'un même substrat récepteur de manière à former un premier empilement (StckLay) constitué d'une pluralité de couches actives empilées

(ActLay), l'une des couches de matériau actif (ActMAt) destinée à être empilée sur une couche active (AcLay) précédemment obtenue étant positionnée sur celle-ci au moyen d'un premier appareil de manipulation.

[Revendication 11] Le procédé selon la revendication 10, comprenant en outre les étapes de :
- découper (410) le premier empilement de manière à former une pluralité d'éléments semi-conducteurs (D.Elmnt) comprenant chacun une partie élémentaire (Elmnt) du premier empilement (StckLay) ;
- sur un substrat de contrôle (ContSub), former (430) un deuxième empilement (StckEl1) d'une pluralité de parties élémentaires (Elmnt), deux éléments élémentaires adjacents empilés (Elmnt) du deuxième empilement (StckEl1) étant connectés l'un à l'autre par des premières billes conductrices d'électricité (uBimp1), le deuxième empilement (StckEl1) étant connecté au substrat de contrôle (ContSub) par des deuxièmes billes conductrices d'électricité (uBimp2),
dans lequel, lors de la formation de la seconde pile (StckEl1), les portions élémentaires (Elmnt) sont positionnées l'une sur l'autre au moyen d'un second appareil de manipulation distinct du premier appareil de manipulation.

[Revendication 12] Procédé selon la revendication 11, dans lequel le premier appareil de manipulation et le deuxième appareil de manipulation ont une première limite de hauteur et une deuxième limite de hauteur pour les objets qu'ils peuvent positionner, respectivement, la première limite de hauteur étant plus petite que la deuxième limite de hauteur.

[Revendication 13] Le procédé selon la revendication 11 ou 12, dans laquelle le premier appareil de manipulation est un équipement de collage hybride et le deuxième appareil de manipulation est un équipement de collage flip-chip.

[Revendication 14] Le procédé selon l'une des revendications 10 à 13, dans laquelle le dispositif semi-conducteur intégré tridimensionnel est un dispositif de mémoire, chaque partie élémentaire (Elmnt) de la première pile (StckLay) étant un élément de mémoire numérique.