

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2024/222720 A1

(43) 国际公布日
2024 年 10 月 31 日 (31.10.2024)

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/423** (2006.01)
H01L 29/78 (2006.01)

(21) 国际申请号: PCT/CN2024/089482

(22) 国际申请日: 2024 年 4 月 24 日 (24.04.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310458020.2 2023 年 4 月 25 日 (25.04.2023) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (**BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.**) [CN/CN]; 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(72) 发明人: 李佳阳 (**LI, Jiayang**); 中国北京市大兴区北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (**TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS**); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 发明名称: 半导体器件的制造方法

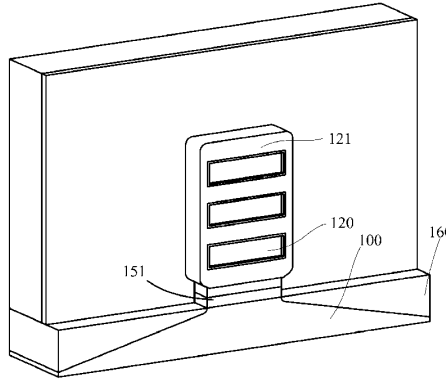


图 14A

(57) Abstract: Provided in the embodiments of the present disclosure is a manufacturing method for a semiconductor device. The manufacturing method comprises: forming a sacrificial area on the surface of a substrate; forming a laminated structure on the sacrificial area, wherein the laminated structure comprises a first semiconductor layer and a second semiconductor layer which are alternately stacked; removing the sacrificial area, so as to form a cavity between the substrate and the laminated structure; filling the cavity with an insulating layer; removing one of the first semiconductor layer and the second semiconductor layer; and forming a gate structure around the other one of the first semiconductor layer and the second semiconductor layer.

(57) 摘要: 本公开实施例提供了一种半导体器件的制造方法, 包括: 在衬底表面形成牺牲区; 在牺牲区上形成叠层结构, 叠层结构包括交替堆叠的第一半导体层和第二半导体层; 去除牺牲区, 以在衬底与叠层结构之间形成空腔; 在空腔内填充绝缘层; 去除第一半导体层和第二半导体层中的一者; 在第一半导体层和第二半导体层中的另一者周围形成栅极结构。

[见续页]



WO 2024/222720 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。