

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 実施形態は、半導体記憶装置に関する。

背景技術

[0002] データを不揮発に記憶することが可能なNAND型フラッシュメモリが知られている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2020-145233号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体記憶装置の製造コストを抑制する。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、基板と、複数の第1導電体層と、ピラーと、第2導電体層とを含む。複数の第1導電体層は、基板の上方に設けられ、第1方向に互いに離れている。ピラーは、複数の第1導電体層を貫通して設けられ、前記第1方向に延伸した第1半導体層を含む。ピラーと第1導電体層との交差部分はメモリセルとして機能する。第2導電体層は、複数の第1導電体層の上方に設けられ、第1半導体層と接触している。第2導電体層は、金属又はシリサイドである。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係る半導体記憶装置の構成の一例を示すブロック図である。

[図2]図2は、第1実施形態に係る半導体記憶装置が備えるメモリセルアレイの回路構成の一例を示す回路図である。

[図3]図3は、第1実施形態に係る半導体記憶装置が備えるロウデコーダモジュールの回路構成の一例を示す回路図である。

[図4]図4は、第1実施形態に係る半導体記憶装置が備えるセンスアンプモジュールの回路構成の一例を示す回路図である。

[図5]図5は、第1実施形態に係る半導体記憶装置の構造の一例を示す斜視図である。

[図6]図6は、第1実施形態に係る半導体記憶装置のメモリ領域における平面レイアウトの一例を示す平面図である。

[図7]図7は、第1実施形態に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。

[図8]図8は、第1実施形態に係る半導体記憶装置におけるメモリピラーの断面構造の一例を示す、図7のVⅠⅠⅠーVⅠⅠⅠ線に沿った断面図である。

[図9]図9は、第1実施形態に係る半導体記憶装置のメモリ領域及びセンスアンプ領域を含む断面構造の一例を示す断面図である。

[図10]図10は、第1実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャートである。

[図11]図11は、第1実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図12]図12は、第1実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図13]図13は、第1実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図14]図14は、第1実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図15]図15は、第1実施形態に係る半導体記憶装置の読み出し動作の一例を示すタイミングチャートである。

[図16]図16は、第1実施形態に係る半導体記憶装置の読み出し動作時のNANDストリングにおけるバンド構造の一例を示す模式図である。

[図17]図17は、第1実施形態に係る半導体記憶装置の消去動作の一例を示すタイミングチャートである。

[図18]図18は、第1実施形態に係る半導体記憶装置の消去動作時のNANDストリングにおけるバンド構造の一例を示す模式図である。

[図19]図19は、第1実施形態の比較例に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。

[図20]図20は、第2実施形態に係る半導体記憶装置の読み出し動作の一例を示すタイミングチャートである。

[図21]図21は、第2実施形態に係る半導体記憶装置の読み出し動作時のNANDストリングにおけるバンド構造の一例を示す模式図である。

[図22]図22は、第3実施形態に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。

[図23]図23は、第3実施形態に係る半導体記憶装置におけるメモリピラーとソース線との接続部分の断面構造の一例を示す断面図である。

[図24]図24は、第3実施形態に係る半導体記憶装置におけるメモリピラーとソース線との接続部分の断面構造の一例を示す断面図である。

[図25]図25は、第3実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャートである。

[図26]図26は、第3実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図27]図27は、第3実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図28]図28は、第3実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図29]図29は、第3実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図30]図30は、第3実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図31]図3 1は、第4実施形態に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。

[図32]図3 2は、第4実施形態に係る半導体記憶装置におけるメモリピラーとソース線との接続部分の断面構造の一例を示す断面図である。

[図33]図3 3は、第4実施形態に係る半導体記憶装置におけるメモリピラーとソース線との接続部分の断面構造の一例を示す断面図である。

[図34]図3 4は、第4実施形態に係る半導体記憶装置の製造方法の一例を示すフローチャートである。

[図35]図3 5は、第4実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図36]図3 6は、第4実施形態に係る半導体記憶装置の製造途中の断面構造の一例を示す断面図である。

[図37]図3 7は、第1実施形態の変形例に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。

発明を実施するための形態

[0007] 以下に、実施形態について図面を参照して説明する。実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものと同一とは限らない。本発明の技術的思想は、構成要素の形状、構造、配置等によって特定されるものではない。

[0008] 尚、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付す。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同様に、参照符号を構成する数字の後の文字は、同じ数字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字又は数字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素はそれぞれ文字又は数字のみを含んだ参照符号により参照される。

[0009] <1>第1実施形態

第1実施形態に係る半導体記憶装置1は、データを不揮発に記憶することが可能なNAND型フラッシュメモリの一種である。以下に、第1実施形態に係る半導体記憶装置1について説明する。

[0010] <1-1>構成

<1-1-1>半導体記憶装置1の全体構成

図1は、第1実施形態に係る半導体記憶装置1の構成の一例を示すブロック図である。図1に示すように、半導体記憶装置1は、外部のメモリコントローラ2によって制御可能に構成される。また、半導体記憶装置1は、例えばメモリセルアレイ10、コマンドレジスタ11、アドレスレジスタ12、シーケンサ13、ドライバモジュール14、ロウデコーダモジュール15、並びにセンスアンプモジュール16を備えている。

[0011] メモリセルアレイ10は、複数のブロックBLK0~BLKn（nは1以上の整数）を含む。各ブロックBLKは、データを不揮発に記憶することが可能な複数のメモリセルの集合を含む。ブロックBLKは、例えば、データの消去単位として使用される。メモリセルアレイ10には、後述される複数のビット線及び複数のワード線が設けられる。各メモリセルは、1本のビット線と1本のワード線とに関連付けられている。

[0012] コマンドレジスタ11は、半導体記憶装置1がメモリコントローラ2から受信したコマンドCMDを記憶する。コマンドCMDは、シーケンサ13に、読み出し動作、書き込み動作、消去動作等を実行させるための命令を含む。

[0013] アドレスレジスタ12は、半導体記憶装置1がメモリコントローラ2から受信したアドレス情報ADDを記憶する。アドレス情報ADDは、例えば、ブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAを含む。ブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAは、それぞれブロックBLK、ワード線、及びビット線に関連付けられている。

- [0014] シーケンサ 13 は、半導体記憶装置 1 の全体の動作を制御する。例えば、シーケンサ 13 は、コマンドレジスタ 11 に記憶されたコマンド CMD に基づいて、ドライバモジュール 14、ロウデコーダモジュール 15、及びセンスアンプモジュール 16 等を制御し、読み出し動作、書き込み動作、消去動作等を実行する。
- [0015] ドライバモジュール 14 は、複数の信号線を介してロウデコーダモジュール 15 に接続され、読み出し動作、書き込み動作、消去動作等で使用される電圧を生成する。例えば、ドライバモジュール 14 は、アドレスレジスタ 12 に保持されたページアドレス PA に基づいて選択されたワード線に接続された信号線と、他のワード線に接続された信号線とのそれぞれに、所定の電圧を印加する。
- [0016] ロウデコーダモジュール 15 は、ドライバモジュール 14 によって複数の信号線に印加された電圧を、メモリセルアレイ 10 に転送する。また、ロウデコーダモジュール 15 は、メモリセルアレイ 10 内で、アドレスレジスタ 12 に記憶されたブロックアドレス BA に関連付けられた 1 つのブロック BLK を選択し、選択されたブロック BLK と非選択のブロック BLK とで、互いに異なる信号線の組に印加された電圧を転送する。
- [0017] センスアンプモジュール 16 は、図示が省略された入出力回路を介して、メモリコントローラ 2 との間でデータ DAT を送受信する。書き込み動作において、センスアンプモジュール 16 は、メモリコントローラ 2 から受信した書き込みデータに応じた電圧を、各ビット線に印加する。読み出し動作において、センスアンプモジュール 16 は、メモリセルに記憶されたデータをビット線の電圧に基づいて判定し、判定結果に基づいて確定した読み出しデータをメモリコントローラ 2 に送信する。
- [0018] 半導体記憶装置 1 とメモリコントローラ 2 との間の通信は、例えば、NAND インターフェイス規格をサポートしている。半導体記憶装置 1 とメモリコントローラ 2 との間の通信では、例えば、入出力信号 I/O、コマンドラッチイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、ライト

イネーブル信号WE_n、リードイネーブル信号RE_n、及びレディビジー信号RB_nが使用される。

- [0019] 入出力信号I/Oは、例えば8ビット幅の信号であり、コマンドCMD、アドレス情報ADD、データDAT等を含み得る。コマンドラッチイネーブル信号CLEは、半導体記憶装置1が受信した入出力信号I/OがコマンドCMDであるか否かを示す信号である。アドレスラッチイネーブル信号ALEは、半導体記憶装置1が受信した入出力信号I/Oがアドレス情報ADDであるか否かを示す信号である。ライトイネーブル信号WE_nは、入出力信号I/Oの入力を半導体記憶装置1に命令するための信号である。リードイネーブル信号RE_nは、入出力信号I/Oの出力を半導体記憶装置1に命令するための信号である。レディビジー信号RB_nは、半導体記憶装置1がレディ状態及びビジー状態のいずれであるかをメモリコントローラ2に通知する信号である。レディ状態は、半導体記憶装置1がメモリコントローラ2からの命令を受け付ける状態である。ビジー状態は半導体記憶装置1が、メモリコントローラ2からの命令を受け付けない状態である。
- [0020] 尚、半導体記憶装置1及びメモリコントローラ2の組み合わせによって、1つの半導体装置が構成されても良い。このような半導体装置としては、例えばSD™カードのようなメモリカードや、SSD (solid state drive) 等が挙げられる。

- [0021] <1-1-2>半導体記憶装置1の回路構成

(メモリセルアレイ10の回路構成)

図2は、第1実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の回路構成の一例を示す回路図である。図2は、メモリセルアレイ10に含まれた1つのブロックBLKを抽出して示している。図2に示すように、ブロックBLKは、例えば4つのストリングユニットSU0～SU3を含む。ブロックBLKには、複数のビット線BL0～BL_m (mは1以上の整数) と、複数のワード線WL0～WL7と、複数の選択ゲート線SGD0～SGD3と、選択ゲート線SGSと、ソース線SLとが接続されている。

- [0022] 各ストリングユニットSUは、複数のNANDストリングNSを含む。複数のNANDストリングNSには、互いに異なるカラムアドレスが割り当てられる。各ストリングユニットSU内の複数のNANDストリングNSは、それぞれビット線BL0～BLmに関連付けられている。各ビット線BLには、同一のカラムアドレスが割り当てられた複数のNANDストリングNSが接続される。複数のワード線WL0～WL7と、複数の選択ゲート線SGD0～SGD3と、選択ゲート線SGSとの組は、ブロックBLK毎に設けられる。ソース線SLは、複数のブロックBLK間で共有される。
- [0023] 各NANDストリングNSは、メモリセルトランジスタMT0～MT7、並びに選択トランジスタSTD及びSTSを含む。メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を含み、閾値電圧に応じてデータを不揮発に保持する。選択トランジスタSTD及びSTSのそれぞれは、読み出し動作、書き込み動作、及び消去動作等において、ストリングユニットSUの選択等に使用される。
- [0024] 各NANDストリングNSにおいて、メモリセルトランジスタMT0～MT7は、直列に接続される。選択トランジスタSTDのドレインは、関連付けられたビット線BLに接続される。選択トランジスタSTDのソースは、直列に接続されたメモリセルトランジスタMT0～MT7の一端に接続される。選択トランジスタSTSのドレインは、直列に接続されたメモリセルトランジスタMT0～MT7の他端に接続される。選択トランジスタSTSのソースは、ソース線SLに接続される。
- [0025] 同一のブロックBLKに含まれたメモリセルトランジスタMT0～MT7の制御ゲートは、それぞれワード線WL0～WL7に接続される。ストリングユニットSU0に含まれた選択トランジスタSTDのゲートは、選択ゲート線SGD0に接続される。ストリングユニットSU1に含まれた選択トランジスタSTDのゲートは、選択ゲート線SGD1に接続される。ストリングユニットSU2に含まれた選択トランジスタSTDのゲートは、選択ゲート線SGD2に接続される。ストリングユニットSU3に含まれた選択トラ

ンジスタSTDのゲートは、選択ゲート線SGD3に接続される。同一のブロックBLKに含まれた選択トランジスタSTSのゲートは、選択ゲート線SGSに接続される。

[0026] 1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えば“セルユニットCU”と呼ばれる。例えば、各々が1ビットデータを記憶する複数のメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、“1ページデータ”として定義される。メモリセルトランジスタMTは、2ビットデータ以上の記憶容量を有していてもよい。セルユニットCUは、メモリセルトランジスタMTが記憶するビット数に応じて、2ページデータ以上の記憶容量を有し得る。第1実施形態では、1つのメモリセルトランジスタMTが3ビットデータを記憶する場合の構成及び動作について説明する。

[0027] 尚、メモリセルアレイ10は、その他の回路構成であっても良い。例えば、各ブロックBLKが含むストリングユニットSUの個数や、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタSTD及びSTSの個数は、変更されても良い。NANDストリングNSが、1つ以上のダミートランジスタを含んでいても良い。選択ゲート線SGSが、ストリングユニットSU毎に設けられても良い。

[0028] (ロウデコーダモジュール15の回路構成)

図3は、第1実施形態に係る半導体記憶装置1が備えるロウデコーダモジュール15の回路構成の一例を示す回路図である。図3に示すように、ロウデコーダモジュール15は、信号線CG0～CG7、SGDD0～SGDD3、SGSD、USGD、及びUSGSを介して、ドライバモジュール14に接続される。また、ロウデコーダモジュール15は、ロウデコーダRD0～RDn(nは1以上の整数)を含む。ロウデコーダRD0～RDnは、それぞれブロックBLK0～BLKnに関連付けられている。以下に、ロウデコーダRD0に注目して、ロウデコーダRDの詳細な回路構成について説明する。

- [0029] ロウデコーダRDは、例えば、トランジスタTR0～TR17、転送ゲート線TG及びbTG、並びにブロックデコーダBDを含む。
- [0030] トランジスタTR0～TR17のそれぞれは、高耐圧なN型のMOSトランジスタである。トランジスタTR0～TR12のそれぞれのゲートは、転送ゲート線TGに接続される。トランジスタTR13～TR17のそれぞれのゲートは、転送ゲート線bTGに接続される。そして、各トランジスタTRのドレイン及びソースは、ドライバモジュール14に接続された複数の信号線のいずれかと、当該ロウデコーダRDに関連付けられたブロックBLKに接続された複数の配線のいずれかとの間に接続される。
- [0031] 具体的には、トランジスタTR0のドレインは、信号線SGSDに接続される。トランジスタTR0のソースは、選択ゲート線SGSに接続される。トランジスタTR1～TR8のそれぞれのドレインは、それぞれ信号線CG0～CG7に接続される。トランジスタTR1～TR8のそれぞれのソースは、それぞれワード線WL0～WL7に接続される。トランジスタTR9～TR12のそれぞれのドレインは、それぞれ信号線SGDD0～SGDD3に接続される。トランジスタTR9～TR12のそれぞれのソースは、それぞれ選択ゲート線SGD0～SGD3に接続される。トランジスタTR13のドレインは、信号線USGSに接続される。トランジスタTR13のソースは、選択ゲート線SGSに接続される。トランジスタTR14～TR17のそれぞれのドレインは、信号線USGDに接続される。トランジスタTR14～TR17のそれぞれのソースは、それぞれ選択ゲート線SGD0～SGD3に接続される。
- [0032] ブロックデコーダBDは、ブロックアドレスBAをデコードする。そして、ブロックデコーダBDは、デコード結果に基づいて、転送ゲート線TG及びbTGのそれぞれに所定の電圧を印加する。転送ゲート線TGに印加される電圧と転送ゲート線bTGに印加される電圧とは、相補的な関係を有している。言い換えると、転送ゲート線bTGには、転送ゲート線TGに入力される信号の反転信号が入力される。

[0033] ロウデコーダモジュール15は、ロウデコーダRD0～RDnのそれぞれのブロックデコーダBDにブロックアドレスBAを入力することによって、ブロックBLKを選択する。例えば、読み出し動作や書き込み動作の際に、選択されたブロックBLKに関連付けられているブロックデコーダBDは、“H”レベル及び“L”レベルの電圧をそれぞれ転送ゲート線TG及びbTGに印加する。一方で、非選択のブロックBLKに関連付けられているブロックデコーダBDは、“L”レベル及び“H”レベルの電圧をそれぞれ転送ゲート線TG及びbTGに印加する。これにより、選択されたブロックBLKと非選択のブロックBLKとに、互いに異なる信号線の組に印加された電圧が転送される。

[0034] 尚、ロウデコーダモジュール15は、その他の回路構成であっても良い。例えば、ロウデコーダモジュール15が含むトランジスタTRの個数は、各ブロックBLKに設けられる配線の本数に応じて変更されても良い。信号線CGは、複数のブロックBLK間で共有されることから、“グローバルワード線”と呼ばれても良い。ワード線WLは、ブロック毎に設けられることから、“ローカルワード線”と呼ばれても良い。信号線SGDD及びSGSDのそれぞれは、複数のブロックBLK間で共有されることから、“グローバル転送ゲート線”と呼ばれても良い。選択ゲート線SGD及びSGSのそれぞれは、ブロック毎に設けられることから、“ローカル転送ゲート線”と呼ばれても良い。

[0035] (センスアンプモジュール16の回路構成)

図4は、第1実施形態に係る半導体記憶装置1が備えるセンスアンプモジュール16の回路構成の一例を示す回路図である。図4に示すように、センスアンプモジュール16は、センスアンプユニットSAU0～SAUm(mは1以上の整数)を含む。センスアンプユニットSAU0～SAUmは、それぞれビット線BL0～BLmに関連付けられている。以下に、センスアンプユニットSAU0に注目して、センスアンプユニットSAUの回路構成について説明する。

- [0036] センスアンプユニットSAUは、例えば、ビット線接続部BLHU、センスアンプ部SA、バスLBUS、並びにラッチ回路SDL、ADL、BDL、CDL、VLDL、VHDL、及びXDLを含む。ビット線接続部BLHUは、ビット線BLとセンスアンプ部SAとの間に接続された高耐圧なトランジスタを含む。センスアンプ部SAは、ビット線BLの電圧に基づいてメモリセルトランジスタMTの閾値電圧を判定するための回路を含む。ラッチ回路SDL、ADL、BDL、及びXDLのそれぞれは、データを一時的に記憶することが可能な回路である。
- [0037] センスアンプ部SA、並びにラッチ回路SDL、ADL、BDL、及びXDLは、バスLBUSに接続される。ラッチ回路SDL、ADL、BDL、及びXDLは、バスLBUSを介して、互いにデータを送受信することが出来る。ラッチ回路XDLは、半導体記憶装置1の入出力回路とセンスアンプユニットSAUとの間のデータDATの入出力に使用される。ラッチ回路XDLは、半導体記憶装置1のキャッシュメモリCMとしても使用され得る。半導体記憶装置1は、少なくともラッチ回路XDLが空いていれば、レディ状態になることが出来る。
- [0038] 各センスアンプ部SAには、シーケンサ13によって生成された制御信号STBが入力される。制御信号STBがアサートされると、センスアンプ部SAは、選択されたメモリセルトランジスタMTの閾値電圧、すなわちメモリセルトランジスタMTに記憶されたデータを判定する。簡潔に述べると、センスアンプ部SAは、制御信号STBがアサートされると、関連付けられたビット線BLの電圧に応じて、バスLBUSを放電させる。そして、このときのバスLBUSの電圧に基づいたデータ（“0”又は“1”）が、バスLBUSを共有するいずれかのラッチ回路に記憶される。
- [0039] 尚、センスアンプモジュール16は、その他の回路構成であっても良い。例えば、各センスアンプユニットSAUが備えるラッチ回路の個数は、1つのメモリセルトランジスタMTが記憶可能なビット数に応じて変更され得る。1つのセンスアンプユニットSAUが、複数のビット線BLに割り当てら

れても良い。

[0040] <1-1-3>半導体記憶装置1の構造

以下に、第1実施形態に係る半導体記憶装置1の構造の一例について説明する。尚、以下で参照される図面において、X方向はワード線WLの延伸方向に対応し、Y方向はビット線BLの延伸方向に対応し、Z方向は半導体記憶装置1の形成に使用される半導体基板の表面に対する鉛直方向に対応している。平面図には、図を見易くするためにハッチングが適宜付加されている。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。平面図及び断面図のそれぞれでは、図を見易くするために、配線、コンタクト、層間絶縁膜等の図示が適宜省略されている。

[0041] (半導体記憶装置1の全体構造)

図5は、第1実施形態に係る半導体記憶装置1の構造の一例を示す斜視図である。図5に示すように、半導体記憶装置1は、メモリチップMC及びCMOSチップCCを備えている。メモリチップMCの下面とCMOSチップCCの上面とは、貼り合わされている。メモリチップMCは、メモリセルアレイ10に対応する構造を含む。CMOSチップCCは、例えば、シーケンサ13、コマンドレジスタ11、アドレスレジスタ12、シーケンサ13、ドライバモジュール14、ロウデコーダモジュール15、及びセンスアンプモジュール16に対応する構造を含む。

[0042] メモリチップMCの領域は、例えばメモリ領域MR、引出領域HR1及びHR2、並びにパッド領域PR1に分けられる。メモリ領域MRは、メモリチップMCの大部分を占めており、データの記憶に使用される。引出領域HR1及びHR2は、メモリ領域MRをX方向に挟んでいる。引出領域HR1及びHR2は、メモリチップMCに設けられた積層配線とCMOSチップCCに設けられたロウデコーダモジュール15との間の接続に使用される。パッド領域PR1は、メモリ領域MR並びに引出領域HR1及びHR2のそれぞれとY方向に隣り合っている。パッド領域PR1は、例えば、半導体記憶

装置 1 の入出力回路に関連する回路を含んでいる。

[0043] また、メモリチップMCは、メモリ領域MR、引出領域HR 1 及びHR 2、並びにパッド領域PR 1 のそれぞれの下部において、複数の貼合パッドBPを有する。貼合パッドBPは、接合金属と呼ばれても良い。メモリ領域MR内の貼合パッドBPは、関連付けられたビット線BLに接続される。引出領域HR内の貼合パッドBPは、メモリ領域MRに設けられた積層配線のうち関連付けられた配線（例えばワード線WL）に接続される。パッド領域PR 1 内の貼合パッドBPは、メモリチップMC上に設けられたパッド（図示せず）に電氣的に接続される。メモリチップMC上に設けられたパッドは、例えば半導体記憶装置 1 とメモリコントローラ 2 と間の接続に使用される。

[0044] CMOSチップCCの領域は、例えばセンスアンプ領域SR、周辺回路領域PER 1、転送領域XR 1 及びXR 2、並びにパッド領域PR 2 に分けられる。センスアンプ領域SR及び周辺回路領域PER 1 は、Y方向に隣り合って配置され、メモリ領域MRと重なっている。センスアンプ領域SRは、センスアンプモジュール 1 6 を含む。周辺回路領域PER 1 は、シーケンサ 1 3 等を含む。転送領域XR 1 及びXR 2 は、センスアンプ領域SR及び周辺回路領域PER 1 の組をX方向に挟み、それぞれ引出領域HR 1 及びHR 2 と重なっている。転送領域XR 1 及びXR 2 は、ロウデコーダモジュール 1 5 に含まれた複数のトランジスタを含んでいる。パッド領域PR 2 は、メモリチップMC内のパッド領域PR 1 と重なって配置され、半導体記憶装置 1 の入出力回路を含んでいる。

[0045] また、CMOSチップCCは、センスアンプ領域SR、周辺回路領域PER 1、転送領域XR 1 及びXR 2、並びにパッド領域PR 2 のそれぞれの上部において、複数の貼合パッドBPを有する。センスアンプ領域SR内の複数の貼合パッドBPは、メモリ領域MR内の複数の貼合パッドBPとそれぞれ重なって配置される。転送領域XR 1 内の複数の貼合パッドBPは、引出領域HR 1 内の複数の貼合パッドBPとそれぞれ重なって配置される。転送領域XR 2 内の複数の貼合パッドBPは、引出領域HR 2 内の複数の貼合パ

ッドBPとそれぞれ重なって配置される。パッド領域PR1内の複数の貼合パッドBPは、パッド領域PR2内の複数の貼合パッドBPとそれぞれ重なって配置される。

[0046] 半導体記憶装置1に設けられた複数の貼合パッドBPのうち、メモリチップMC及びCMOSチップCC間に対向している2つの貼合パッドBPは、貼り合わされている（図5、“貼合”）。これにより、メモリチップMC内の回路とCMOSチップCC内の回路との間が、電氣的に接続される。メモリチップMC及びCMOSチップCC間に対向する2つの貼合パッドBPの組は、境界を有していても良いし、一体化していても良い。

[0047] 尚、半導体記憶装置1は、その他の構造であっても良い。例えば、隣り合う引出領域HRは、メモリ領域MRに隣接して少なくとも1つ設けられていれば良い。半導体記憶装置1は、メモリ領域MR及び引出領域HRの複数組を備えていても良い。この場合、センスアンプ領域SR、転送領域XR、及び周辺回路領域PERIの組は、メモリ領域MR及び引出領域HRの配置に対応して適宜設けられる。

[0048] （半導体記憶装置1のメモリ領域MRにおける構造）

図6は、第1実施形態に係る半導体記憶装置1のメモリ領域MRにおける平面レイアウトの一例を示す平面図である。図6は、1つのブロックBLK（すなわち、ストリングユニットSU0～SU4）を含む領域を表示している。図6に示すように、半導体記憶装置1は、メモリ領域MRにおいて、複数のスリットSLT、複数のスリットSHE、複数のメモリピラーMP、複数のコンタクトCV、及び複数のビット線BLを含む。

[0049] 複数のスリットSLTのそれぞれは、X方向に沿って延伸して設けられた部分を有し、メモリ領域MR並びに引出領域HR1及びHR2をX方向に沿って横切っている。複数のスリットSLTは、Y方向に並んでいる。スリットSLTの内部には、絶縁部材が埋め込まれている。各スリットSLTは、当該スリットSLTを介して隣り合う配線（例えば、ワード線WL0～WL7、並びに選択ゲート線SGD及びSGS）を絶縁している。

- [0050] 複数のスリットSHEのそれぞれは、X方向に沿って延伸して設けられた部分を有し、メモリ領域MRを横切っている。複数のスリットSHEは、Y方向に並んでいる。スリットSHEは、少なくとも選択ゲート線SGDを分断している。本例では、3つのスリットSHEが、隣り合うスリットSLTの間のそれぞれに配置されている。スリットSHEの内部には、絶縁部材が埋め込まれている。各スリットSHEは、当該スリットSLTを介して隣り合う配線（少なくとも、選択ゲート線SGD）を絶縁している。
- [0051] 複数のメモリピラーMPのそれぞれは、例えば1つのNANDストリングNSとして機能する。複数のメモリピラーMPは、隣り合う2つのスリットSLTの間の領域において、例えば19列の千鳥状に配置される。そして、例えば、紙面の上側から数えて、5列目のメモリピラーMPと、10列目のメモリピラーMPと、15列目のメモリピラーMPとのそれぞれに、1つのスリットSHEが重なっている。
- [0052] 複数のビット線BLのそれぞれは、Y方向に沿って延伸して設けられた部分を有し、複数のブロックBLKが設けられた領域をY方向に沿って横切っている。複数のビット線は、X方向に並んでいる。各ビット線BLは、ストリングユニットSU毎に少なくとも1つのメモリピラーMPと重なるように配置される。本例では、2本のビット線BLが、各メモリピラーMPに重なっている。
- [0053] 各コンタクトCVは、メモリピラーMPに重なっている複数のビット線BLのうち1本のビット線BLと、当該メモリピラーMPとの間に設けられる。そして、関連付けられたメモリピラーMPとビット線BLとの間は、コンタクトCVを介して電氣的に接続される。尚、スリットSHEと重なったメモリピラーMPと、ビット線BLとの間のコンタクトCVは、省略される。言い換えると、異なる2本の選択ゲート線SGDに接したメモリピラーMPとビット線BLとの間のコンタクトCVは、省略される。
- [0054] 例えば、メモリ領域MRでは、以上で説明された平面レイアウトが、Y方向に繰り返し配置される。スリットSLTによって区切られた領域が、プロ

ックＢＬＫに対応している。メモリ領域ＭＲ内且つブロックＢＬＫに対応する領域において、スリットＳＬＴ及びＳＨＥによって区切られた領域のそれぞれが、１つのストリングユニットＳＵに対応している。つまり、本例では、ブロックＢＬＫ毎に、各々がＸ方向に延伸したストリングユニットＳＵ０～ＳＵ３が、Ｙ方向に並んでいる。

[0055] 尚、半導体記憶装置１のメモリ領域ＭＲにおける平面レイアウトは、その他のレイアウトであっても良い。例えば、隣り合うスリットＳＬＴの間に配置されるスリットＳＨＥの本数は、任意の本数に設計され得る。隣り合うスリットＳＬＴの間に形成されるストリングユニットＳＵの個数は、隣り合うスリットＳＬＴの間に配置されたスリットＳＨＥの本数に基づいて変更され得る。隣り合うスリットＳＬＴ間におけるメモリピラーＭＰの個数及び配置は、適宜変更され得る。各メモリピラーＭＰと重なるビット線ＢＬの本数は、任意の本数に設計され得る。

[0056] 図７は、第１実施形態に係る半導体記憶装置１のメモリ領域ＭＲにおける断面構造の一例を示す断面図である。図７は、メモリピラーＭＰとスリットＳＬＴとを含み且つＹ方向に沿った断面を表示している。尚、図７におけるＺ方向は、図５に対して反転されて示されている。つまり、図７において、“上方”が紙面の下側に対応し、“下方”が紙面の上側に対応している。図７に示すように、半導体記憶装置１は、メモリ領域ＭＲにおいて、絶縁体層２０～２７、導電体層３０～３６、並びにコンタクトＶ１及びＶ２を含む。

[0057] 絶縁体層２０は、例えばメモリチップＭＣの最上層に設けられる。これに限定されず、絶縁体層２０の上に、配線層や絶縁体層等が設けられても良い。絶縁体層２０の下には、導電体層３０が設けられる。導電体層３０のそれぞれは、例えばＸＹ平面に沿って広がった板状に形成され、ソース線ＳＬとして使用される。導電体層３０としては、金属が使用される。導電体層３０として使用される金属としては、アルミニウム、チタン、窒化チタン、タングステン、窒化チタン及びアルミニウムの積層構造等が使用され得る。尚、導電体層３０としては、シリサイドが使用されても良い。この場合、導電体

層 3 0 としては、ニッケルシリサイドや、チタンシリサイド等が使用される。

[0058] 導電体層 3 0 の下には、絶縁体層 2 1 が設けられる。絶縁体層 2 1 の下には、導電体層 3 1 及び絶縁体層 2 2 が交互に設けられる。導電体層 3 1 は、例えば X Y 平面に沿って広がった板状に形成される。本例では、複数の導電体層 3 1 が、選択ゲート線 S G S として使用される。導電体層 3 2 は、例えばタングステンを含んでいる。選択ゲート線 S G S は、1 層の導電体層 3 2 によって構成されても良いし、最上層の導電体層 3 2 とその他の導電体層 3 2 とに異なる電圧を印加することが可能に構成されても良い。最上層の導電体層 3 2 とその他の導電体層 3 2 とが、互いに異なる導電体によって構成されても良い。また、導電体層 3 0 と最上層の導電体層 3 1 との間隔は、5 0 n m 以下に設計されることが好ましい。

[0059] 最下層の導電体層 3 1 の下には、絶縁体層 2 3 が設けられる。絶縁体層 2 3 の下には、導電体層 3 2 と絶縁体層 2 4 とが交互に設けられる。複数の導電体層 3 2 のそれぞれは、例えば X Y 平面に沿って広がった板状に形成される。複数の導電体層 3 2 は、導電体層 3 0 側から順に、それぞれワード線 W L 0 ~ W L 7 として使用される。導電体層 3 2 は、例えばタングステンを含んでいる。

[0060] 最下層の導電体層 3 2 の下には、絶縁体層 2 5 が設けられる。絶縁体層 2 5 の下には、導電体層 3 3 及び絶縁体層 2 6 が交互に設けられる。導電体層 3 3 は、例えば X Y 平面に沿って広がった板状に形成される。本例では、複数の導電体層 3 3 が、選択ゲート線 S G D として使用される。導電体層 3 3 は、例えばタングステンを含んでいる。選択ゲート線 S G D、1 層の導電体層 3 3 によって構成されても良い。

[0061] 最下層の導電体層 3 3 の下には、絶縁体層 2 7 が設けられる。絶縁体層 2 7 の下には、導電体層 3 4 が設けられる。導電体層 3 4 は、例えば Y 方向に延伸したライン状に形成され、ビット線 B L として使用される。つまり、図示せぬ領域において、複数の導電体層 3 4 が、X 方向に配列している。導電

体層 3 4 は、例えば銅を含んでいる。導電体層 3 4 が設けられた配線層は、例えば“M0”と呼ばれる。

[0062] 各メモリピラーMPは、Z方向に沿って延伸して設けられ、絶縁体層 2 1 ~ 2 6、及び導電体層 3 1 ~ 3 3 を貫通している。メモリピラーMPの上部は、導電体層 3 0 に接している。メモリピラーMPの下部は、絶縁体層 2 7 に接している。また、各メモリピラーMPは、例えばコア部材 4 0、半導体層 4 1、及び積層膜 4 2 を含んでいる。

[0063] コア部材 4 0 は、Z方向に沿って延伸して設けられる。コア部材 4 0 の上端は、絶縁体層 2 1 の高さに設けられている。コア部材 4 0 の下端は、絶縁体層 2 7 の高さに設けられている。半導体層 4 1 は、コア部材 4 0 を覆っている。半導体層 4 1 の上部は、導電体層 3 0 に接触している。半導体層 4 1 と導電体層 3 0 との接触部分は、ショットキー接合を形成している。半導体層 4 1 の下部は、半導体層 4 1 の上部及び側部とは別工程で形成される。積層膜 4 2 は、半導体層 4 1 の側面を覆っている。積層膜 4 2 は、少なくとも導電体層 3 1 ~ 3 3 のそれぞれと半導体層 4 1 との間に設けられていれば良い。

[0064] コア部材 4 0 は、例えば酸化シリコン等の絶縁体を含んでいる。半導体層 4 1 は、例えばノンドープ又は低不純物濃度（例えば 10^{19} (atoms/cm³) 以下）のシリコンである。メモリピラーMPと複数の導電体層 3 1（選択ゲート線SGS）とが交差した部分は、選択トランジスタSTSとして機能する。メモリピラーMPと導電体層 3 2（ワード線WL）とが交差した部分は、メモリセルトランジスタMTとして機能する。メモリピラーMPと複数の導電体層 3 3（選択ゲート線SGD）とが交差した部分は、選択トランジスタSTDとして機能する。

[0065] 各メモリピラーMPの半導体層 4 1 の下には、柱状のコンタクトCVが設けられる。図示された領域には、2つのメモリピラーMPのうち、1つのメモリピラーMPに対応するコンタクトCVが示されている。当該領域においてコンタクトCVが接続されていないメモリピラーMPには、図示されない

領域においてコンタクトC Vが接続される。コンタクトC Vの下には、1つの導電体層3 4（ビット線B L）が接触している。

[0066] 導電体層3 4の下には、柱状のコンタクトV 1が設けられる。コンタクトV 1の下には、導電体層3 5が設けられる。導電体層3 4及び3 5の間は、コンタクトV 1を介して電氣的に接続される。導電体層3 5は、半導体記憶装置1内の回路の接続に使用される配線である。導電体層3 5が設けられた配線層は、例えば“M 1”と呼ばれる。

[0067] 導電体層3 5の下には、柱状のコンタクトV 2が設けられる。コンタクトV 2の下には、導電体層3 6が設けられる。導電体層3 5及び3 6の間は、コンタクトV 2を介して電氣的に接続される。導電体層3 6は、メモリチップMCの界面に接し、貼合パッドB Pとして使用される。導電体層3 6は、例えば銅を含んでいる。導電体層3 6が設けられた配線層は、例えば“M 2”と呼ばれる。

[0068] スリットS L Tに埋め込まれた構造体は、少なくとも一部がX Z平面に沿って広がった板状に形成され、絶縁体層2 1～2 6、及び導電体層3 1～3 3を分断している。スリットS L T内では、少なくとも導電体層3 1～3 3のそれぞれと接触する部分が絶縁体で構成される。スリットS L Tの下端は、絶縁体層2 7の高さに設けられている。スリットS L Tの上端は、例えば導電体層3 0に接触している。

[0069] 図8は、第1実施形態に係る半導体記憶装置1におけるメモリピラーMPの断面構造の一例を示す、図7のV I I I－V I I I線に沿った断面図である。図8は、メモリピラーMPと導電体層3 2とを含み且つ半導体記憶装置1の基板と平行な断面を表示している。図8に示すように、積層膜4 2は、例えばトンネル絶縁膜4 3、絶縁膜4 4、及びブロック絶縁膜4 5を含む。導電体層3 2を含む層において、コア部材4 0は、例えばメモリピラーMPの中央部に設けられる。半導体層4 1は、コア部材4 0の側面を囲っている。トンネル絶縁膜4 3は、半導体層4 1の側面を囲っている。絶縁膜4 4は、トンネル絶縁膜4 3の側面を囲っている。ブロック絶縁膜4 5は、絶縁膜

44の側面を囲っている。導電体層32は、ブロック絶縁膜45の側面を囲っている。

[0070] 半導体層41は、メモリセルトランジスタMT0～MT7並びに選択トランジスタSTD及びSTSのチャネル（電流経路）として使用される。トンネル絶縁膜43及びブロック絶縁膜45のそれぞれは、例えば酸化シリコンを含んでいる。絶縁膜44は、メモリセルトランジスタMTの電荷蓄積層として使用され、例えば窒化シリコンを含んでいる。これにより、メモリピラーMPの各々が、1つのNANDストリングNSとして機能する。

[0071] （半導体記憶装置1のセンスアンプ領域SRにおける構造）

図9は、第1実施形態に係る半導体記憶装置1のメモリ領域MR及びセンスアンプ領域SRを含む断面構造の一例を示す断面図である。図6に示すように、半導体記憶装置1は、センスアンプ領域SRにおいて、半導体基板50、導電体層GC及び51～54、並びに柱状のコンタクトCS及びC0～C3を含む。

[0072] 半導体基板50は、CMOSチップCCの形成に使用される。半導体基板50は、例えばP型不純物を含む。また、半導体基板50は、図示が省略された複数のウェル領域を含む。複数のウェル領域のそれぞれには、例えばトランジスタが形成される。そして、複数のウェル領域の間は、例えばSTI（Shallow Trench Isolation）によって分離される。

[0073] センスアンプ領域SRでは、半導体基板50の上に、ゲート絶縁膜を介して導電体層GCが設けられる。センスアンプ領域SR内の導電体層GCは、ビット線接続部BLHUに含まれたトランジスタTrのゲート電極として使用される。トランジスタTrのゲートに対応して、導電体層GCの上にコンタクトC0が設けられる。トランジスタTrのソース及びドレインに対応して、半導体基板50の上に2つのコンタクトCSが設けられる。例えば、コンタクトCS及びC0のそれぞれの上面は、揃っている。コンタクトCSの上とコンタクトC0の上とのそれぞれに、1つの導電体層51が設けられる。

[0074] 導電体層 5 1 の上には、コンタクト C 1 が設けられる。コンタクト C 1 の上には、導電体層 5 2 が設けられる。導電体層 5 1 及び 5 2 の間は、コンタクト C 1 を介して電氣的に接続される。導電体層 5 2 の上には、コンタクト C 2 が設けられる。コンタクト C 2 の上には、導電体層 5 3 が設けられる。導電体層 5 2 及び 5 3 の間は、コンタクト C 2 を介して電氣的に接続される。導電体層 5 3 の上には、コンタクト C 3 が設けられる。コンタクト C 3 の上には、導電体層 5 4 が設けられる。導電体層 5 3 及び 5 4 の間は、コンタクト C 3 を介して電氣的に接続される。例えば、導電体層 5 1 ～ 5 4 が設けられた配線層は、それぞれ “D 0”、“D 1”、“D 2”、及び “D 3” と呼ばれる。

[0075] 導電体層 5 4 は、CMOS チップ C C の界面に接し、貼合パッド B P として使用される。センスアンプ領域 S R 内の導電体層 5 4 は、対向して配置されたメモリ領域 M R 内の導電体層 3 7 (メモリチップ M C の貼合パッド B P) と貼り合わされる。そして、センスアンプ領域 S R 内の各導電体層 5 4 は、1 本のビット線 B L と電氣的に接続される。導電体層 5 4 は、例えば銅を含んでいる。図示が省略されているが、センスアンプ領域 S R には、トランジスタ T r と同様の構造を有する複数のトランジスタが設けられる。

[0076] 尚、半導体記憶装置 1 のメモリ領域 M R 及びセンスアンプ領域 S R における断面構造は、その他の構造であっても良い。CMOS チップ C C に設けられる配線層の数は、任意の数に設計され得る。導電体層 5 1 ～ 5 3 のそれぞれに接続されるコンタクトは、回路の設計に応じて適宜省略され得る。メモリチップ M C 内の回路と CMOS チップ C C 内の回路とを接続する為の配線のレイアウトは、適宜変更され得る。

[0077] < 1 - 2 > 製造方法

図 1 0 は、第 1 実施形態に係る半導体記憶装置 1 の製造方法の一例を示すフローチャートである。図 1 1 ～ 図 1 4 は、第 1 実施形態に係る半導体記憶装置 1 の製造途中の断面構造の一例を示す断面図である。図 1 1 ～ 図 1 4 は、図 7 に示された領域を含む断面の構造を示している。以下に、図 1 0 を適

宜参照して、第1実施形態に係る半導体記憶装置1におけるソース線SLの形成方法について説明する。

[0078] まず、図11に示すように、メモリチップMCが形成される（ステップS10）、メモリチップMCは、半導体基板60を用いて形成される。そして、半導体基板60の上に、図7を用いて説明された絶縁体層20～27、導電体層30～36、並びにコンタクトCV、V1及びV2が形成される。メモリピラーMPの底部は、半導体基板60に接触している。導電体層31～33は、スリットSLTを利用した置換処理によって形成される。簡潔に述べると、置換処理では、犠牲部材と絶縁体層とが交互に積層された後に、スリットSLTによって、犠牲部材と絶縁体層とを含む積層体が分断される。そして、スリットSLTを介して犠牲部材が除去され、犠牲部材が除去された空間に導電体層が埋め込まれる。その後、スリットSLTに、例えば絶縁体が埋め込まれる。

[0079] 次に、CMOSチップCCが形成される（ステップS11）。メモリチップMC及びCMOSチップCCは、別の半導体基板（ウエハ）を用いて形成される。具体的には、メモリチップMCは、半導体基板60を用いて形成され、CMOSチップCCは、半導体基板50を用いて形成される。このため、メモリチップMCを形成する工程と、CMOSチップCCを形成する工程とは、入れ替えられても良いし、並行して進められても良い。

[0080] 次に、図12に示すように、メモリチップMCとCMOSチップCCとが貼り合わされる（ステップS12）。具体的には、製造装置が、メモリチップMC上で露出した複数の貼合パッドBPと、CMOSチップCC上で露出した複数の貼合パッドBPとがZ方向に対向した状態で、メモリチップMCとCMOSチップCCとを接触させる。その後、熱処理が実行されることによって、対向する貼合パッドBP同士が接合される。これにより、対向する貼合パッドBP同士が電氣的に接続される。

[0081] 次に、メモリチップMCの半導体基板60が除去され（ステップS13）、各メモリピラーMPの積層膜42の一部が除去される（ステップS14）

。すると、図 1 3 に示すように、各メモリピラーMPの底部において、半導体層 4 1 が露出した構造が形成される。尚、半導体基板 6 0 は、機械的又は化学的研磨によって除去される。ステップ S 1 3 及び S 1 4 の処理は、一括で実行されても良いし、異なるプロセスにより実行されても良い。

[0082] 次に、図 1 4 に示すように、ソース線SLとして使用される金属が形成される（ステップ S 1 5）。本例では、絶縁体層 2 1 及び各メモリピラーMPの底部の上に、導電体層 6 1 及び導電体層 6 2 が順に形成されている。導電体層 6 1 は、例えば窒化チタンである。導電体層 6 2 は、例えばアルミニウムである。ソース線SLとして使用される金属は、例えば 4 0 0 度以下の低温で形成される。導電体層 6 1 及び 6 2 の組が、ソース線SLの一部として機能し、各メモリピラーMPの半導体層 4 1 の底部と接続されている。

[0083] 以上で説明されたように、ソース線SLとメモリピラーMP内の半導体層 4 1 との間が電氣的に接続された構造が形成される。その後、導電体層 6 2 の上に絶縁体層 2 0 が形成され、ソース線SLに接続されるコンタクトの形成や、パッドの形成に関する工程が適宜実行される。尚、以上で説明された製造工程はあくまで一例である。各製造工程の間には、その他の工程が挿入されても良い。

[0084] < 1 - 3 > 動作

以下に、第 1 実施形態に係る半導体記憶装置 1 の読み出し動作及び消去動作のそれぞれの一例について説明する。尚、以下では、各種配線に印加される電圧について適宜参照符号のみで記載する。動作の対象であるブロックBLKのことを選択ブロックBLKと呼び、動作の対象でないブロックBLKのことを非選択ブロックBLKと呼ぶ。動作の対象であるワード線WLのことを選択ワード線WLと呼び、動作の対象でないワード線WLのことを非選択ワード線WLと呼ぶ。各種配線及びノードに印加される電圧は、ドライバモジュール 1 4 によって生成され、ロウデコーダモジュール 1 5 等を介して印加される。

[0085] < 1 - 3 - 1 > 読み出し動作

図15は、第1実施形態に係る半導体記憶装置1の読み出し動作の一例を示すタイミングチャートである。図15は、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧を示している。図15に示すように、読み出し動作の開始前において、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧は、例えば接地電圧VSSである。

[0086] 読み出し動作が開始すると、ビット線BLにVBLが印加され、選択ゲート線SGDにVSGDが印加され、選択ワード線WLにVCGが印加され、非選択ワード線WLにVREADが印加され、選択ゲート線SGSにVSGSが印加される。VBLは、VSSよりも高い電圧である。VSGD及びVSGSは、読み出し動作において、選択されたブロックBLKの選択トランジスタSTD及びSTSをそれぞれオンさせる電圧である。VCGは、メモリセルトランジスタMTに記憶されたデータを判定するための読み出し電圧である。VCGが印加されたメモリセルトランジスタMTは、記憶するデータ毎に設定された閾値電圧に応じてオン状態又はオフ状態になる。VREADは、記憶するデータに依らずにメモリセルトランジスタMTをオンさせる電圧である。

[0087] 上述した電圧が印加されると、NANDストリングNSのチャンネルが形成される。そして、選択ワード線WLに接続されたメモリセルトランジスタMTの閾値電圧に応じて、チャンネル電流が流れる。センスアンプユニットSAUでは、NANDストリングNSの状態に応じてセンスノードの電圧が変化する。それから、シーケンサ13が制御信号STBをアサートすると、各センスアンプユニットSAUが、センスノードの電圧に基づいて、メモリセルトランジスタMTの閾値電圧を判定する。半導体記憶装置1は、この閾値電圧の判定結果に基づいて、読み出しデータを確定させる。読み出し動作が終了すると、各配線の状態が、読み出し動作の開始前の状態に戻される。

[0088] 図16は、第1実施形態に係る半導体記憶装置の読み出し動作時のNAN

Dストリングにおけるバンド構造の一例を示す模式図である。図16において、縦軸はエネルギーを示し、横軸はNANDストリングNSのチャネルからソース線SLまでの領域を示している。図16に示すように、NANDストリングNSのチャネルとソース線SLとの間には、ショットキー障壁が形成されている。読み出し動作では、非選択ワード線WLにVREADが印加され、選択ゲート線SGD及びSGSにそれぞれVSGD及びVSGSが印加されることによって、伝導帯のエネルギーが下がる。

[0089] これにより、チャネルとソース線SLとの間に形成されたショットキー障壁の厚さが低減される。そして、ソース線SLからNANDストリングNSのチャネルに向かって、電子（図16に示された“e”）が供給される。つまり、第1実施形態に係る半導体記憶装置1の読み出し動作では、ショットキー接合に対する逆方向バイアスが印加され、ソース線SLからチャネルに向かったトンネル電流が利用される。

[0090] <1-3-2>消去動作

図17は、第1実施形態に係る半導体記憶装置1の消去動作の一例を示すタイミングチャートである。図17は、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧を示している。図17に示すように、消去動作の開始前において、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧は、例えば接地電圧VSSである。

[0091] 消去動作が開始すると、シーケンサ13は、ビット線接続部BLHUのトランジスタTrをオフ状態にしてビット線BL及びセンスアンプ部SAの間の電流経路を遮断する。また、シーケンサ13は、選択ゲート線SGS及びSGDのそれぞれと、非選択ブロックBLKに対応するワード線WLとをフローティング状態にする。その後、シーケンサ13は、ビット線BL及びソース線SLのそれぞれの電圧を消去電圧VERAまで上昇させ、選択ブロックBLKにおけるワード線WLの電圧をVISOに維持する。VERAは、

VSSよりも高く、消去動作で使用される高電圧である。VISOは、VERAよりも低い電圧であり、例えばVSSと同じ電圧である。ビット線BLの電圧がVERAまで上昇すると、選択トランジスタSTDが形成された部分に高電界領域が形成される。これにより、選択トランジスタSTDの近傍において、GIDL (Gate-Induced-Drain-Leakage) による正孔が発生し、メモリピラーMP内のチャンネルに正孔が注入される。

[0092] また、ビット線BL及びソース線SLの電圧がVERAまで上昇することに伴い、メモリピラーMP内のチャンネル（半導体層41）の電圧が上昇する。すると、チャンネルの電圧上昇に応じて、選択ゲート線SGD及びSGSと、非選択ブロックBLKに対応するワード線WLとのそれぞれの電圧が上昇する。例えば、選択ゲート線SGD及びSGSのそれぞれの電圧はVSGERAまで上昇し、非選択ブロックBLKに対応するワード線WLの電圧はVWLERAまで上昇する。

[0093] 一方で、選択ブロックBLKに対応するワード線WLは、VISOに維持されている。このため、選択ブロックBLKでは、メモリセルトランジスタMTの制御ゲートーチャンネル間において、電圧差が生じる。言い換えると、高いチャンネル電圧と低いワード線WL電圧との間で電圧の勾配が形成される。すると、チャンネル内の正孔が、電荷蓄積層（絶縁膜44）に注入され、書き込まれたデータに基づいて電荷蓄積層に保持された電子と、注入された正孔との再結合が発生する。その結果、メモリセルトランジスタMTの閾値電圧が低下し、メモリセルトランジスタMTに記憶されていたデータが消去される。消去動作が終了すると、各配線の状態が、消去動作の開始前の状態に戻される。

[0094] 図18は、第1実施形態に係る半導体記憶装置の消去動作時のNANDストリングにおけるバンド構造の一例を示す模式図である。図18において、縦軸はエネルギーを示し、横軸はビット線BLからソース線SLまでの領域を示している。図18に示すように、NANDストリングNSのチャンネルとソース線SLとの間には、ショットキー障壁が形成されている。消去動作で

は、ビット線BL及びソース線SLにVERAが印加されることによって、選択ゲート線SGDの近傍においてGIDLによる正孔が発生する。

[0095] これにより、選択ゲート線SGDの近傍において発生した正孔（図18に示された“h”）が、NANDストリングNSのチャンネルに注入される。そして、NANDストリングNSのチャンネルに注入された正孔が、各メモリセルトランジスタMTに記憶されたデータの消去に使用される。

[0096] <1-4>第1実施形態の効果

以上で説明された第1実施形態に係る半導体記憶装置1に依れば、半導体記憶装置1の製造コストを抑制することが出来る。以下に、第1実施形態に係る半導体記憶装置1の効果の詳細について説明する。

[0097] メモリセルが三次元に積層された半導体記憶装置は、例えば積層された複数のワード線WLと、当該複数のワード線WLを貫通するメモリピラーMPとを有している。このような半導体記憶装置では、メモリピラーMP内でチャンネルとして使用される半導体層41とソース線SLとを接続するために、例えばメモリピラーMPを形成するためのホール（以下、メモリホールと呼ぶ）の底に設けられた積層膜42を除去する加工が行われる。しかしながら、メモリホールの底に設けられた積層膜42を除去する加工の難易度は、記憶容量を増加させるためにワード線WLの積層数を増加させることに伴い高くなる。

[0098] 半導体記憶装置の単位面積あたりの記憶容量を増加させる方法としては、メモリセルアレイ10と周辺回路とを別の半導体基板で形成し、後で当該2つの半導体基板を接合する構造（以下、貼合構造と呼ぶ）が考えられる。貼合構造は、半導体記憶装置のチップ面積に対するメモリセルアレイ10の占有率を高くすることが出来、さらに、半導体基板毎の工程の制約を減らすことが出来る。貼合構造において、周辺回路が設けられたCMOSチップの上にメモリセルアレイ10が設けられたメモリチップが配置される場合、メモリピラーMPの底が、半導体記憶装置のチップの上面側に配置される。

[0099] そこで、第1実施形態に係る半導体記憶装置1は、メモリチップMCとC

MOSチップCCとが接合された後に、メモリピラーMPとソース線SLとが接続された構造を有している。簡潔に述べると、メモリチップMCの形成時には、メモリピラーMP内の半導体層41とソース線SLとの接続が省略される。そして、メモリチップMCとCMOSチップCCとが接合された後に、チップの上面側からメモリピラーMP内の積層膜42の一部が除去され、ソース線SLが形成される。これにより、ソース線SLとメモリピラーMP内の半導体層41とが接続され得る。

[0100] 貼り合わされたチップの上面側からメモリピラーMPの底部を加工することは、浅いエッチング加工になる。このため、半導体層41とソース線SLを接続するためのエッチング加工の難易度は、メモリチップMCの形成時にメモリホールの底に設けられた積層膜42を除去する工程よりも低くなる。その結果、第1実施形態に係る半導体記憶装置1は、ソース線SLとメモリピラーMP内の半導体層41とを接続するための加工に基づく不良の発生を抑制することが出来る。その結果、第1実施形態に係る半導体記憶装置1は、歩留まりを改善することが出来、製造コストを抑制することが出来る。

[0101] 図19は、第1実施形態の比較例に係る半導体記憶装置1のメモリ領域MRにおける断面構造の一例を示す断面図である。図19に示すように、ソース線SLとしては、n型不純物がドーパされたポリシリコン70（図19：n+Poly）を使用することが考えられる。ポリシリコンに不純物がドーパされる場合、ドーパされた不純物を活性化するための熱処理（以下、アニール処理と呼ぶ）が実行される。

[0102] しかしながら、メモリチップMCとCMOSチップCCとが接合された後のアニール処理は、CMOSチップCCに形成された周辺回路のトランジスタの性能劣化や、特定の金属（例えば銅）が拡散することによる不良の発生等の原因となり得る。貼合構造や銅配線の信頼性に影響を与えにくい400度以下のアニール処理では、ポリシリコンの結晶化率及び不純物活性化率が低下する。これらが不十分となった場合、ソース線SL及びソース線SLのコンタクト抵抗が上昇し、読み出し性能が低下するおそれがある。

- [0103] これに対して、第1実施形態に係る半導体記憶装置1は、貼合構造を有し、且つソース線SLに金属又はシリサイドが使用された構成を有している。簡潔に述べると、第1実施形態では、メモリチップMCとCMOSチップCCとが貼り合わされた後に、半導体基板60と積層膜42の一部とが除去され、半導体層41の一部が露出する。そして、ソース線SLとして使用される金属又はシリサイドが、400度以下の低温で形成される。このように、第1実施形態に係る半導体記憶装置1では、メモリチップMCとCMOSチップCCとの貼り合わせ後に、高温のアニール処理をすることなく、ソース線SLが形成される。その結果、第1実施形態に係る半導体記憶装置1は、銅配線等の信頼性の低下を抑制し、且つ低コストなソース線SLを形成することが出来る。
- [0104] 尚、第1実施形態に係る半導体記憶装置1では、ノンドープ又は低不純物濃度の半導体層41（チャンネル）と金属又はシリサイドのソース線SLとが直接接触している。このため、チャンネル及びソース線SLの接触部分に、ショットキー障壁が形成され得る。第1実施形態に係る半導体記憶装置1では、読み出し動作時に、ソース線SLよりも高い電圧がビット線BLに印加される。そして、選択されたメモリセルトランジスタMTの閾値電圧の大小に応じた電流値に基づいて、センスアンプユニットSAUがデータを判定する。
- [0105] このような読み出し動作では、チャンネル及びソース線SLの間の接触部分に対して、ショットキー接合の逆方向バイアスが印加されるため、読み出し電流が低下し得る。例えば、チャンネルに不純物濃度が 10^{20} (atoms/cm³) 以上であるポリシリコンが使用された場合、チャンネルとソース線SLとがオーミック接触となり、コンタクト抵抗が低減され得る。しかしながら、チャンネルに用いる半導体層41の不純物濃度を高くすることは、メモリセルトランジスタMTのオン／オフ比や閾値電圧の特性が劣化するため、望ましくない。
- [0106] そこで、第1実施形態に係る半導体記憶装置1では、導電体層30と最上層の導電体層31との間隔が、50nm以下に設計される。この場合、読み

出し動作において、選択ゲート線SGSに電圧が印加されると、選択ゲート線SGS及びソース線SLの間にフリンジ電界が発生する。このようなフリンジ電界は、チャンネルに反転層を形成することが出来、チャンネル及びソース線SLの間のコンタクト抵抗（言い換えると、チャンネルの寄生抵抗）を低減させることが出来る。

[0107] その結果、第1実施形態に係る半導体記憶装置1は、ショットキー接合の逆方向バイアスを用いた読み出し動作において、読み出し電流の低下を抑制することが出来、読み出し動作の性能を向上させることが出来る。また、第1実施形態に係る半導体記憶装置1は、半導体層41（チャンネル）をノンドープ又は低不純物濃度で形成することが出来るため、メモリセルトランジスタMTのオン／オフ比の劣化を抑制し、且つメモリセルトランジスタMTの閾値電圧を適正化させることが出来る。

[0108] <2>第2実施形態

第2実施形態に係る半導体記憶装置1の構成は、第1実施形態と同様である。第2実施形態に係る半導体記憶装置1は、チャンネル及びソース線SL間のショットキー接合部に対して順方向バイアスを印加する読み出し動作を実行する。以下に、第2実施形態に係る半導体記憶装置1について、第1実施形態と異なる点を説明する。

[0109] <2-1>読み出し動作

図20は、第2実施形態に係る半導体記憶装置の読み出し動作の一例を示すタイミングチャートである。図20は、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧を示している。図20に示すように、読み出し動作の開始前において、ビット線BL、選択ゲート線SGD、選択ワード線WL、非選択ワード線WL、選択ゲート線SGS、及びソース線SLのそれぞれの電圧は、例えば接地電圧VSSである。

[0110] 読み出し動作が開始すると、ビット線BLにVSSが印加され、選択ゲート線SGDにVSGDが印加され、選択ワード線WLにVCGが印加され、

非選択ワード線WLにVREADが印加され、選択ゲート線SGSにVSGSが印加される。VSLは、VSSよりも高い電圧である。つまり、第2実施形態の読み出し動作は、ソース線SLにビット線BLよりも高い電圧が印加された状態で実行される。そして、これらの電圧が印加されている間に、シーケンサ13は、制御信号STBをアサートする。第2実施形態に係る半導体記憶装置1のその他の動作は、例えば第1実施形態と同様である。

[0111] 図21は、第2実施形態に係る半導体記憶装置の読み出し動作時のNANDストリングにおけるバンド構造の一例を示す模式図である。図21において、縦軸はエネルギーを示し、横軸はNANDストリングNSのチャネルからソース線SLまでの領域を示している。図21に示すように、NANDストリングNSのチャネルとソース線SLとの間には、ショットキー障壁が形成されている。

[0112] そして、第2実施形態の読み出し動作では、ビット線BLの電圧よりもソース線SLの電圧の方が高いため、チャネル及びソース線SLの間のショットキー接合に対して順方向バイアスが印加される。これにより、第2実施形態に係る半導体記憶装置1では、読み出し動作におけるチャネルとソース線SLとの間に形成されたショットキー障壁の高さが低減される。その結果、NANDストリングNSのチャネルからソース線SLに向かって、電子（図16に示された“e”）が流れ得る。

[0113] <2-2>第2実施形態の効果

以上で説明されたように、第2実施形態に係る半導体記憶装置1では、第1実施形態と同様に、半導体層41（チャネル）とソース線SLとの接触部分にショットキー接合が形成される。そして、読み出し動作時に、ビット線BLよりも高い電圧がソース線SLに印加され、選択されたメモリセルトランジスタMTの閾値電圧の大小に応じた電流値に基づいて、センスアンプユニットSAUがデータを判定する。このように、読み出し動作において、チャネル及びソース線SLの間の接触部分に対して、ショットキー接合の順方向バイアスが印加されることによって、読み出し電流の低下が抑制される。

その結果、第2実施形態に係る半導体記憶装置1は、第1実施形態と同様に半導体記憶装置1の製造コストを抑制しつつ、読み出し動作の性能を向上させることが出来る。

[0114] 尚、第2実施形態に係る半導体記憶装置1は、電子を用いた読み出し動作を実行しても良いし、正孔を用いた読み出し動作を実行しても良い。半導体記憶装置1は、チャンネル及びソース線SLの間のショットキー接合に対して順方向バイアスを印加する読み出し動作を実行するのであれば、第2実施形態で説明された効果を得ることが出来る。

[0115] <3>第3実施形態

第3実施形態に係る半導体記憶装置1は、メモリピラーMP内の半導体層41とソース線SLとの接続部分に、シリサイドが形成された構造を有する。以下に、第3実施形態に係る半導体記憶装置1について、第1及び第2実施形態と異なる点を説明する。

[0116] <3-1>メモリセルアレイ10の構造

図22は、第3実施形態に係る半導体記憶装置1のメモリ領域MRにおける断面構造の一例を示す断面図である。図22に示すように、第3実施形態に係る半導体記憶装置1では、図7に示された第1実施形態に係る半導体記憶装置1に対して、メモリピラーMPの底部の構造のみが異なっている。具体的には、第3実施形態において、各メモリピラーMPは、シリサイド46をさらに含んでいる。

[0117] シリサイド46は、コア部材40の底部を覆っている。シリサイド46は、メモリピラーMP内の半導体層41と導電体層30との間に設けられる。シリサイド46は、半導体層41と導電体層30とのそれぞれと接触している。シリサイド46としては、ニッケルシリサイドやチタンシリサイド等が使用される。第3実施形態では、メモリピラーMP内の半導体層41が、導電体層30から離れている。そして、シリサイド46は、導電体層30と半導体層41との間を電氣的に接続している。尚、シリサイド46は、ソース線SLの一部としてみなされても良い。シリサイド46と半導体層41との

接触部分（境界部）は、ショットキー接合を形成している。シリサイド46と半導体層41との境界部は、例えば絶縁体層21の高さに設けられる。第3実施形態において、シリサイド46と半導体層41との境界部は、その他の位置であっても良い。

[0118] 図23及び図24は、第3実施形態に係る半導体記憶装置1におけるメモリピラーMPとソース線SLとの接続部分の断面構造の一例を示す断面図である。図23及び図24のそれぞれは、図22に示されたメモリピラーMPの底部領域BRを抽出して示している。図23に示すように、シリサイド46と半導体層41との境界部は、導電体層31の高さに設けられても良い。また、図24に示すように、シリサイド46と半導体層41との境界部は、絶縁体層22の高さに設けられても良い。

[0119] 尚、第3実施形態に係る半導体記憶装置1では、シリサイド46と半導体層41との境界部が、少なくとも絶縁体層21の高さ又は絶縁体層22の高さに設けられていれば良い。そして、第3実施形態に係る半導体記憶装置1では、シリサイド46と半導体層41との境界部が、導電体層31の高さに設けられていることがより好ましい。第3実施形態に係る半導体記憶装置1のその他の構造は、第1実施形態と同様である。

[0120] <3-2>製造方法

図25は、第3実施形態に係る半導体記憶装置1の製造方法の一例を示すフローチャートである。図26～図30は、第3実施形態に係る半導体記憶装置1の製造途中の断面構造の一例を示す断面図である。図26～図30は、図22に示された領域を含む断面の構造を示している。以下に、図25を適宜参照して、第3実施形態に係る半導体記憶装置1におけるソース線SLの形成方法について説明する。

[0121] まず、第1実施形態と同様に、メモリチップMCが形成され（ステップS10）、CMOSチップCCが形成される（ステップS11）。そして、第1実施形態と同様に、メモリチップMCとCMOSチップCCとが貼り合わされる（ステップS12）。それから、第1実施形態と同様に、メモリチッ

プMCの半導体基板60が除去され（ステップS13）、積層膜42の一部が除去される（ステップS14）。

[0122] このとき、第3実施形態では、図26に示すように、メモリピラーMPの底部で半導体層41が突出し且つ露出した構造が形成されることが好ましい。言い換えると、メモリピラーMPの底部の積層膜42が、第1実施形態よりも深く除去されていることが好ましい。この場合、積層膜42が露出した部分の高さが、例えばコア部材40の頂点部分の高さよりも低い。積層膜42の一部を除去する工程では、例えば積層膜42に含まれた材料を選択的に除去することが可能な条件を用いたウェットエッチングが実行される。また、本工程における積層膜42の除去は、導電体層31まで到達しないように調整される。

[0123] 次に、図27に示すように、金属膜80が形成される（ステップS20）。これにより、金属膜80が、メモリピラーMPの底部の半導体層41に接触する。金属膜80としては、例えばニッケルが使用される。

[0124] 次に、図28に示すように、熱拡散によってシリサイド46が形成される（ステップS21）。具体的には、アニール処理が実行されることによって、金属膜80に含まれた金属原子（例えばニッケル）が、メモリピラーMP内の半導体層41に拡散する。半導体層41内で金属原子が拡散した部分が、シリサイド46に対応している。アニール処理の時間によって、金属原子の拡散範囲が変化し得る。このため、本工程では、半導体層41とシリサイド46との境界部が図22～図24を用いて説明された範囲内に収まるように、アニール処理のパラメータが調整される。

[0125] 次に、図29に示すように、金属膜80が除去される（ステップS22）。本工程では、金属膜80とシリサイド46との選択比が大きいエッチング処理が実行される。尚、金属膜80は、ステップS22の処理の後に残存していても良い。また、第3実施形態において、ステップS22は省略されても良い。

[0126] 次に、図30に示すように、ソース線SLとして使用される金属が形成さ

れる（ステップS 2 3）。本例では、ソース線S Lとして、単相の導電体層3 0が形成されている。これに限定されず、第1実施形態と同様に、窒化チタンとアルミニウムとの積層構造が形成されても良いし、その他の金属配線やシリサイドが形成されても良い。

[0127] 以上で説明されたように、ソース線S LとメモリピラーMP内の半導体層4 1との間がシリサイド4 6を介して電氣的に接続された構造が形成される。その後、導電体層6 2の上に絶縁体層2 0が形成され、ソース線S Lに接続されるコンタクトの形成や、パッドの形成に関する工程が適宜実行される。尚、以上で説明された製造工程はあくまで一例である。各製造工程の間には、その他の工程が挿入されても良い。

[0128] <3-3>第3実施形態の効果

以上で説明されたように、第3実施形態に係る半導体記憶装置1では、チャンネル（半導体層4 1）の一部がシリサイド4 6に置き換えられ、シリサイド4 6がソース線S Lとして使用される金属に接続されている。シリサイド4 6と金属膜8 0とは、低抵抗に接続され得る。そして、チャンネルとシリサイド4 6との境界部は、ショットキー接合を形成し、メモリピラーMP内で半導体層4 1が形成されていた領域に入り込んでいる。より具体的には、チャンネルとシリサイド4 6との境界部が、選択ゲート線S G Sの近傍、すなわち選択トランジスタS T 2の近傍に配置されている。

[0129] このような場合、読み出し動作時に、選択ゲート線S G S及びソース線S Lの間に発生するフリンジ電界が、ショットキー接合を形成する境界部に到達し易くなる。その結果、第3実施形態に係る半導体記憶装置1は、チャンネル及びソース線S Lの間のコンタクト抵抗（言い換えると、チャンネルの寄生抵抗）を、第1実施形態よりも低減させることが出来る。従って、第3実施形態に係る半導体記憶装置1は、第1実施形態と同様に半導体記憶装置1の製造コストを抑制しつつ、読み出し動作の性能を向上させることが出来る。

[0130] 尚、第3実施形態は、第1実施形態と第2実施形態とのいずれとも組み合わせられ得る。つまり、第3実施形態に係る半導体記憶装置1は、第1実施形

態で説明されたショットキー接合に対して逆方向バイアスを印加する読み出し動作を実行しても良いし、第2実施形態で説明されたショットキー接合に対して順方向バイアスを印加する読み出し動作を実行しても良い。いずれの場合においても、第3実施形態に係る半導体記憶装置1は、組み合わされた実施形態よりも、読み出し動作の性能を向上させることが出来る。

[0131] <4>第4実施形態

第3実施形態に係る半導体記憶装置1は、メモリピラーMP内の半導体層41とソース線SLとの接続部分を、選択ゲート線SGSに近づけた構造を有する。以下に、第4実施形態に係る半導体記憶装置1について、第1～第3実施形態と異なる点を説明する。

[0132] <4-1>メモリセルアレイ10の構造

図31は、第4実施形態に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。図31に示すように、第4実施形態に係る半導体記憶装置1では、図22に示された第3実施形態に係る半導体記憶装置1に対して、メモリピラーMPの底部の構造のみが異なっている。具体的には、第4実施形態では、第3実施形態においてシリサイド46が設けられていた部分が、導電体層30によって埋め込まれている。

[0133] 具体的には、第4実施形態では、導電体層30が、コア部材40の底部を覆っている。導電体層30は、メモリピラーMP内でコア部材40と積層膜42との間に設けられた部分を有する。導電体層30は、コア部材40と積層膜42との間に設けられた部分が、半導体層41に接触している。導電体層30と半導体層41との接触部分（境界部）は、ショットキー接合を形成している。導電体層30と半導体層41との境界部は、例えば絶縁体層21の高さに設けられる。第4実施形態において、導電体層30と半導体層41との境界部は、その他の位置であっても良い。

[0134] 図32及び図33は、第4実施形態に係る半導体記憶装置におけるメモリピラーとソース線との接続部分の断面構造の一例を示す断面図である。図32及び図33のそれぞれは、図31に示されたメモリピラーMPの底部領域

B Rを抽出して示している。図3 2に示すように、導電体層3 0と半導体層4 1との境界部は、導電体層3 1の高さに設けられても良い。また、図3 2に示すように、導電体層3 0と半導体層4 1との境界部は、絶縁体層2 2の高さに設けられても良い。

[0135] 尚、第4実施形態に係る半導体記憶装置1では、導電体層3 0と半導体層4 1との境界部が、少なくとも絶縁体層2 1の高さ又は絶縁体層2 2の高さに設けられていれば良い。そして、第4実施形態に係る半導体記憶装置1では、導電体層3 0と半導体層4 1との境界部が、導電体層3 1の高さに設けられていることがより好ましい。第4実施形態に係る半導体記憶装置1のその他の構造は、第3実施形態と同様である。

[0136] <4-2>製造方法

図3 4は、第4実施形態に係る半導体記憶装置1の製造方法の一例を示すフローチャートである。図3 5及び図3 6は、第4実施形態に係る半導体記憶装置1の製造途中の断面構造の一例を示す断面図である。図3 5～図3 6は、図3 1に示された領域を含む断面の構造を示している。以下に、図3 4を適宜参照して、第4実施形態に係る半導体記憶装置1におけるソース線S Lの形成方法について説明する。

[0137] まず、第1実施形態と同様に、メモリチップMCが形成され（ステップS 1 0）、CMOSチップCCが形成される（ステップS 1 1）。そして、第1実施形態と同様に、メモリチップMCとCMOSチップCCとが貼り合わされる（ステップS 1 2）。それから、第1実施形態と同様に、メモリチップMCの半導体基板6 0が除去され（ステップS 1 3）、積層膜4 2の一部が除去される（ステップS 1 4）。

[0138] 次に、図3 5に示すように、半導体層4 1の一部が除去される（ステップS 3 0）。本工程では、例えば半導体層4 1を選択的に除去することが可能な条件を用いたウェットエッチングが実行される。このとき、メモリピラーMPの底部でコア部材4 0が突出した構造が形成され得る。半導体層4 1の表面は、図3 1～図3 3を用いて説明された範囲内に設けられる。つまり、

半導体層 4 1 の表面は、絶縁体層 2 1 及び 2 2 並びに導電体層 3 1 の高さに設けられる。

[0139] 次に、図 3 6 に示すように、ソース線 S L として使用される金属が形成される（ステップ S 3 1）。本例では、ソース線 S L として、単相の導電体層 3 0 が形成されている。これに限定されず、第 1 実施形態と同様に、窒化チタンとアルミニウムとの積層構造が形成されても良いし、その他の金属配線が形成されても良い。導電体層 3 0 は、メモリピラー M P 内で半導体層 4 1 が除去された部分にも埋め込まれる。これにより、メモリピラー M P 内で、半導体層 4 1 と導電体層 3 0 とが接触する。

[0140] 以上で説明されたように、ソース線 S L として使用される導電体層 3 0 がメモリピラー M P で半導体層 4 1 が形成されていた部分に入り込んだ構造が形成される。その後、導電体層 6 2 の上に絶縁体層 2 0 が形成され、ソース線 S L に接続されるコンタクトの形成や、パッドの形成に関する工程が適宜実行される。尚、以上で説明された製造工程はあくまで一例である。各製造工程の間には、その他の工程が挿入されても良い。

[0141] < 4 - 3 > 第 4 実施形態の効果

以上で説明されたように、第 4 実施形態に係る半導体記憶装置 1 では、チャンネル（半導体層 4 1）の一部が除去され、ソース線 S L として使用される金属がメモリピラー M P 内で半導体層 4 1 が形成されていた領域に入り込んでいる。より具体的には、チャンネルとソース線 S L との境界部が、選択ゲート線 S G S の近傍、すなわち選択トランジスタ S T 2 の近傍に配置されている。

[0142] このような場合、第 3 実施形態と同様に、読み出し動作時に、選択ゲート線 S G S 及びソース線 S L の間に発生するフリンジ電界が、ショットキー接合を形成する境界部に到達し易くなる。その結果、第 4 実施形態に係る半導体記憶装置 1 は、チャンネル及びソース線 S L の間のコンタクト抵抗を、第 1 実施形態よりも低減させることが出来る。従って、第 4 実施形態に係る半導体記憶装置 1 は、第 1 実施形態と同様に半導体記憶装置 1 の製造コストを抑

制しつつ、読み出し動作の性能を向上させることが出来る。

- [0143] 尚、第4実施形態は、第1実施形態と第2実施形態とのいずれとも組み合わせられ得る。つまり、第4実施形態に係る半導体記憶装置1は、第1実施形態で説明されたショットキー接合に対して逆方向バイアスを印加する読み出し動作を実行しても良いし、第2実施形態で説明されたショットキー接合に対して順方向バイアスを印加する読み出し動作を実行しても良い。いずれの場合においても、第4実施形態に係る半導体記憶装置1は、組み合わせられた実施形態よりも、読み出し動作の性能を向上させることが出来る。

- [0144] <5>変形例等

上記実施形態において、ソース線SLは、スリットSLT内に設けられたコンタクトを介して電圧が印加されても良い。図37は、第1実施形態の変形例に係る半導体記憶装置のメモリ領域における断面構造の一例を示す断面図である。図37に示すように、第1実施形態の変形例において、各スリットSLTは、コンタクトLI及びスペーサSPを含んでいる。コンタクトLIは、X方向に延伸した部分を有する導電体である。スペーサSPは、コンタクトLIの側面に設けられた絶縁体である。コンタクトLIと、当該コンタクトLIとY方向に隣り合う導電体との間は、スペーサSPによって離隔及び絶縁されている。これにより、コンタクトLIが、ソース線SLの一部として使用され得る。コンタクトLIを有する構造は、第2～第4実施形態のいずれに対して適用されても良い。

- [0145] 上記実施形態において、メモリピラーMPは、複数のピラーがZ方向に2本以上連結された構造であっても良い。また、メモリピラーMPは、選択ゲート線SGDに対応するピラーと、ワード線WLに対応するピラーとが連結された構造であっても良い。メモリピラーMP、並びにコンタクトCV、CS、C0～C3、V1、及びV2のそれぞれは、テーパ形状又は逆テーパ形状を有していても良いし、中間部分が膨らんだ形状（ボーイング形状）を有していても良い。同様に、スリットSLTがテーパ形状又は逆テーパ形状を有していても良いし、中間部分が膨らんだ形状を有していても良い。

。メモリピラーMPの断面構造は、楕円形であっても良く、任意の形状に設計され得る。

[0146] 上記実施形態において、メモリセルアレイ10は、ワード線WL0及び選択ゲート線SGS間と、ワード線WL7及び選択ゲート線SGD間とのそれぞれに、1本以上のダミーワード線を有していても良い。ダミーワード線が設けられる場合、メモリセルトランジスタMT0及び選択トランジスタSTS間と、メモリセルトランジスタMT7及び選択トランジスタSTD間とのそれぞれには、ダミーワード線の本数に対応してダミートランジスタが設けられる。ダミートランジスタは、メモリセルトランジスタMTと同様の構造を有し、データの記憶に使用されないトランジスタである。メモリピラーMPがZ方向に2本以上連結される場合、ピラーの連結部分の近傍のメモリセルトランジスタMTがダミートランジスタとして使用されても良い。

[0147] 上記実施形態で説明された読み出し動作及び消去動作は、あくまで一例である。半導体記憶装置1が第1実施形態の読み出し動作を実行する場合、少なくともビット線BLの電圧が、ソース線SLの電圧よりも高く設定されていれば良い。一方で、半導体記憶装置1が第2実施形態の読み出し動作を実行する場合、少なくともソース線SLの電圧が、ビット線BLの電圧よりも高く設定されていれば良い。

[0148] 本明細書において“接続”は、電氣的に接続されている事を示し、間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していても良い。“柱状”は、半導体記憶装置1の製造工程において形成されたホール内に設けられた構造体であることを示している。平面視”は、例えば半導体基板50の表面に対して鉛直な方向に対象物を見ることに対応している。“領域”は、CMOSチップCCの半導体基板50によって含まれる構成と見なされても良い。例えば、半導体基板50がメモリ領域MRを含むと規定された場合、メモリ領域MRは、半導体基板50の上方の領域に関連付けられる。“高さ”は、半導体基板50を基準として、半導体基板50と対象の構

成とのZ方向の間隔のことを示している。層の高さは、当該層の半導体基板50に近い面と遠い面との間の部分も含む。“トランジスタのオン／オフ比”とは、メモリセルトランジスタMTのオン時とオフ時の電流の比のことを示している。メモリセルトランジスタMTのオンとオフの識別を可能とするためには、オンオフ比がある程度大きくされる必要がある。

[0149] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] 基板と、
- 前記基板の上方に設けられ、第1方向に互いに離れている複数の第1導電体層と、
- 前記複数の第1導電体層を貫通して設けられ、前記第1方向に延伸した第1半導体層を含み、前記第1導電体層との交差部分がメモリセルとして機能するピラーと、
- 前記複数の第1導電体層の上方に設けられ、前記第1半導体層と接触した第2導電体層と、を備え、
- 前記第2導電体層は、金属又はシリサイドである、半導体記憶装置。
- [請求項2] 前記複数の第1導電体層と前記第2導電体層との間に設けられ、前記第2導電体層と接触している第1絶縁体層をさらに備え、
- 前記第1半導体層と前記第2導電体層との境界部と前記基板との間の前記第1方向の間隔は、前記第1絶縁体層と前記基板との間の前記第1方向の間隔よりも短い、
- 請求項1に記載の半導体記憶装置。
- [請求項3] 前記複数の第1導電体層と前記第1絶縁体層との間に設けられ、前記ピラーによって貫通された第3導電体層をさらに備え、
- 前記境界部の位置は、前記第3導電体層が設けられた層の高さに含まれる、
- 請求項2に記載の半導体記憶装置。
- [請求項4] 前記複数の第1導電体層と前記第2導電体層との間に設けられ、前記ピラーによって貫通された第3導電体層をさらに備え、
- 前記第3導電体層と前記第2導電体層との間には、導電体層が含まれず、
- 前記第3導電体層と前記第2導電体層との前記第1方向の間隔が50nm以下である、

請求項 1 に記載の半導体記憶装置。

- [請求項5] 前記基板と前記複数の第 1 導電体層との間に設けられ、前記第 1 半導体層と電氣的に接続された第 4 導電体層をさらに備え、
前記第 2 導電体層は、ソース線として使用され、
前記第 4 導電体層は、ビット線として使用される、
請求項 1 乃至請求項 4 のいずれか一項に記載の半導体記憶装置。

- [請求項6] 読み出し動作を実行する制御回路をさらに備え、
前記制御回路は、読み出し動作において、メモリセルの閾値電圧を判定する際に、前記ソース線に第 1 電圧を印加し、且つ前記ビット線に前記第 1 電圧よりも高い第 2 電圧を印加する、
請求項 5 に記載の半導体記憶装置。

- [請求項7] 読み出し動作を実行する制御回路をさらに備え、
前記制御回路は、読み出し動作において、メモリセルの閾値電圧を判定する際に、前記ソース線に第 3 電圧を印加し、且つ前記ビット線に前記第 3 電圧よりも低い第 4 電圧を印加する、
請求項 5 に記載の半導体記憶装置。

- [請求項8] 前記第 2 導電体層は、チタン、チタンシリサイド、窒化チタン、ニッケルシリサイド、及びタングステンからなる群のいずれかを含む、
請求項 1 乃至請求項 7 のいずれか一項に記載の半導体記憶装置。

- [請求項9] 前記第 1 半導体層の不純物濃度は、 10^{19} (atoms/cm³) 以下である、
請求項 1 乃至請求項 8 のいずれか一項に記載の半導体記憶装置。

- [請求項10] 前記基板と、前記基板に形成された回路に接続された第 1 接合金属とを含む第 1 チップと、
前記複数の第 1 導電体層と、前記第 2 導電体層と、前記ピラーと、前記ピラーに接続された第 2 接合金属とを含む第 2 チップと、をさらに備え、
前記第 1 接合金属と前記第 2 接合金属とが接合されている、

請求項 1 乃至請求項 9 のいずれか一項に記載の半導体記憶装置。