

说明书

发明名称: 封装结构、半导体结构及电子设备

[0001] 本申请要求于2024年5月27日提交中国专利局、申请号为202410675094.6、申请名称为“封装结构、半导体结构及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本公开实施例涉及半导体技术领域，尤其涉及一种封装结构、半导体结构及电子设备。

背景技术

[0003] 随着科技的进步，终端使用者希望他们使用的设备更小、运算更快、更节能、性能更高，电子终端产品的小型化和多功能化成为产业发展的大趋势。

[0004] 相关技术中，现有封装结构的尺寸较大，无法应用于小型化的电子设备中。

[0005] 发明内容

[0006] 根据本公开实施例的第一方面，提供一种封装结构，包括：

[0007] 基底；

[0008] 第一引脚阵列，设置在所述基底上，所述第一引脚阵列包括多个第一数据引脚；

[0009] 第二引脚阵列，设置在所述基底上，所述第二引脚阵列包括多个第二数据引脚；

[0010] 其中，所述第一引脚阵列和所述第二引脚阵列之间设置有空白区域，所述空白区域从所述基底的中心向所述基底的边缘延伸，所述空白区域的端部位于所述第一引脚阵列的外侧，至少一个所述第一数据引脚和/或至少一个所述第二数据引脚与所述空白区域相邻，所述空白区域的最小尺寸大于所述第一数据引脚的直径。

[0011] 在一些实施例中，在所述第一引脚阵列中，第K行中所述第一数据引脚的数量大于与第L行中所述第一数据引脚的数量；其中，第K与所述空白区域相邻，第L行与第K行相邻。

- [0012] 在一些实施例中，在所述第二引脚阵列中，第M行中所述第二数据引脚的数量大于与第N行中所述第二数据引脚的数量；其中，第M与所述空白区域相邻，第N行与第M行相邻。
- [0013] 在一些实施例中，第K行中所述第一数据引脚与第M行中所述第二数据引脚相对或错位设置，第L行中所述第一数据引脚与第N行中所述第二数据引脚相对设置。
- [0014] 在一些实施例中，在第N行中，至少一个所述第二数据引脚与所述空白区域相邻。
- [0015] 在一些实施例中，在第K行中，相邻的所述第一数据引脚之间设置有第一电源引脚；在第M行中，相邻的所述第二数据引脚之间设置有第二电源引脚；其中，所述第一电源引脚用于传输第一电压，所述第二电源引脚用于传输第二电压，所述第一电压高于所述第二电压。
- [0016] 在一些实施例中，在所述第一引脚阵列中，至多3个所述第一电源引脚在列方向上相邻设置；在所述第二引脚阵列中，至多2个所述第一电源引脚在行方向上相邻设置。
- [0017] 在一些实施例中，所述第一数据引脚用于传输高阶数据字节信号，所述第二数据引脚用于传输低阶数据字节信号；或者，所述第一数据引脚用于传输低阶数据字节信号，所述第二数据引脚用于传输高阶数据字节信号。
- [0018] 在一些实施例中，所述第一引脚阵列还包括：
- [0019] 第一读取选通引脚，与所述第一数据引脚间隔设置；
- [0020] 第一写时钟引脚，与所述第一数据引脚间隔设置；
- [0021] 其中，所述第一读取选通引脚与所述第一写时钟引脚之间设置有所述第一电源引脚和所述第二电源引脚。
- [0022] 在一些实施例中，所述第一写时钟引脚与所述空白区域相邻。
- [0023] 在一些实施例中，所述第二引脚阵列还包括：
- [0024] 第二读取选通引脚，与所述第二数据引脚间隔设置；
- [0025] 第二写时钟引脚，与所述第二数据引脚间隔设置；

- [0026] 其中，所述第二读取选通引脚与所述第二写时钟引脚错位设置，至少一个所述第二读取选通引脚与至少一个所述第二写时钟引脚相邻。
- [0027] 在一些实施例中，所述第二读取选通引脚与所述第一电源引脚相邻，所述第二写时钟引脚与所述第二电源引脚相邻。
- [0028] 在一些实施例中，所述基底上设置有：
- [0029] 第三引脚阵列，包括多个控制引脚；
- [0030] 其中，至少一个所述控制引脚与所述空白区域相邻。
- [0031] 在一些实施例中，所述控制引脚包括多个命令地址引脚，其中，至多2个所述命令地址引脚相邻设置；至少一个所述命令地址引脚与所述空白区域相邻。
- [0032] 在一些实施例中，所述第一引脚阵列中的所述第二电源引脚与所述第三引脚阵列中的所述命令地址引脚相邻；所述第二引脚阵列中的所述第一电源引脚与所述第三引脚阵列中的所述控制引脚相邻。
- [0033] 在一些实施例中，所述命令地址引脚和所述第一写时钟引脚位于所述空白区域的相对侧。
- [0034] 根据本公开实施例的第二方面，提供一种半导体结构，包括：上述封装结构和设置在封装结构上的芯片。
- [0035] 根据本公开实施例的第三方面，提供一种半导体结构，包括：
- [0036] 电路板，所述电路板上设置有第一芯片，所述电路板上空白区，所述空白区的表面上设置有金属线；
- [0037] 上述封装结构，设置在所述电路板上，所述封装结构中的空白区域对应所述空白区；
- [0038] 第二芯片，设置在所述封装结构上；
- [0039] 其中，所述第一芯片通过所述金属线与所述第二芯片电连接。
- [0040] 综上所述，本公开的实施例提出一种封装结构、半导体结构和电子设备。该封装结构包括基底和第一引脚阵列和第二引脚阵列，通过在第一引脚阵列和第二引脚阵列之间设置空白区域，也就是在第一引脚阵列和第二引脚阵列之间不设置引脚，由此将第一引脚阵列和第二引脚阵列隔开，因此基底上的引脚数量会

减小，并且可以缩小引脚的间距，从而能够缩小基底的面积，进而缩小封装结构的面积，使得该封装结构能够应用于小型化的电子产品中。

附图说明

- [0041] 图1是根据一示例性实施例示出的一种半导体结构的示意图；
- [0042] 图2是根据一示例性实施例示出的图1的俯视图；
- [0043] 图3是根据一示例性实施例示出的图1的背面图；
- [0044] 图4是根据一示例性实施例示出的图3在A-A方向剖面图；
- [0045] 图5是根据一示例性实施例示出的一种封装结构的示意图；
- [0046] 图6是根据一示例性实施例示出的引脚的示意图；
- [0047] 图7是根据一示例性实施例示出的空白区域的示意图；
- [0048] 图8是根据一示例性实施例示出的引脚间距的示意图；
- [0049] 图9是根据一示例性实施例示出的引脚的另一示意图；
- [0050] 图10是根据一示例性实施例示出的引脚的另一示意图；
- [0051] 图11是根据一示例性实施例示出的基底的整体结构图；
- [0052] 图12是根据一示例性实施例示出的引脚架构的示意图；
- [0053] 图13是根据一示例性实施例示出的半导体结构的另一示意图；
- [0054] 图14是根据一示例性实施例示出的电子设备的示意图；
- [0055] 图15是根据一示例性实施例示出的图14的俯视图；
- [0056] 图16是根据一示例性实施例示出封装基板的塑性应变对比图；
- [0057] 图17是根据一示例性实施例示出的封装基板的测试性能对比图。

具体实施方式

- [0058] 下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。
- [0059] 在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的

形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

- [0060] 可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层(即直接在某物上)的含义，而且还包括在某物“上”且其间有居间特征或层的含义。
- [0061] 在本公开实施例中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。
- [0062] 在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。
- [0063] 需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。
- [0064] 如图1所示，本公开实施例提出一种半导体结构10，该半导体结构10包括封装基板11和存储芯片12。在封装基板11上设置有多个存储芯片12，例如可以设置两个、四个、八个或更多个存储芯片12。这些存储芯片12堆叠设置，例如图1中的两个存储芯片12堆叠设置，上面的存储芯片12偏移的设置在下方的存储芯片12上方。存储芯片12可以包括连接到字线和位线的多个存储器单元。例如，所述多个存储器单元中的每一个可以是或对应于动态随机存取存储器(DRAM)单元，该存储芯片12例如是低功耗内存(Low Power Double Data Rate SDRAM，简称LPDDR)，例如第五代低功耗双速率存储器(LPDDR5/5X)。
- [0065] 如图1所示，存储芯片12通过金线13连接在封装基板11上，从而实现信号传输。该存储芯片12分别对应一个信号通道(channel)，例如下面的存储芯片12对应第一信号通道14(Channel A,CHA)，上面的存储芯片12对应第二信号通道15(Channel B,CHB)。第一信号通道14和第二信号通道15均有独立的数据信号，片选信号

和时钟使能信号等，因此第一信号通道14和第二信号通道15相对独立。在应用该半导体结构10时，内存控制器能够通过数据总线向该存储芯片12发送数据信号，数据信号通过第一信号通道14和金线13传输至下面的存储芯片12，数据信号通过第二信号通道15和金线13传输至上面的存储芯片12。

[0066] 如图1和图2所示，图2显示为图1的简要俯视图。在封装基板11的正面设置有焊垫16，焊垫16例如设置在封装基板11的边缘上，金线13连接焊垫16和存储芯片12，从而实现信号传输。在一些实施例中，同一个焊垫16还可以多个存储芯片12，即通过多个金线13与多个存储芯片12连接，从而实现一个信号通道与多个存储芯片12相连。

[0067] 如图3-图4所示，图3显示为封装基板11的背面示意图，图4显示为图3在A-A方向的剖面图。在封装基板11的背面设置有多引脚111，这些引脚111可以呈阵列设置。引脚111可以为焊球或凸块。这些引脚111可以传输不同的信号，例如可以传输数据信号(Data Quality,DQ)，片选信号(Chip Select,CS)等信号。引脚111通过封装基板11中的内部走线112与焊垫16连接，然后焊垫16通过金线13与存储芯片12连接，从而将信号传输至存储芯片12中。在一些实施例中，由于引脚111的数量较多(例如为315个引脚)，引脚111之间的间距(Pitch)较大，导致该半导体结构10整体的封装体积较大，无法适应于小型化的电子产品中。

[0068] 如图5所示，本公开实施例提出一种封装结构20，该封装结构20可以是上述封装基板11。该封装结构20中的引脚数量相对较少，缩小引脚之间的间距，由此能够降低封装结构20的体积，使得该封装结构20可以应用于小型化的电子产品中。本公开实施例同时对引脚重新进行布局排列，从而使得该封装结构20具有良好的性能，使得该封装结构20能够为芯片提供良好的信号传输，保证芯片正常工作。

[0069] 如图5所示，本公开实施例提出一种封装结构20，该封装结构20包括基底21、第一引脚阵列30、第二引脚阵列40和第三引脚阵列60。第一引脚阵列30、第二引脚阵列40和第三引脚阵列60位于基底21上，例如可以设置在基底21的背面上。第一引脚阵列30和第二引脚阵列40之间设置有空白区域50，该空白区域50内不设置引脚，也就是说第一引脚阵列30和第二引脚阵列40之间通过空白区域50隔开。该

空白区域50从基底21的中心向基底21的边缘延伸，且该空白区域50的端部在第一引脚阵列30的外侧，也就是说，在行方向上，空白区域50的长度大于第一引脚阵列30的长度。同时，在行方向上，空白区域50的长度大于第二引脚阵列40的长度。在第一引脚阵列30中设置有多个第一信号引脚31，在第二引脚阵列40中设置有多个第二信号引脚41。第一信号引脚31和第二引脚阵列41分别与空白区域50相邻。因此，该封装结构20安装在PCB上时，该空白区域50会在PCB上形成对应的空白区，由此第一信号引脚31和第二引脚阵列41与该空白区相邻，因此可以在该空白区中进行布线，使得该布线与第一信号引脚31和第二引脚阵列41连接，从而进行信号传输。

[0070] 如图5所示，在本公开实施例中，在行方向上，空白区域50的长度大于第一引脚阵列30的长度。在列方向上，该空白区域50的最小尺寸大于第一信号引脚31的直径，并且，该空白区域50的最小尺寸大于相邻两个第一信号引脚31之间的间距(Pitch)。由此来看，该空白区域50具有较大的面积，因此在PCB上会形成较大面积的空白区，在该空白区中会设计多条布线，且这些布线之间的间距也会变大，由此改善信号之间的串扰。

[0071] 如图5所示，在本公开实施例中，第一引脚阵列30中有至少一个第一信号引脚31与空白区域50相邻，第二引脚阵列40中有至少一个第二信号引脚41与空白区域50相邻。第一信号引脚31和第二信号引脚41可以同时与该空白区域50相邻。当然，第一信号引脚31和第二信号引脚41中任意一个可以与该空白区域50相邻。

[0072] 如图4-图5所示，在本公开实施例中，在基底21是正面设置有焊垫16，在基底21中设置有内部走线112，内部走线112与焊垫16连接，同时内部走线112还与第一信号引脚31、第二信号引脚41或其他引脚连接，从而实现信号传输。

[0073] 如图6所示，图6显示基底21的背面图。第一引脚阵列30位于基底21的左上方，第二引脚阵列40位于基底21的下方，第三引脚阵列60位于基底21上的下方。第一引脚阵列30和第二引脚阵列40之间存在空白区域50，空白区域50中未设置引脚，由此第一引脚阵列30和第二引脚阵列40可以通过空白区域50隔开。从行方向(水平方向)上看，第一引脚阵列30具有8列引脚。从列方向(竖直方向)上看，第一引脚阵列30具有5行引脚。第一引脚阵列30最多可以包括40个引脚，但是为了改善

第三引脚阵列60中的引脚的布线问题，第一引脚阵列30中减少了一些引脚，例如在第一引脚阵列30中减少了2个引脚，因此第一引脚阵列30包括了38个引脚。本实施例在第一引脚阵列30中与第三引脚阵列60相邻的列(第一引脚阵列30的第8列)中减少了两个引脚，由于减少了引脚的数量，因此增加了空白区域50的面积，也就是在PCB上增加了布线的面积。

[0074] 如图6所示，在第一引脚阵列30中设置有了多个第一信号引脚31，这些第一信号引脚31之间可以设置至少一个引脚。例如在第1列中，两个第一信号引脚31之间设置有一个引脚。在第2行中，两个第一信号引脚31之间设置有一个引脚。本实施例中，第一信号引脚31可以用于传输高带宽数据信号(Data Quality,DQ)。在传输DQ信号时，第一信号引脚31会产生磁场，若将两个第一信号引脚31连续设置，则产生的磁场会在这两个信号引脚之间重叠，存在重叠的磁场会在第一信号引脚31内诱发电流动，从而产生信号串扰并降低信号质量。从图6中来看，在第一信号引脚31可以与另一个第一信号引脚31在对角线上相邻，也就是说在水平和竖直方向上，不将两个第一信号引脚31连续设置，由此可以增加磁场的消散空间，降低磁场重合，降低信号串扰。

[0075] 如图6所示，在本公开实施例中，第一引脚阵列30中设置八个第一信号引脚31，在第一引脚阵列30中与空白区域50相邻的行中设置的第一信号引脚31的数量相对较多。第1行至第5行依次相邻，且第5行与空白区域50相邻，因此将第5行定义成第K行，将与第5行相邻的第4行定义成第L行，因此第K行中的第一信号引脚31的数量比第L行中的第一信号引脚31的数量多，从而有利于更多的第一信号引脚31布线。例如在第5行中设置有3个第一信号引脚31，在第4行中设置有1个第一信号引脚31，在第3行中设置有2个第一信号引脚31，在第2行中设置有2个第一信号引脚31。由于第5行中设置的第一信号引脚31的数量最多，即有更多数量的第一信号引脚31与空白区域50相邻，从而有利于为更多的第一信号引脚31布线。本公开实施例中，对第一信号引脚31的位置重新进行布局，使得这些第一信号引脚31的位置相对集中，距离基底21的边缘较近，从而减小信号损耗。

[0076] 如图6所示，在本公开实施例中，第二引脚阵列40设置在空白区域50的一侧，即第二引脚阵列40与第一信号引脚30位于空白区域50的相对侧。从行方向上看，

第二引脚阵列40包括13列引脚，从列方向上，第二引脚阵列40包括4行引脚。第二引脚阵列40最多包括52个引脚。由于第二引脚阵列40中的引脚数量大于第一引脚阵列30中的引脚数量，且第二引脚阵列40在行方向上的长度是大于第一引脚阵列40在行方向上的长度，因此为了改善第二引脚阵列40中引脚的布线问题，在第二引脚阵列40中与空白区域50相邻的行中减少了一些引脚。本公开实施例减少了第8行中靠近基底21左侧边缘的引脚，也就是减少了与空白区域50相邻的一些引脚，从而形成更大面积的空白区域50，由此使得空白区域50可以延伸至第二引脚阵列40中，由于增加了空白区域50的面积，有利于为第二引脚阵列40中第二信号引脚41的布线。同时，本公开实施例中，在第1列，第10行的位置处的引脚也被移除掉，从而变相增加了空白区域50的面积，这也有助于第二信号引脚41的布线。

[0077] 如图6所示，在本公开实施例中，第二引脚阵列40包括多个第二信号引脚41，第二信号引脚41的排列的方式可以参考第一信号引脚31的排列方式，第一信号引脚31的排列规则可以适用于第二信号引脚41的排列规则。本公开实施例中，第二信号引脚41用于传输高带宽信号数据，第二信号引脚41用于传输高带宽数据信号(Data Quality,DQ)。第二引脚阵列40中包括八个第二信号引脚41，第二引脚阵列40中与空白区域40相邻的行中第二信号引脚41的数量较多。这些第二信号引脚41分别设置在第8行至第11行中，第8行至第11行依次相邻，第8行与空白区域50相邻。第8行中有3个第二信号引脚41，第9行中有1个第二信号引脚41，第10行中有2个第二信号引脚41，第11行中有2个第二信号引脚41。第8行的第二信号引脚41的数量大于第9行中第二信号引脚41的数量，因此有利于更多数量的第二信号引脚41的布线。在本实施例中，将第8行定义为第M行，将第9行定义为第N行，因此第M行中第二信号引脚41的数量是大于第N行中第二信号引脚41的数量。同时，由于空白区域50向第二引脚阵列40内延伸，从而使得第9行(第N行)中的至少有一个第二信号引脚41可以与空白区域50相邻，从而又有利于该第二信号引脚41的布线。当然，通过对第二引脚阵列40中第二信号引脚41的排布，可以使得在第N行设置更多的第二信号引脚41，并且使得更多的第二信号引脚41与空白区域50相邻。需要说明书的是，虽然第9行中的第二信号引脚41与空白区域50相邻，但

是第9行中其他引脚与空白区域50之间还存在第8行中的引脚，因此，本实施例未将第9行定义为与空白区域50相邻。

- [0078] 如图6所示，在本公开实施例中，这些第二信号引脚41分布相对集中，例如分布在第2列至第7列中，也就是说在行方向上，距离基底21的左侧边缘的第二信号引脚41(第7列中的第二信号引脚41)未超过空白区域50的长度，因此可以缩短第二信号引脚41的布线。
- [0079] 如图6所示，在本公开实施例中，第一信号引脚31用于传输DQ信号，第二信号引脚41用于传输DQ信号，因此部分第一信号引脚31和部分第二信号引脚41可以关于空白区域50对称。例如，第5行中的第一信号引脚31(第3列和第5列)与第8行中的第二信号引脚41(第3列和第5列)是对称的，也就是二者是相对设置的，因此第一信号引脚31和第二信号引脚41的布线可以对称，布线过程相对简单。当然，在第5行(例如是第K行)的第一信号引脚31(第1列)和第8行(例如是第M行)中第二信号引脚(第7列)关于空白区域50是错开设置的，由于二者错开设置，因此在布线时，可以将布线的间距较大，防止布线距离过近，导致信号串扰。当然，在第4行(例如是第L行)中的第一信号引脚31(第2列)与第9中(例如是第N行)的第二信号引脚41(第2列)是相对设置的。需要说明的是，M、N、K、L均是大于或等于1的正整数。
- [0080] 如图6所示，第一信号引脚31和第二信号引脚41例如属于第一信号通道14(图1所示)。因此第一信号通道14可以包括16个信号引脚，例如为DQ0_A至DQ15_A共计16个信号引脚，其中，A表示第一信号通道。本公开实施例中，DQ0_A至DQ7_A共计8个信号引脚，这些信号引脚用于传输低阶数据字节信号(byte0)。DQ8_A至DQ15_A共计8个信号引脚，这些信号引脚用于传输高阶数据字节信号(byte1)。在该封装基板20安装在电路板上时，需要使封装基板20的信号匹配控制芯片(CPU)的信号，同时，CPU上的信号引脚是固定的，为防止金属布线在电路板上形成交叉，因此，将第一信号引脚31用于传输高阶数据字节信号，第二信号引脚41用于传输低阶数据字节信号，从而能够使得该封装结构20更好的匹配CPU，保证信号正常传输。在一些实施例中，第一信号引脚31还可以用于传输低阶数据字节信号，第二信号引脚41还可以用于传输高阶数据字节信号。

- [0081] 如图6所示,第三引脚阵列60设置在基底21的右上方,在行方向上,第三引脚阵列60包括5列引脚,在列方向上,第三引脚阵列60包括7行引脚,因此第三引脚阵列60可以包括35个引脚。本实施例将第5行、第13列的引脚移除掉,有利于后续控制引脚的布线,因此第三引脚阵列60包括34个引脚。第三引脚阵列60中设置有多个控制引脚,控制引脚例如包括命令地址引脚61(Command/Address,CA)和片选信号引脚62(Chip Select,CS)。命令地址引脚61可以接收读地址或写地址,读地址包括读出存储阵列的哪行哪列,写地址包括写入存储阵列的哪行哪列。片选信号引脚62用于传输片选信号,内存控制器通过片选信号选择相应的芯片(die),从而对选中的芯片进行数据、地址或命令的独立传输。
- [0082] 如图6所示,第三引脚阵列60包括七个命令地址引脚61,例如为CA0_A至CA6_A,A表示第一信号通道。在行方向上,可以有两个命令地址引脚61相邻设置,也就是说可以有两个命令地址引脚61连续设置。由于命令地址引脚61用于传输控制信号,且该控制信号的频率较低,因此可以将两个命令地址引脚61相邻设置。为了防止控制信号之间的串扰,在行方向上,至多有两个命令地址引脚61相邻设置,且在竖直方向上,命令地址引脚61是间隔设置的,由此防止有四个命令地址引脚61相邻设置,造成较大的信号串扰。在列方向上,有至少一个命令地址引脚61与该空白区域50相邻,由此有利于对该命令地址引脚61进行布线。在一些实施例中,若将第一引脚阵列30中的第8行中的引脚移除,则第三引脚阵列60中会有两个命令地址引脚61与该空白区域50相邻,从而有利于对命令地址引脚61进行布线。
- [0083] 如图6所示,第三引脚阵列60包括两个片选信号引脚62,例如CS1_A和CS0_A,CS0_A表示第一信号通道下的第一芯片(Chip0),CS1_A表示第一信号通道下的第二芯片(Chip1)。在行方向上,这两个片选信号引脚62相邻设置。有一个片选信号引脚62可以与空白区域50相邻,从而有利于对该片选信号引脚62进行布线。本实施例为有利于对片选信号引脚62的布线,使得片选信号引脚62与命令地址引脚61的间距较远。在一些实施例中,片选信号引脚62还可以命令地址引脚61相邻设置,从而使得片选信号与命令地址信号之间形成更好的时序匹配。

- [0084] 如图7所示,本实施例通过移除部分引脚,从而形成了空白区域50,并且对第一信号引脚31的位置重新进行排布,从而使得更多的第一信号引脚31与空白区域50相邻,改善第一信号引脚31的布线方式。由于引脚与引脚之间有间隙的,在移除部分引脚之后,从而使得该空白区域50的最小尺寸是大于引脚的直径的。例如从图7中来看,在行方向上,第8列,第4行的引脚被移除掉,此时该空白区域50的最小尺寸d1大于该引脚的直径,此时该空白区域50有较大面积,对应在PCB上会形成较大的布线面积,有利于对引脚进行布线。当然,在行方向上,在第8列,第5行的引脚被移除掉,此时也可以将第5行中,第7列和第9列的引脚之间的间距d2定义为该空白区域50的最小尺寸,同时该间距d2也大于引脚的直径。在列方向上,第6-7行,第3-7列中引脚被移除掉,因此第5行、第4列中的引脚至第8行、第4列的引脚的间距为d3,此时该间距d3大于间距d2,同理,间距d4大于间距d3。本公开实施例中,空白区域50从基底21的中心向边缘延伸,例如在行方向上,空白区域50从第1列延伸至第8列,同时空白区域50的端部是延伸至边缘的,也就是说在行方向上,空白区域50的长度大于第一引脚阵列30的长度,因此在进行布线时,空白区域50在PCB上会形成对应的空白区,空白区的长度大于第一引脚阵列30的长度,因此在空白区进行布线时,没有引脚进行阻挡,从而可以在PCB的表面进行布线,不需要在PCB的内部进行布线,从而简化了布线过程。
- [0085] 如图7-图8所示,在行方向上,空白区域50的宽度是逐渐减小的,例如从间距d4到间距d3再到间距d2或d1。在进行布线时,在PCB上的空白区的形状与空白区域50一样,大量的布线需要从空白区的边缘延伸至空白区中,然后与各个引脚连接,因此空白区域50的端部的宽度较宽,PCB上的空白区的宽度较宽,使得布线在空白区的边缘的间距较为合适,有利于布线过程和改善信号串扰。在行方向上,相邻的引脚(例如第一信号引脚31)之间的间距为d5。在列方向上,相邻的引脚(例如第一信号引脚31)之间的间距为d6。在行方向上,空白区域50的最小尺寸d1或d2是大于间距d5的,在列方向上,空白区域50的间距d3或d4是大于间距d6的,由此相邻引脚之间的间距不能定义成空白区域,也就是说本实施例中,空白区域50的最小尺寸是大于相邻引脚之间的间距的,同时,空白区域50的最小尺寸还得大于引脚的直径的。本公开实施例中,引脚的直径例如为350微米,间

距d5例如为600微米，间距d6例如为500微米。由于空白区域50的存在，使得基底21上的引脚数量减小，因此可以相对缩小引脚的间距，减小基底21的尺寸。同时，由于引脚的间距缩小，布线的长度也会缩小，减小了信号损耗。

[0086] 如图9所示，在本公开的一些实施例中，第一引脚阵列30和第二引脚阵列40均设置有电源引脚。第一引脚阵列30和第二引脚阵列40中设置有第一电源引脚32和第二电源引脚33。第一电源引脚32和第一信号引脚31相邻设置，第二电源引脚33也可以和第一信号引脚31相邻设置。例如在第5行(第K行)中，在行方向上，第1列至第6的引脚分别为第一信号引脚31、第二电源引脚33、第一信号引脚31、第一电源引脚32、第一信号引脚31和第二电源引脚33。第一电源引脚32例如传递第一电压，第二电源引脚33例如传递第二电压，第一电压可以大于第二电压，第一电压例如为0.5V，第二电压例如为接地电压(0V)。第一电源引脚32可以分散在第一信号引脚31之间，第二电源引脚33可以分散在第一信号引脚31之间，由于第一电源引脚32和第二电源引脚33的电压都比较小，可以吸收第一信号引脚31产生的磁场，从而减小第一信号引脚31之间的串扰。同理，在第二引脚阵列40中，第一电源引脚32和第二电源引脚33也分散在第二信号引脚41之间，第一电源引脚32和第二电源引脚33也可以吸收第二信号引脚产生的磁场，从而减小第二信号引脚41之间的串扰。

[0087] 如图9所示，在本公开实施例中，第一电源引脚32可以连续排列。在第一引脚阵列30中，在第4列中，有三个第一电源引脚32连续排列，由于本申请先设计第一信号引脚31的位置，然后在第一信号引脚31之间设置第一电源引脚32和第二电源引脚33，由此，可以将第一电源引脚32和第二电源引脚33分散在第一信号引脚31之间。同时，由于第一电源引脚32相对靠近基底21的边缘，且第一电源引脚32是相互连接的，设置三个第一电源引脚32连续排列，可以增加电源供给的稳定性。若将更多个(四个或以上)第一电源引脚32连续排列，则会增加第一引脚阵列30的尺寸，导致基底21的面积增加，不利于改善基底21的尺寸。因此，在列方向上，在第一引脚阵列30中可以设置至多三个第一电源引脚32相邻设置。当然，在行方向上，在第一引脚阵列30中可以设置至多三个第一电源引脚32相邻设置。当

然，第一电源引脚32还可以分散在第一引脚阵列30中，即第一电源引脚32彼此间隔设置。

[0088] 如图9所示，在第二引脚阵列40中，第一电源引脚32和第二电源引脚33可以分散在第二信号引脚41之间，从而改善第二信号引脚41之间的串扰。同时，在第8行(第M行)中在第3列至第8列的引脚为第一信号引脚41、第二电源引脚33、第一信号引脚41、第二电源引脚33、第二信号引脚41和第二电源引脚33。由于第二电源引脚33传输的是接地电压，因此可以更好的吸收第二信号引脚41的磁场，从而进一步减少第二信号引脚41之间的串扰。同时，第二引脚阵列40位于基底21的下部，且第一电压是从基底21的上部向下部传输，即从列方向上传输，因此第二引脚阵列40中的第一电压相对稳定，在第二引脚阵列40中可以有两个第一电源引脚32连续排列，而不需要三个或更多个第一电源引脚32连续排列。

[0089] 如图9所示，在5行中，第一信号引脚31之间设置有第一电源引脚32。在第8行中，第二信号引脚41之间设置为第二电源引脚33。由于第5行更加靠近基底21的上部，第8行位于基底21的下部，由此为了保证第一电压的稳定性，本公开实施例在第一引脚阵列30中配置三个连续排列的第一电源引脚32，从而保证第一电压的稳定性，因此在第5行中，可以由第一电源引脚32隔离第一信号引脚31。在第二引脚阵列40中，第一电压相对稳定，为了更多的减小第二信号引脚41的串扰，由此在第8行中，可以由第二电源引脚33来隔离第二信号引脚41。同时，第二电源引脚33还位于第三引脚阵列60中，第二电源引脚33与命令地址引脚61、片选信号引脚62相邻，从而减少这些信号之间的串扰。

[0090] 如图10所示，在第一引脚阵列30中还设置有第一读取选通引脚34和第一写时钟引脚35。第一读取选通引脚34可以与第一信号引脚31相关联，第一写时钟引脚35可以与第一信号引脚31相关联。第一读取选通引脚34与第一信号引脚31间隔设置，且二者之间由第二电源引脚33隔开，从而减少二者之间的信号串扰。第一写时钟引脚35与第一信号引脚31之间在对角线上的方向上相邻，即二者不在行方向和列方向上相邻，因此第一信号引脚31和第一写时钟引脚35之间的间距较大，二者产生的磁场耦合被降低，由此改善了信号串扰。同时，第一读取选通引脚34和第一写时钟引脚35之间通过第一电源引脚32和第二电源引脚33隔离，即第一

电源引脚32和第二电源引脚33设置在第一读取选通引脚34和第一写时钟引脚35，因此第一电源引脚32和第二电源引脚33可以吸收第一读取选通引脚34和第一写时钟引脚35各自产生的磁场，能够降低第一读取选通引脚34和第一写时钟引脚35之间的信号串扰。第一写时钟引脚35还与空白区域50相邻，因此第一写时钟引脚35的布线可以从空白区域50引出，方便布线过程。

[0091] 如图10所示，在第二引脚阵列40中设置有第二读取选通引脚42和第二写时钟引脚43。第二读取选通引脚42和第二信号引脚41之间设置有第二电源引脚33，从而改善信号串扰。同时，第二写时钟引脚43与第二信号引脚41在对角线上设置，也能够改善信号串扰。第二读取选通引脚42和第二写时钟引脚43错位设置，例如第二读取选通引脚42位于第9/10列，第二写时钟引脚43位于第8/9列。同时，第二读取选通引脚42和第二写时钟引脚43被第一电源引脚32和第二电源引脚33包围，由此使得第二读取选通引脚42与第一电源引脚32相邻，第二写时钟引脚43与第二电源引脚33相邻，第二读取选通引脚42和第二写时钟引脚43产生的磁场会被第一电源引脚32和第二电源引脚33吸收，因此能够改善第二读取选通引脚42和第二写时钟引脚43之间的信号串扰。

[0092] 如图10所示，第一读取选通引脚34用于传输第一读取选通信号，第一写时钟引脚35用于传输第一数据时钟信号。第二读取选通引脚42用于传输第二读取选通信号，第二写时钟信号用于传输第二数据时钟信号。第一读取选通信号和第一数据时钟信号可以与高阶数据字节信号(DQ8-DQ15)相关联。第二读取选通信号和第二数据时钟信号可以与低阶数据字节信号(DQ0-DQ7)相关联。第一读取选通信号和第二读取选通信号可以是差分信号(一对真信号和补码信号)。第一读取选通引脚34例如用RDQS1_C_A和RDQS1_T_A表示，A表示第一信号通道。第二读取选通引脚42例如用RDQS0_C_A和RDQS0_T_A表示。第一写时钟引脚35例如用WCK1_C_A和WCK1_T_A表示，第二写时钟引脚43例如用WCK0_C_A和WCK0_T_A表示。

[0093] 如图9-图10所示，第一引脚阵列30中的第8列与第三引脚阵列60相邻，且第8列中设置有第二电源引脚33，并通过第二电源引脚33隔离第一读取选通引脚34与命令地址引脚61，第二电源引脚33与命令地址引脚61相邻，从而改善二者信号之

间的串扰。由于空白区域50的存在，使得第一写时钟引脚35与命令地址引脚61隔开，即第一写时钟引脚35与命令地址引脚61位于空白区域50的相对侧，从而通过空白区域50改善二者的信号串扰。第二引脚阵列40中的第8行与第三引脚阵列60相邻，同时通过第一电源引脚32将第二写时钟引脚42与片选信号引脚62隔开，从而改善二者信号的串扰。同时还可以通过第一电源引脚32保证第二引脚阵列40中的第一电压的稳定性。

- [0094] 如图10所示，在第三引脚阵列60中的控制信号还包括时钟信号引脚63，时钟信号引脚63与命令地址引脚61相关联。时钟信号引脚63可以的是差分信号，例如用CK_C_A和CK_T_A表示。
- [0095] 如图9-图10所示，在第一引脚阵列30中还设置有第一数据掩码翻转引脚36。第一数据掩码翻转引脚36用于传输与高阶数据字节信号相关联的第一数据掩码翻转信号。第一数据掩码翻转引脚36被第一电源引脚32和第二电源引脚33包围，从而吸收第一数据掩码翻转引脚36产生的磁场，降低第一数据掩码翻转引脚36与第一信号引脚31之间的信号串扰。第一数据掩码翻转引脚36可以用DMI1_A表示。第一信号引脚31、第一读取选通引脚34、第一写时钟引脚35、第一数据掩码翻转引脚36、命令地址引脚61、片选信号引脚62和时钟信号引脚63均耦合至第一信号通道。在第二引脚阵列40中还设置有第二数据掩码翻转引脚44。第二数据掩码翻转引脚44用于传输与低阶数据字节信号相关联的第二数据掩码翻转信号。第二数据掩码翻转引脚44被第一电源引脚32和第二电源引脚33包围，从而吸收第二数据掩码翻转引脚44产生的磁场，降低第二数据掩码翻转引脚44与第二信号引脚41之间的信号串扰。第二数据掩码翻转引脚44可以用DMI0_A表示。第二信号引脚41、第二读取选通引脚42、第二写时钟引脚43和第二数据掩码翻转引脚44、命令地址引脚61、片选信号引脚62和时钟信号引脚63均耦合至第一信号通道，即第一引脚阵列30、第二引脚阵列40和第三引脚阵列60可以用于为第一信号通道传输信号。
- [0096] 如图10-图11所示，图10显示为部分引脚阵列的示意图，图11显示为整个引脚阵列的示意图。图10中显示有第一引脚阵列30、第二引脚阵列40和第三引脚阵列60。在基底21上还设置有第四引脚阵列70、第五引脚阵列80和第六引脚阵列90。

第一引脚阵列30与第五引脚阵列80关于基底21的中心行(第12行)基本镜像。第二引脚阵列40与第四引脚阵列70关于基底21的中心行基本镜像。第三引脚阵列60与第六引脚阵列90关于基底21的中心行基本镜像。同时,在第一引脚阵列30和第二引脚阵列40之间设置有空白区域50。在第二引脚阵列40与第四引脚阵列70之间设置有空白区域50,在第五引脚阵列80与第四引脚阵列70之间设置有空白区域50。这三个空白区域50中均未设置引脚,从而有利于后续布线过程。第四引脚阵列70、第五引脚阵列80和第六引脚阵列90可以用于为第二信号通道传输信号。

[0097] 需要说明的是,第一引脚阵列30的引脚与第五引脚阵列80中的引脚基本镜像,因此,第一引脚阵列30中的信号引脚的位置与第五引脚阵列80中的信号引脚的位置镜像。在一些实施例中,为了有利于后续布线过程,第一引脚阵列30中的信号引脚的位置可以和第五引脚阵列80中的信号引脚的位置不镜像。

[0098] 如图11-图12所示,图12显示为引脚架构示意图。本公开实施例中,基底上共有13行、23行引脚。由于空白区域50的存在,使得引脚的数量有所减小,因此可以缩小引脚的间距。本公开实施例中,引脚的数量例如为245个。电源引脚可以包括VDD1引脚、VDD2H引脚、VDD2L引脚和VDDQ引脚。VDD1引脚接收VDD1,为存储器内核供电。VDD2H引脚接收VDD2H,为存储器内核供电。VDD2L引脚接收VDD2L,同样为存储器内核供电。VDDQ引脚接收VDDQ,为I/O缓冲器(I/O buffer)供电。实际应用中,存储器内部可以有三组电压,分别是VDD1、VDD2和VDDQ,VDD2可以包括VDD2H和VDD2L,其中,VDD1和VDD2表示存储器内核工作电压,VDD1(1.8V)和VDD2具有不同的电压值,VDD2H表示电压值较高(1.05V),VDD2L(0.9V)表示电压值较低,VDDQ(0.5v)表示经过噪声滤波的高质量电压,其抗干扰强度大。VSS引脚表示接地引脚。VDD1引脚的数量为6个,VDD2H引脚的数量为26个,VDD2L引脚的数量为8个,VDDQ引脚的数量为22个,VSS引脚的数量为93个。

[0099] 如图12所示,CA0~CA6引脚可以接收读地址或写地址,读地址包括读出存储阵列的哪行哪列,写地址包括写入存储阵列的哪行哪列。DQ0~DQ15引脚可以接收写数据和输出读数据,在进行读操作时,DQ0~DQ15引脚输出从存储单元读取的数据,在进行写操作时,DQ0~DQ15引脚接收要写入存储单元的数据。

- [0100] 如图12所示，WCK1_T、WCK1_C、WCK0_T和WCK0_C表示写时钟，写时钟用于对DQ0~DQ15接收的写数据进行采样。实际应用中，WCK1_T和WCK1_C用于对DQ8~DQ15引脚接收的写数据进行采样，WCK0_T和WCK0_C用于对DQ0~DQ7引脚接收的写数据进行采样。WCK1_T、WCK1_C、WCK0_T和WCK0_C可以以CK_T/CK_C频率的两倍或四倍运行，提高采样速率。RDQS1_T、RDQS1_C、RDQS0_T和RDQS0_C表示读时钟，也称为读选通信号，读时钟用于对DQ0~DQ15输出的读数据进行采样。实际应用，RDQS1_T和RDQS1_C用于对DQ8~DQ15引脚输出的读数据进行采样，RDQS0_T和RDQS0_C用于对DQ0~DQ7引脚输出的读数据进行采样。DMI1和DMI0表示数据掩码信号(data mask, DM)，数据掩码信号用于对DQ0~DQ15引脚接收的写数据进行掩码，以确定将哪些写数据写入存储单元中。实际应用中，DMI1用于对DQ8~DQ15引脚接收的写数据进行掩码，DMI0用于对DQ0~DQ7引脚接收的写数据进行掩码。CK_T和CK_C表示命令地址时钟，命令地址时钟用于对读地址或写地址进行采样，实际应用中，所有命令、地址和控制输入信号均在CK_T的上升沿和CK_C的下降沿的交点处采样。ZQ引脚接收ZQ，ZQ表示标准信号，校准信号用于校准输出驱动强度。RESET引脚接收RESET，RESET表示复位信号，复位信号用于初始时将存储器复位至默认状态。CS引脚接收CS，CS表示片选信号，片选信号用于选择目标芯片(die)。DNU引脚表示机械球，无功能。RFU引脚为预留的引脚。在图12中，A可以表示第一信号通道，B可以表示第二信号通道。当然，A可以表示第二信号通道，B可以表示第一信号通道。
- [0101] 如图12所示，在一些实施例中，还可以对电源引脚(例如VSS引脚)的数量和位置进行适当变化，例如适当增加或减小电源引脚的数量，由此引脚的数量发生变化，因此引脚的数量可以在234~250之间变化，例如为235、236、237、238、239、241、242、243、244、245、246、247、248、249个引脚。需要说明的是，信号引脚(例如DQ引脚)和控制引脚(例如CA引脚)的位置和数量不发生变化。
- [0102] 如图13所示，本公开实施例还提出另一种半导体结构10，该半导体结构10包括封装结构20和存储芯片12。封装结构20包括基底21和位于基底21背面的引脚111，即封装结构20也可以是封装基板。封装结构20的结构可以参考上述描述，引

脚111的排布方式可以参考上述描述。存储芯片12位于基底21上，存储芯片12通过金线13电连接在基底21的焊垫(图2所示)上。基底21中有内部走线(金属线)使得引脚111和焊垫电连接，从而与金线13电连接。本公开实施例中，第一信号通道14与两个存储芯片12电连接，第二信号通道15与两个存储芯片12电连接。

[0103] 如图14所示，本公开实施例还提出一种电子设备100，该电子设备100可以包括电路板110、第一芯片120和半导体结构10。第一芯片120可以是控制芯片。半导体结构10的结构可以参考上述描述。半导体结构10中存储芯片12可以是第二芯片。第一芯片120可以控制存储芯片12的整体操作。例如，第一芯片120可以控制存储芯片12，使得从存储芯片12输出数据或将数据存储存储在存储芯片12中。第一芯片120可以是SOC芯片。存储芯片12可以包括多个存储器单元。例如，存储器单元可以是动态随机存取存储器(DRAM)单元。存储芯片12可以是双倍数据速率(DDR)、低功率双倍数据速率(LPDDR)、图形双倍数据速率(GDDR)、宽I/O、高带宽存储器(HBM)。在本实施例中，存储芯片12例如是LPDDR5。

[0104] 如图14-图15所示，图15显示为图14在电路板110上的俯视图。需要说明的是，图15中仅显示第一引脚阵列30、第二引脚阵列40和第三引脚阵列60，即显示第一信号通道下的引脚。由于半导体结构10是通过引脚固定在电路板110上的，因此第一引脚阵列30、第二引脚阵列40和第三引脚阵列60中的各个引脚可以显示在电路板110上。同时，在第一引脚阵列30和第二引脚阵列40之间还会形成空白区130，该空白区130的形状与封装结构10中的空白区域50的形状相同，也就是封装结构10中的空白区域50在电路板110上对应形成空白区130，空白区130的结构描述可以参考空白区域50的结构描述。同时，在电路板110的表面上设置有金属线140(金属布线)，金属线140通过空白区130与第一芯片120互连，进而使得第一芯片120与存储芯片12实现信号传输。由于空白区130的设计，即在空白区130内未设置引脚，因此可以在空白区130内直接设计金属线140，金属线140的长度较短，信号损耗小。如果在空白区130中保留一些引脚，则在空白区130中设计金属线140时，则需要避开该引脚，则会导致金属线140的长度变长，信号损耗增加。同时，若在电路板110的内部设计金属线140，则布线过程相对复杂。

- [0105] 如图15所示,该电子设备100可以包括以下中一种或多种:例如,智能电话、平板个人计算机(PC)、移动电话、视频电话、电子书(e-book)阅读器、台式PC、膝上型PC、上网本计算机、工作站、服务器、个人数字助手(PDA)、便携式多媒体播放器(PMP)、MPEG-1音频层3(MP3)播放器、移动医疗设备、相机、家用电器、医疗设备、物联网(IoT)设备和可穿戴设备。可穿戴设备可以是配件类型、织物或服装类型、身体附着类型或可植入电路类型。配件型可穿戴设备可以是例如手表、戒指、手链、脚链、项链、眼镜、隐形眼镜或头戴式设备(HMD)。
- [0106] 如图16所示,图16为现有技术中的封装基板和本公开实施例的封装基板的塑性应变对比图。图16中横坐标表示温度循环次数,纵坐标显示应变。需要说明的是,现有技术中的封装基板的引脚数量为315个,本实施例中的封装基板的引脚数量为245个。(a1)图中的800um表示现有技术的封装基板在X方向(行方向)上的间距,(a2)图中的700um表示现有技术的封装基板在Y方向(列方向)上的引脚间距(Pitch)。(b1)图中的600um表示本实施例的封装基板在X方向(行方向)上的间距,(b2)图中的500um表示本实施例的封装基板在Y方向(列方向)上的引脚间距。在X方向上,通过对比得知,(a1)图在经过大量的温度循环次数下(超过8000次),应变曲线才趋于稳定,最终应变差值 $\Delta \epsilon_p$ 为0.0236,而(b1)图在经过几十次的温度循环次数下,应变曲线就趋于稳定,最终应变差值 $\Delta \epsilon_p$ 为0.0128。因此,在X方向上,现有技术的封装基板的引脚的应变大于本实施例的封装基板的引脚的应变。在Y方向上,(a2)图在经过上百次的温度循环次数下,应变曲线才趋于稳定,最终应变差值 $\Delta \epsilon_p$ 为0.0185,而(b2)图在经过几十次的温度循环次数下,应变曲线就趋于稳定,最应变差值 $\Delta \epsilon_p$ 为0.00711。因此,在Y方向上,现有技术的封装基板的引脚的应变大于本实施例的封装基板的引脚的应变。同时,现有技术的封装基板的引脚在X/Y方向上的应变区别较大,引脚在X/Y方向上的变形不一致,不利于后续焊接,而本公开实施例中的封装基板的引脚在X/Y方向上的应变差别小,引脚在X/Y方向上的变形基本一致,有利于后续焊接。本实施例通过减小引脚的数量,设计空白区域,缩小引脚间距,封装基板整体的尺寸也会变小,引脚的应力膨胀点也变小,具有良好的塑性应用性能,引脚的应力较小,有利于提高引脚的可靠性。

- [0107] 如图17所示，图17显示为现有技术的封装基板和本实施例的封装基板性能测试图。(a)图中曲线L1表示现有技术的封装基板(引脚数量315个)的写入数据测试图，曲线L2表示本公开的封装基板(引脚数量245个)的写入数据测试图。曲线L1和曲线L2表示这两个基板在同一眼宽下，在同一写入速率(写入速率例如为7500 Mbps)的测试图。从(a)图中可以看出，曲线L1和曲线L2的变化曲线基本一致，本公开的封装基板的测试性能可以与现有技术的封装基板的写入性能保持基本一致。(b)图中曲线L3表示本实施例的封装基板的读取数据测试图，曲线L4表示现有技术的封装基板的读取数据测试图。曲线L3和曲线L4表示这两个基板在同一眼宽下，在同一读取速率(读取速率例如为7500 Mbps)的测试图。从(a)图中可以看出，曲线L3和曲线L4的变化曲线基本一致，本公开的封装基板的测试性能可以与现有技术的封装基板的读取性能保持基本一致。通过以上测试可以得出，本公开减少了引脚的数量，同时对信号引脚、控制引脚、电源引脚的位置进行重新布局，从而使得该封装基板的性能能够与现有技术的封装基板的性能保持一致，从而能够推动本实施例中的封装基板应用到小型化的电子产品中。
- [0108] 综上所述，本公开的实施例提出一种封装结构、半导体结构和电子设备。该封装结构包括基底和第一引脚阵列和第二引脚阵列，通过在第一引脚阵列和第二引脚阵列之间设置空白区域，也就是在第一引脚阵列和第二引脚阵列之间不设置引脚，由此将第一引脚阵列和第二引脚阵列隔开，因此基底上的引脚数量会减小，并且可以缩小引脚的间距，从而能够缩小基底的面积，进而缩小封装结构的面积，使得该封装结构能够应用于小型化的电子产品中。
- [0109] 同时，第一引脚阵列中的第一数据引脚和/或第二引脚阵列中的第一数据引脚与该空白区域相邻，由此该封装结构应用在电路板上时，基底上的空白区域会在电路板上对应形成空白区，因此第一数据引脚和/或第二数据引脚也会与电路板上的空白区相邻，因此可以直接在电路板的表面形成金属线，该金属线会与该封装结构和控制芯片电连接，因此不需要在电路板的内部形成金属线。
- [0110] 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化

或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求要求的保护范围为准。

权利要求书

- [权利要求 1] 一种封装结构(20)，其特征在于，包括：
基底(21)；
第一引脚阵列(30)，设置在所述基底(20)上，所述第一引脚阵列包括多个第一数据引脚(31)；
第二引脚阵列(40)，设置在所述基底(20)上，所述第二引脚阵列包括多个第二数据引脚(41)；
其中，所述第一引脚阵列(30)和所述第二引脚阵列(40)之间设置有空白区域(50)，所述空白区域(50)从所述基底(20)的中心向所述基底(20)的边缘延伸，所述空白区域(50)的端部位于所述第一引脚阵列(30)的外侧，至少一个所述第一数据引脚(31)和/或至少一个所述第二数据引脚(41)与所述空白区域(50)相邻，所述空白区域(50)的最小尺寸大于所述第一数据引脚(31)的直径。
- [权利要求 2] 根据权利要求1所述的封装结构，其特征在于，在所述第一引脚阵列中，第K行中所述第一数据引脚的数量大于与第L行中所述第一数据引脚的数量；
其中，第K与所述空白区域相邻，第L行与第K行相邻。
- [权利要求 3] 根据权利要求1或2所述的封装结构，其特征在于，在所述第二引脚阵列中，第M行中所述第二数据引脚的数量大于与第N行中所述第二数据引脚的数量；
其中，第M与所述空白区域相邻，第N行与第M行相邻。
- [权利要求 4] 根据权利要求3所述的封装结构，其特征在于，第K行中所述第一数据引脚与第M行中所述第二数据引脚相对或错位设置，第L行中所述第一数据引脚与第N行中所述第二数据引脚相对设置。
- [权利要求 5] 根据权利要求3所述的封装结构，其特征在于，在第N行中，至少一个所述第二数据引脚与所述空白区域相邻。

- [权利要求 6] 根据权利要求3所述的封装结构，其特征在于，在第K行中，相邻的所述第一数据引脚之间设置有第一电源引脚；在第M行中，相邻的所述第二数据引脚之间设置有第二电源引脚；
其中，所述第一电源引脚用于传输第一电压，所述第二电源引脚用于传输第二电压，所述第一电压高于所述第二电压。
- [权利要求 7] 根据权利要求6所述的封装结构，其特征在于，在所述第一引脚阵列中，至多3个所述第一电源引脚在列方向上相邻设置；在所述第二引脚阵列中，至多2个所述第一电源引脚在行方向上相邻设置。
- [权利要求 8] 根据权利要求1所述的封装结构，其特征在于，所述第一数据引脚用于传输高阶数据字节信号，所述第二数据引脚用于传输低阶数据字节信号；或者，所述第一数据引脚用于传输低阶数据字节信号，所述第二数据引脚用于传输高阶数据字节信号。
- [权利要求 9] 根据权利要求6-8任一项所述的封装结构，其特征在于，所述第一引脚阵列还包括：
第一读取选通引脚，与所述第一数据引脚间隔设置；
第一写时钟引脚，与所述第一数据引脚间隔设置；
其中，所述第一读取选通引脚与所述第一写时钟引脚之间设置有所述第一电源引脚和所述第二电源引脚。
- [权利要求 10] 根据权利要求9所述的封装结构，其特征在于，所述第一写时钟引脚与所述空白区域相邻。
- [权利要求 11] 根据权利要求6-8任一项所述的封装结构，其特征在于，所述第二引脚阵列还包括：
第二读取选通引脚，与所述第二数据引脚间隔设置；
第二写时钟引脚，与所述第二数据引脚间隔设置；
其中，所述第二读取选通引脚与所述第二写时钟引脚错位设置，至少一个所述第二读取选通引脚与至少一个所述第二写时钟引脚相邻。

- [权利要求 12] 根据权利要求11所述的封装结构，其特征在于，所述第二读取选通引脚与所述第一电源引脚相邻，所述第二写时钟引脚与所述第二电源引脚相邻。
- [权利要求 13] 根据权利要求6-8任一项所述的封装结构，其特征在于，所述基底上设置有：
第三引脚阵列，包括多个控制引脚；
其中，至少一个所述控制引脚与所述空白区域相邻。
- [权利要求 14] 根据权利要求13所述的封装结构，其特征在于，所述控制引脚包括多个命令地址引脚，其中，至多2个所述命令地址引脚相邻设置；至少一个所述命令地址引脚与所述空白区域相邻。
- [权利要求 15] 根据权利要求14所述的封装结构，其特征在于，所述第一引脚阵列中的所述第二电源引脚与所述第三引脚阵列中的所述命令地址引脚相邻；所述第二引脚阵列中的所述第一电源引脚与所述第三引脚阵列中的所述控制引脚相邻。
- [权利要求 16] 根据权利要求14所述的封装结构，其特征在于，所述命令地址引脚和所述第一写时钟引脚位于所述空白区域的相对侧。
- [权利要求 17] 一种半导体结构(10)，其特征在于，包括：如权利要求1-16任一所述的封装结构(20)和设置在所述封装结构上的芯片(12)。
- [权利要求 18] 一种电子设备(100)，其特征在于，包括：
电路板(110)，所述电路板上设置有第一芯片(120)，所述电路板上
有空白区(130)，所述空白区的表面上设置有金属线(140)；
如权利要求1-16任一项所述的封装结构(20)，设置在所述电路板上，所述封装结构中的空白区域对应所述空白区；
第二芯片，设置在所述封装结构(20)上；
其中，所述第一芯片通过所述金属线与所述第二芯片电连接。