

半导体结构及其制作方法

交叉引用

- 5 [0001] 本申请要求于2020年4月8日递交的名称为“半导体结构及其制作方法”、申请号为202010267288.4的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

- 10 [0002] 本申请实施例涉及半导体领域，特别涉及一种半导体结构及其制作方法。

背景技术

- [0003] 随着动态随机存取存储器（Dynamic Random Access Memory，DRAM）的特征尺寸和线宽不断减小，相邻位线结构之间间距也变得越来越大。而相邻
15 位线结构之间间距变小，会导致相邻位线结构之间的寄生电容增大，进而影响动态随机存取存储器的性能。

[0004] 如何降低相邻位线结构之间的寄生电容，以及如何在降低寄生电容的同时缩减动态随机存取存储器的制造成本，是当前亟待解决的问题。

申请内容

- 20 [0005] 本申请部分实施例提供了一种半导体结构及其制作方法，有利于降低半导体结构的成本。

- [0006] 为解决上述问题，本申请部分实施例提供一种半导体结构的制作方法，包括：提供衬底和位于所述衬底上的多个分立的位线结构，所述位线结构内具有金属层，所述金属层顶面低于所述位线结构顶面；形成填充于相邻所述位线
25 结构之间的第一隔离膜，所述第一隔离膜顶面高于所述金属层顶面且低于所述位线结构顶面；在所述位线结构顶部和侧壁以及所述第一隔离膜顶面形成第一介质膜；采用无掩膜干法刻蚀工艺，刻蚀去除位于所述位线结构顶部和所述第

一隔离膜顶面的所述第一介质膜，形成第一介质层，且刻蚀去除所述第一介质层暴露的所述第一隔离膜，形成位于所述第一介质层正下方的第一隔离层。

[0007] 另外，所述第一隔离层的材料的介电常数小于所述第一介质层的材料的介电常数。

- 5 [0008] 另外，所述第一隔离层的材料包括二氧化硅，形成所述第一隔离层的前驱气体包括硅酸乙酯和臭氧。

[0009] 另外，采用化学气相沉积工艺形成所述第一隔离膜，采用原子层沉积工艺形成所述第一介质膜。

- 10 [0010] 另外，所述第一隔离层的材料包括硅；在形成所述第一隔离层之后，对所述第一隔离层进行氧化处理，以生成二氧化硅。

[0011] 另外，在形成所述第一隔离层之后，还包括：在所述第一隔离层被所述第一介质层暴露的侧壁形成第二介质层，所述第二介质层的材料的硬度大于所述第一隔离层的材料的硬度。

- 15 [0012] 另外，形成所述第一隔离层以及所述第一介质层的工艺步骤包括：采用第一无掩膜干法刻蚀工艺形成所述第一介质层，所述第一无掩膜干法刻蚀工艺对所述第一介质膜的刻蚀速率大于对所述第一隔离膜的刻蚀速率；采用第二无掩膜干法刻蚀工艺形成所述第一隔离层，所述第二无掩膜干法刻蚀工艺对所述第一隔离膜的刻蚀速率大于对所述第一介质膜的刻蚀速率。

- 20 [0013] 另外，所述第一隔离膜包括位于所述位线结构侧壁且具有预设厚度的第一区域以及位于所述第一区域之间的第二区域，在进行所述第二无掩膜干法刻蚀工艺之前，向所述第一区域或所述第二区域进行离子掺杂工艺，所述离子掺杂工艺用于使所述第二区域的刻蚀速率大于所述第一区域的刻蚀速率。

- 25 [0014] 另外，所述形成填充于相邻所述位线结构之间的第一隔离膜，包括：形成填充满相邻所述位线结构之间的初始隔离膜；进行平坦化工艺，以使所述初始隔离膜的顶面与所述位线结构的顶面平齐；刻蚀去除部分厚度的所述初始隔离膜，形成所述第一隔离膜。

[0015] 另外，所述第一隔离膜顶面与所述位线结构顶面的高度差范围为50nm~100nm。

[0016] 相应地，本申请部分实施例还提供了一种半导体结构，包括：衬底和位于所述衬底上的多个分立的位线结构，所述位线结构内具有金属层，所述金属层顶面低于所述位线结构顶面；第一隔离层，所述第一隔离层位于所述位线结构侧壁，所述第一隔离层的顶面高于所述金属层顶面且低于所述位线结构顶面；
5 第一介质层，所述第一介质层位于所述位线结构侧壁且位于所述第一隔离层正上方。

[0017] 另外，所述第一隔离层的材料的介电常数小于所述第一介质层的材料的介电常数。

[0018] 另外，所述第一隔离层的材料包括二氧化硅。

10 [0019] 另外，半导体结构还包括第二介质层，所述第二介质层位于所述第一隔离层被所述第一介质层暴露的侧壁，所述第二介质层的材料的硬度大于所述第一隔离层的材料的硬度。

[0020] 与现有技术相比，本申请部分实施例提供的技术方案具有以下优点：

[0021] 上述技术方案中，在位线结构顶部和侧壁形成第一介质膜，并利用无掩膜干法刻蚀工艺刻蚀形成第一介质层，第一介质层可作为刻蚀第一隔离膜时的掩膜，如此，在对第一隔离膜进行刻蚀的过程中，无需专门形成掩膜，有利于降低半导体结构的制造成本。
15

[0022] 另外，第一隔离层的顶面高于金属层顶面，且第一隔离层的介电常数小于第一介质层的介电常数，如此，有利于减小相邻金属层之间的介电常数，降低位线结构之间的寄生电容。
20

[0023] 另外，先形成材料为硅的第一隔离膜再进行氧化处理得到二氧化硅，有利于提高第一介质膜材料和第一隔离膜材料的刻蚀选择比，提高刻蚀工艺的刻蚀精度。

附图说明

25 [0024] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

[0025] 图 1 至图 7 为本申请一实施例提供的半导体结构的制作方法各步骤对应

的剖面结构示意图；

[0026] 图 8 和图 9 为本申请另一实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图。

具体实施方式

5 [0027] 随着半导体结构不断微缩，相邻位线结构之间的间距越来越小；同时，由于间距越来越小，隔离层的厚度精度存在偏差时，会对隔离层的隔离效果产生影响，甚至导致新的问题出现，如未实现有效隔离。

[0028] 在定义隔离层的位置时，通常会通过光刻胶和光罩定义出需要待刻蚀的区域，但是光罩的成本很高，且精度越高成本越高。而无论是间距变小还是对
10 隔离层的厚度精度的要求，都对光罩的精度要求越来越高，这就导致制造成本攀升，不利于产品研发和生产。

[0029] 为解决上述技术问题，本申请实施提供一种半导体结构的制作方法，包括：提供衬底和位于衬底上的多个分立的位线结构，位线结构内具有金属层，金属层顶面低于位线结构顶面；形成填充于相邻位线结构之间的第一隔离膜，
15 第一隔离膜顶面高于金属层顶面且低于位线结构顶面；在位线结构顶部和侧壁以及第一隔离膜顶面形成第一介质膜；采用无掩膜干法刻蚀工艺，刻蚀去除位于位线结构顶部和第一隔离膜顶面的第一介质膜，形成第一介质层，且刻蚀去除第一介质层暴露的第一隔离膜，形成位于第一介质层正下方的第一隔离层。

[0030] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图
20 对本申请各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0031] 图 1 至图 7 为本申请一实施例提供的半导体结构的制作方法各步骤对应
25 的剖面结构示意图。

[0032] 参考图 1，提供衬底 11 和位于衬底 11 上的多个分立的位线结构 12，位线结构 12 内具有金属层 123，金属层 123 顶面低于位线结构 12 顶面。

[0033] 衬底 11 内包括埋入式字线、浅沟槽隔离结构、有源区等结构。位线结构

12 包括位线接触 121、底层介质层 122、金属层 123 以及顶层介质层 124，位线接触 121 的材料包括钨或多晶硅，底层介质层 122 和顶层介质层 124 的材料包括氮化硅、二氧化硅或氮氧化硅，金属层 123 包括多种导电材料，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等。

- 5 [0034] 本实施例中，半导体结构还包括保护层 125，保护层 125 至少覆盖在金属层 123 表面，避免金属层 123 受到损伤。

[0035] 本实施例中，保护层 125 采用原子层沉积工艺形成，原子层沉积工艺具有沉积速率慢，沉积形成的膜层致密性高和阶梯覆盖率好等特点，如此，能够使得保护层 125 能够在厚度较薄的条件下对相邻金属层 123 进行有效地隔离保护，避免保护层 125 占据相邻位线结构 12 之间本就不大的空间，有利于实现后续隔离层的填充，提高相邻金属层 123 之间的隔离效果。

[0036] 其中，保护层 125 的材料包括氮化硅或氮氧化硅。

[0037] 本实施例中，形成填充于相邻位线结构 12 之间的第一隔离膜，包括以下步骤：

- 15 [0038] 参考图 2，形成填充满相邻位线结构 12 之间的初始隔离膜 131。

[0039] 本实施例中，初始隔离膜 131 的顶面高于位线结构 12 的顶面，如此，有利于保证初始隔离膜 131 与金属层 123 紧密接触，从而保证后续形成的第一隔离层的隔离效果。

[0040] 需要说明的是，若最终形成的初始隔离膜 131 的顶面略高于金属层 123 的顶面或者与金属层 123 的顶面平齐，则初始隔离膜 131 与金属层 123 之间可能存在有空气间隙。当有其他物质进入空气间隙而造成污染时，会导致相邻金属层 123 之间的隔离效果低于预期水平；同时，若存在空气间隙，则后续形成的第一隔离层可能存在强度不足而发生坍塌等故障，进而导致隔离效果减弱甚至消失。

- 25 [0041] 本实施例中，初始隔离膜 131 的材料包括二氧化硅。例如，可采用硅酸乙酯和臭氧作为前驱气体形成二氧化硅，由于硅酸乙酯具有成本较低的特点，采用硅酸乙酯作为原料形成二氧化硅，能够降低制程工艺的成本。

[0042] 其中，形成二氧化硅的工艺包括化学气相沉积工艺或原子层沉积工艺，

由于需要形成的初始隔离膜 131 的顶面需要高于位线结构 12 的顶面,厚度较大,因此,采用沉积速率较快的化学气相沉积工艺形成初始隔离膜 131 有利于缩短制程工艺的周期。

5 [0043] 参考图 3, 进行平坦化工艺, 以使初始隔离膜 131 的顶面与位线结构 12 的顶面平齐。

[0044] 本实施例中, 采用化学机械研磨的方式将高于位线结构 12 顶面的初始隔离膜 131 去除, 化学机械研磨相对于刻蚀工艺具有较高的去除速率, 有利于缩短工艺周期。

[0045] 参考图 4, 刻蚀去除部分厚度的初始隔离膜, 形成第一隔离膜 132。

10 [0046] 被去除的初始隔离膜的厚度根据位线结构 12 的顶面和金属层 123 的顶面的高度差决定, 但需要保证第一隔离膜 132 顶面高于金属层 123 顶面且低于位线结构 12 顶面, 从而保证后续形成的第一隔离层的隔离效果。

[0047] 本实施例中, 第一隔离膜 132 顶面与位线结构 12 的顶面的高度差范围为 50nm~100nm, 例如为 60nm、75nm 或 90nm。

15 [0048] 参考图 5, 在位线结构 12 顶部和侧壁以及第一隔离膜 132 顶面形成第一介质膜 141。

[0049] 本实施例中, 采用原子层沉积工艺形成第一介质膜 141。由于原子层沉积工艺具有沉积速率较慢、阶梯覆盖率好的特点, 采用原子层沉积工艺形成第一介质膜 141 有利于保证第一介质膜 141 的厚度精度, 进而保证后续形成的第一
20 隔离层的厚度精度。

[0050] 需要说明的是, 第一介质膜 141 的厚度等于后续要形成的第一隔离层的厚度。准确的说, 位于保护层 125 侧壁的第一介质膜 141 的厚度定义了要形成的第一隔离层的厚度。

25 [0051] 本实施例中, 第一介质膜 141 的介电常数大于第一隔离膜 132 的介电常数, 第一介质膜 141 的材料包括氮化硅或氮氧化硅。需要说明的是, 第一介质膜 141 的材料选用需要尽量满足高刻蚀选择比的要求, 即第一介质膜 141 的材料与第一隔离膜 132 的材料具有较高的刻蚀选择比, 如此, 有利于保证后续刻蚀工艺的刻蚀精度, 避免刻蚀工艺对非刻蚀对象进行刻蚀。

[0052] 本实施例中，第一隔离膜包括位于位线结构 12 侧壁且具有预设厚度的第一区域 1321 以及位于第一区域 1321 之间的第二区域 1322；在进行第二无掩膜干法刻蚀工艺刻蚀第一隔离膜之前，向第一区域 1321 或第二区域 1322 进行离子掺杂工艺，以使第二区域 1322 的刻蚀速度大于第一区域 1321 的刻蚀速率；
5 其中，预设厚度的第一区域 1321 用于形成第一隔离层。如此，有利于提高第一隔离层的厚度精度。

[0053] 参照图 6，采用无掩膜干法刻蚀工艺，形成第一介质层 142 和第一隔离层 133。

[0054] 本实施例中，采用第一无掩膜干法刻蚀工艺，刻蚀去除位于位线结构 12
10 顶部和第一隔离膜顶面的第一介质膜，形成第一介质层 142；采用第二无掩膜干法刻蚀工艺，刻蚀去除第一介质层 142 暴露的第一隔离膜，形成位于第一介质层 142 正下方的第一隔离层 133。

[0055] 其中，第一无掩膜干法刻蚀工艺对第一介质膜的刻蚀速率大于对第一隔离膜的刻蚀速率，第二无掩膜干法刻蚀工艺对第一隔离膜的刻蚀速率大于对第一介质膜的刻蚀速率。如此，有利于避免在刻蚀第一介质膜时对第一隔离膜造成过多刻蚀，以及避免在刻蚀第一隔离膜时对第一介质膜造成过多刻蚀，进而保证刻蚀工艺的刻蚀精度，进而保证第一介质层 142 和第一隔离层 133 的厚度精度。
15

[0056] 参考图 7，形成第二介质层 15。

[0057] 本实施例中，在形成第一隔离层 133 之后，在第一隔离层 133 被第一介质层 142 暴露的侧壁形成第二介质层 15，第二介质层 15 的材料的硬度大于第一隔离层 133 的材料的硬度。如此，有利于对硬度较低的第一隔离层 133 进行支撑，避免第一隔离层 133 发生坍塌，进而保证第一隔离层 133 的隔离效果。
20

[0058] 本实施例中，在位线结构 12 顶部和侧壁形成第一介质膜 141，并利用无掩膜干法刻蚀工艺刻蚀形成第一介质层 142，第一介质层 142 可作为刻蚀第一隔离膜 132 时的掩膜，如此，在对第一隔离膜 132 进行刻蚀加工以形成具有预设厚度的第一隔离层 133 的工艺制程中，无需专门形成掩膜，有利于降低半导体结构的制造成本。
25

[0059] 本申请另一实施例还提供一种半导体结构的制作方法，与前一实施例不

同的是，本实施例中，初始隔离膜的材料为硅。以下将结合图 8 和图 9 进行详细说明，图 8 和图 9 为本申请另一实施例提供的半导体结构的制作方法各步骤对应的剖面结构示意图。与上一方法实施例相同或者相应的制作步骤，可参考上一方法实施例的相应说明，以下不做赘述。

- 5 [0060] 参考图 8，初始隔离膜 231 的材料包括硅，硅与常见的介质材料（例如氮化硅）之间具有较大的刻蚀选择比，有利于提高刻蚀工艺的刻蚀精度；另外，硅在进行氧化处理后可生成二氧化硅，二氧化硅的介电常数约为 3.9，小于常见的作为介质材料的氮化硅的介电常数（氮化硅的介电常数约为 7）。如此，有利于提高相邻金属层 223 之间的隔离效果，降低相邻位线结构（未标示）之间的寄生电容。

[0061] 其中，硅包括单晶硅或多晶硅。

- [0062] 参考图 9，在形成第一隔离层 233 后，对第一隔离层 233 进行湿氧氧化工艺，采用湿氧氧化工艺形成的二氧化硅，其内部会具有微小的气孔，气孔内空气的介电常数约等于 1，远小于二氧化硅的介电常数。如此，有利于提高第一隔离层 233 的隔离效果。

[0063] 在其他实施例中，采用干氧氧化工艺对第一隔离层进行氧化处理。

[0064] 本实施例中，通过预先形成材料为硅的初始隔离膜 231，提高第一隔离膜与第一介质膜的刻蚀选择比，进而提高刻蚀工艺的刻蚀精度，从而保证第一隔离层的尺寸精度。

- 20 [0065] 相应地，本申请实施例还提供一种半导体结构，可以采用上述任一方法制作。

- [0066] 参考图 7，本实施例中，半导体结构包括：衬底 11 和位于衬底 11 上的多个分立的位线结构 12，位线结构 12 内具有金属层 123，金属层 123 顶面低于位线结构 12 顶面；第一隔离层 133，第一隔离层 133 位于位线结构 12 侧壁，第一隔离层 133 顶面高于金属层 123 顶面且低于位线结构 12 顶面；第一介质层 142，第一介质层 142 位于位线结构 12 侧壁且位于第一隔离层 133 正上方。

[0067] 以下将结合附图对本申请提供的半导体结构进行详细说明。

[0068] 本实施例中，第一隔离层 133 的材料的介电常数小于第一介质层 142 的

材料的介电常数。如此，有利于提高第一隔离层 133 的隔离效果。

[0069] 本实施例中，第一隔离层 133 的材料包括二氧化硅，二氧化硅的介电常数约为 3.9；第一介质层 142 的材料包括氮化硅，氮化硅的介电常数约为 7。

[0070] 本实施例中，半导体结构还包括第二介质层 15，第二介质层 15 位于第一
5 隔离层 133 被第一介质层 142 暴露的侧壁，第二介质层 15 的材料的硬度大于第一隔离层 133 的材料的硬度。

[0071] 本实施例中，第一介质层 142 可以为第一隔离层 133 起到掩膜作用，有利于提高第一隔离层 133 的厚度精度，进而提高第一隔离层 133 的隔离效果。

[0072] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体
10 实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构的制作方法，包括：

提供衬底和位于所述衬底上的多个分立的位线结构，所述位线结构内具有金属层，所述金属层顶面低于所述位线结构顶面；

5 形成填充于相邻所述位线结构之间的第一隔离膜，所述第一隔离膜顶面高于所述金属层顶面且低于所述位线结构顶面；

在所述位线结构顶部和侧壁以及所述第一隔离膜顶面形成第一介质膜；

采用无掩膜干法刻蚀工艺，刻蚀去除位于所述位线结构顶部和所述第一隔离膜顶面的所述第一介质膜，形成第一介质层，且刻蚀去除所述第一介质层暴露的所述第一隔离膜，形成位于所述第一介质层正下方的第一隔离层。

10
2. 根据权利要求 1 所述的方法，其中，所述第一隔离层的材料的介电常数小于所述第一介质层的材料的介电常数。
3. 根据权利要求 2 所述的方法，其中，所述第一隔离层的材料包括二氧化硅，形成所述第一隔离层的前驱气体包括硅酸乙酯和臭氧。
- 15 4. 根据权利要求 3 所述的方法，其中，采用化学气相沉积工艺形成所述第一隔离膜，采用原子层沉积工艺形成所述第一介质膜。
5. 根据权利要求 1 所述的方法，其中，所述第一隔离层的材料包括硅；在形成所述第一隔离层之后，对所述第一隔离层进行氧化处理，以生成二氧化硅。
6. 根据权利要求 5 所述的方法，其中，在形成所述第一隔离层之后，还包括：

20 在所述第一隔离层被所述第一介质层暴露的侧壁形成第二介质层，所述第二介质层的材料的硬度大于所述第一隔离层的材料的硬度。
7. 根据权利要求 1 所述的方法，其中，形成所述第一隔离层以及所述第一介质层的工艺步骤包括：采用第一无掩膜干法刻蚀工艺形成所述第一介质层，所述第一无掩膜干法刻蚀工艺对所述第一介质膜的刻蚀速率大于对所述第一隔离膜的刻蚀速率；采用第二无掩膜干法刻蚀工艺形成所述第一隔离层，所述第二无掩膜干法刻蚀工艺对所述第一隔离膜的刻蚀速率大于对所述第一介质膜的刻蚀速率。
- 25

8. 根据权利要求 7 所述的方法, 其中, 所述第一隔离膜包括位于所述位线结构侧壁且具有预设厚度的第一区域以及位于所述第一区域之间的第二区域, 在进行所述第二无掩膜干法刻蚀工艺之前, 向所述第一区域或所述第二区域进行离子掺杂工艺, 所述离子掺杂工艺用于使所述第二区域的刻蚀速率大于所述
5 所述第一区域的刻蚀速率。
9. 根据权利要求 7 所述的方法, 其中, 所述形成填充于相邻所述位线结构之间的第一隔离膜, 包括: 形成填充满相邻所述位线结构之间的初始隔离膜; 进行平坦化工艺, 以使所述初始隔离膜的顶面与所述位线结构的顶面平齐; 刻蚀去除部分厚度的所述初始隔离膜, 形成所述第一隔离膜。
10. 根据权利要求 1 所述的方法, 所述第一隔离膜顶面与所述位线结构顶面的高度差范围为 50nm~100nm。
11. 一种半导体结构, 包括:
- 衬底和位于所述衬底上的多个分立的位线结构, 所述位线结构内具有金属层, 所述金属层顶面低于所述位线结构顶面;
- 15 第一隔离层, 所述第一隔离层位于所述位线结构侧壁, 所述第一隔离层的顶面高于所述金属层顶面且低于所述位线结构顶面;
- 第一介质层, 所述第一介质层位于所述位线结构侧壁且位于所述第一隔离层正上方。
12. 根据权利要求 11 所述的结构, 其中, 所述第一隔离层的材料的介电常数小于
20 所述第一介质层的材料的介电常数。
13. 根据权利要求 12 所述的结构, 其中, 所述第一隔离层的材料包括二氧化硅。
14. 根据权利要求 11 所述的结构, 其中, 还包括: 第二介质层, 所述第二介质层位于所述第一隔离层被所述第一介质层暴露的侧壁, 所述第二介质层的材料的硬度大于所述第一隔离层的材料的硬度。