

权利要求书

1、一种时钟电路，包括：

数据选通时钟模块，用于接收数据选通时钟信号并传输所述数据选通时钟信号，所述数据选通时钟信号用于控制数据信号的接收和/或发送；

系统时钟模块，用于接收系统时钟信号并传输所述系统时钟信号，所述系统时钟信号用于控制命令信号的接收；

其中，所述系统时钟模块包括至少两条第一信号传输路径，并被配置为，根据所述数据信号的接收和/或发送速率的不同，采用不同的第一信号传输路径以传输所述系统时钟信号。

2、根据权利要求1所述的时钟电路，其中，所述数据选通时钟模块包括至少两条第二信号传输路径，具有不同传输速度的所述数据选通时钟信号经由不同的所述第二信号传输路径传输，所述传输速度与所述接收和/或发送速率相对应，且每一所述第二信号传输路径与每一所述第一信号传输路径对应；其中，所述系统时钟模块被配置为，所述数据选通时钟信号通过一所述第二信号传输路径传输，则所述系统时钟信号通过与所述第二信号传输路径对应的所述第一信号传输路径进行传输。

3、根据权利要求2所述的时钟电路，其中，所述数据选通时钟模块包括：第一数据选通时钟传输电路和第二数据选通时钟传输电路，所述第一数据选通时钟传输电路和所述第二数据选通时钟传输电路分别定义不同的所述第二信号传输路径；所述数据选通时钟模块被配置为，若所述传输速率大于或等于预设值，所述数据选通时钟信号通过所述第一数据选通时钟传输电路传输；若所述传输速率小于所述预设值，所述数据选通时钟信号通过第二数据选通时钟传输电路传输。

4、根据权利要求3所述的时钟电路，其中，所述第一数据选通时钟传输电路包括第一分频单元；所述第二数据选通时钟传输电路包括第二分频单元；所述第一分频单元和所述第二分频单元均被配置为，对所述数据选通时钟信号进

行分频，并输出至少两种不同相位的分频后数据选通时钟信号。

5、根据权利要求4所述的时钟电路，其中，所述第一分频单元具有功耗与所述数据选通时钟信号的频率的第一相关性，所述第二分频单元具有功耗与所述数据选通时钟信号的频率的第二相关性，所述第一相关性小于所述第二相关性；或者，所述第一分频单元具有第一抗干扰能力，所述第二分频单元具有第二抗干扰能力，所述第一抗干扰能力大于所述第二抗干扰能力。

6、根据权利要求4或5所述的时钟电路，其中，所述第一分频单元包括电流模式逻辑分频电路，所述第二分频单元包括CMOS分频电路。

7、根据权利要求6所述的时钟电路，其中，所述第一数据选通时钟传输电路还包括：电流模式逻辑转CMOS单元，用于连接所述电流模式逻辑分频电路，并输出所述分频后数据选通时钟信号。

8、根据权利要求6所述的时钟电路，其中，所述第二数据选通时钟传输电路还包括：电流模式逻辑转CMOS单元，用于向所述CMOS分频电路输出所述数据选通时钟信号。

9、根据权利要求3所述的时钟电路，其中，所述第一数据选通时钟传输电路和所述第二数据选通时钟传输电路均包括缓冲器，用于缓冲接收所述数据选通时钟信号。

10、根据权利要求9所述的时钟电路，其中，所述缓冲器为电流模式逻辑缓冲器。

11、根据权利要求3所述的时钟电路，其中，所述系统时钟模块包括：第一系统时钟传输电路和第二系统时钟传输电路，所述第一系统时钟传输电路和所述第二系统时钟传输电路分别定义不同的所述第一信号传输路径；所述系统时钟模块被配置为，若所述数据选通时钟信号通过所述第一数据选通时钟传输电路进行传输，所述系统时钟信号通过所述第一系统时钟传输电路传输；若所述数据选通时钟信号通过所述第二数据选通时钟传输电路传输，所述系统时钟信号通过所述第二系统时钟传输电路进行传输。

12、根据权利要求11所述的时钟电路，其中，所述第一系统时钟传输电路

包括第一分频单元模型, 所述第二系统时钟传输电路包括第二分频单元模型; 所述第一分频单元模型用于匹配所述第一数据选通时钟传输电路的时钟延迟, 所述第二分频单元模型用于匹配所述第二数据选通时钟传输电路的时钟延迟。

13、根据权利要求 12 所述的时钟电路, 其中, 所述第一分频单元模型包括电流模式逻辑分频电路模型, 所述第二分频单元模型包括 CMOS 分频电路模型。

14、根据权利要求 13 所述的时钟电路, 其中, 所述第一系统时钟传输电路还包括电流模式逻辑转 CMOS 单元, 用于连接所述电流模式逻辑分频电路模型, 并输出所述系统时钟信号。

15、根据权利要求 14 所述的时钟电路, 其中, 所述第二系统时钟传输电路还包括电流模式逻辑转 CMOS 单元, 用于向所述 CMOS 分频电路模型输出所述系统时钟信号。

16、根据权利要求 15 所述的时钟电路, 其中, 所述第一系统时钟传输电路和所述第二系统时钟传输电路均包括缓冲器, 用于缓冲接收所述系统时钟信号。

17、根据权利要求 16 所述的时钟电路, 其中, 所述缓冲器为电流模式逻辑缓冲器。

18、根据权利要求 11 所述的时钟电路, 其中, 所述数据选通时钟模块还包括: 第一选择电路, 所述第一选择电路用于选择所述第一数据选通时钟传输电路和所述第二数据选通时钟传输电路两者之一的输出信号进行输出; 所述系统时钟模块还包括: 第二选择电路, 所述第二选择电路用于选择所述第一系统时钟传输电路和所述第二系统时钟传输电路两者之一的输出信号进行输出。

19、根据权利要求 18 所述的时钟电路, 其中, 所述时钟电路还包括: 握手模块, 所述握手模块连接所述第一选择电路和所述第二选择电路的输出, 用于确定所述系统时钟信号和所述数据选通时钟信号的相位关系。

20、一种存储器, 包括:

如权利要求 1-19 任一项所述的时钟电路。