

说明书
一种芯片、芯处制造方法、计算设备及信号传输方法

本申请要求于 2023 年 07 月 21 日提交国家知识产权局、申请号为 202310905856.2、发明名称为“一种芯片、芯处制造方法、计算设备及信号传输方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及电子器件封装领域，尤其涉及一种芯片、芯片制造方法、计算设备及信号传输方法。

背景技术

随着存储技术的不断发展，双倍速率同步动态随机存储（DDR SDRAM, double data rate synchronous dynamic random access memory）系统在计算类产品中得到广泛应用，例如但不限于服务器产品。然而，随着 DDR 代系的演进，DDR 系统的性能提升对芯片封装技术提出了更高的要求。

在 DDR 系统中，通道数量越来越多，输入/输出（input/output, I/O）管脚也随之增多，导致芯片封装尺寸越来越大。较大封装尺寸通常意味着较大的体积和质量，芯片与印刷电路板（PCB, Printed Circuit Board）焊接会产生更多的热量，芯片封装件与 PCB 大多具有不同的材料热膨胀系数，这会导致较大的焊接温度梯度，引起热应力和热疲劳，增加焊点的风险。此外，大尺寸封装件的形变更难以控制，易于导致焊接缺陷和不良连接的风险，直接影响产品成本和良率。

另一方面，DDR 接口速率越来越快，这对相邻信号之间的串扰产生了更大的影响。为了减少管脚之间的电磁串扰，一种典型的处理方式是在芯片封装基板的管脚周围设置接地焊球，可以降低电磁串扰的影响，而接地焊球的设置将增大芯片尺寸。

因此，对于芯片封装基板的管脚排布方式，需要兼顾两个趋势性设计要求：高密度排布和低串扰，以满足产品的性能需求。

发明内容

本申请实施例提供了一种芯片、芯片制造方法、计算设备及信号传输方法，能够提高排布密度，并有效降低电磁串扰。

本申请实施例第一方面提供了一种芯片，该芯片的芯粒设置在其封装基板上，该封装基板为芯粒封装的载体。在封装基板的管脚区设置有多组管脚排布图形单元，该多组管脚排布图形单元中的至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元。其中，该基础图形单元的六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置，第一方向与第二方向不同，且第五管脚和第六管脚分别位于第二管脚和第三管脚的连线的两侧。此外，第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，第二管脚和第三管脚为控制信号管脚。

如此设置，基础图形单元的各管脚呈十字型样态排布，将四个数据信号管脚分别布置在十字型图形单元的四个外伸端部，并将控制信号管脚布置在十字型图形单元的中部，各数据信号管脚之间得以相互远离，每个数据信号管脚均无可形成串扰源的相邻数据信号管脚，能够有效规避相邻数据信号管脚之间电磁串扰的影响。基于该管脚排布（Pinmap）方案，一方面，有效降低了管脚间的电磁串扰，可支撑更高的 DDR 运行速率；另一方面，可提高管脚排布的密度，节省封装面积，为进一步提升产品良率和降低加工成本提供了技术保障。

示例性的，封装基板管脚区的各管脚可以为焊球结构，通过焊接与电路板上的相应焊盘电连接。封装基板管脚区的各管脚还可以为金属接触点结构，电路板上相应设置有金属弹片，金属接触点与金属弹片可以一一对应设置，组装完成的金属接触点压抵金属弹片，并通过产生形变的金属弹片保持与相适配的金属接触点的可靠电连接。

在实际应用中，封装基板管脚区的多个管脚排布图形单元，可以根据实际功能需要配置为不同样态的管脚排布方式；例如，其中的一部分管脚排布图形单元，配置为该十字型样态的基础图形单元，以用于搭建 DDR 内存系统的通道；其中另一部分管脚排布图形单元，配置为包括其他样态排布的图形单元，以实现与相应外部电路的电连接；也就是说，封装基板管脚区的管脚排布可以由若干种图形单元组合排列得到。

基于第一方面，本申请实施例还提供了第一方面的第一种实施方式：其中的第五管脚和第六管脚设置在第二管脚与第三管脚的连线的垂线上，这里，第一方向与第二方向相垂直。进一步地，该第五管脚和第六管脚可以设置在第二管脚与第三管脚的连线的中垂线上，整体上具有较好结构对称性，以便在管脚区获得更加紧凑的整体布局。

在实际应用中，第五管脚与第六管脚的连线，还可以与第二管脚与第三管脚的连线呈其他角度相交设置，同样可以使得各数据信号管脚之间相互远离，降低电磁串扰。

基于第一方面，或第一方面的第一种实施方式，本申请实施例还提供了第一方面的第二种实施方式：该基础图形单元采用中心对称结构，或者采用轴对称结构。这样，可充分利用管脚区实现高密度布置，在有效降低管脚之间电磁串扰的基础上，能够更加合理的控制封装尺寸。

基于第一方面，或第一方面的第一种实施方式，或第一方面的第二种实施方式，本申请实施例还提供了第一方面的第三种实施方式：该封装基板管脚区的管脚呈阵列排布，其中行列间的各管脚均错位布置，也就是说，每一行管脚和每一列管脚之间均彼此交错排列，在有限的布置空间中可排布尽量多的管脚，可实现十字型排布图形单元的紧密交替排布，并进一步提高管脚排布密度。

基于第一方面，或第一方面的第一种实施方式，或第一方面的第二种实施方式，本申请实施例还提供了第一方面的第四种实施方式：该封装基板管脚区的各管脚呈三角形网格状排列，管脚和与其邻近的两个管脚的连线构成等边三角形。这样，可进一步实现十字型排布图形单元的紧密交替排布，提高管脚排布密度。

基于第一方面，或第一方面的第一种实施方式，或第一方面的第二种实施方式，或第一方面的第三种实施方式，或第一方面的第四种实施方式，本申请实施例还提供了第一方面的第五种实施方式：该基础图形单元还包括接地管脚，这里，接地管脚布置在六个信号管脚的外围。这样，基于接地管脚的布置，可以提供低阻抗的接地路径，形成均匀的地电位，由此将电磁场的能量引导到地平面，从而减少信号管脚之间的电磁串扰，有助于保持信号的完整性，并可减少噪声。

示例性的，该接地管脚可以为焊球结构，或者可以为金属接触点结构。

基于第一方面的第五种实施方式，本申请实施例还提供了第一方面的第六种实施方式：该基础图形单元的接地管脚为十四个，在六个信号管脚的外围布置，十四个接地管脚依次间隔布置；整体上，十四个接地管脚依次间隔排布形成十四边形；与两个相邻的接地管脚邻近的数据信号管脚，和这两个相邻的接地管脚的连线构成等边三角形。如此设置，充分利用了管脚行列间错位布置的管脚区空间，依据交替排布的规则构建 Pinmap 单元，任意两个相邻管脚之间的距离一致。在提供回流地功能的同时，能够提高管脚排布密度，兼具较高的信地比。

基于第一方面的第五种实施方式，或第一方面的第六种实施方式，本申请实施例还提供了第一方面的第七种实施方式：两个基础图形单元相邻接设置，其中一个为第一基础图形单元，其中另一个为第二基础图形单元，第一基础图形单元和第二基础图形单元的相邻侧共用接地管脚，换言之，两个基础图形单元相邻侧的接地管脚共用。这样，在有效降低电磁串扰外，管脚布局密度更加紧凑合理。

在实际应用中，基于封装基板管脚区的管脚行列间错位布置，可以通过平移或旋转平移后拼接形成不同形式的管脚排布组合单元。例如，一个十字型样态的管脚排布图形单元，可对应传输一个半字节单位的数据，两个管脚排布图形单元拼接形成的管脚排布组合单元，可对应于传输一个字节单位的数据。

示例性的，管脚排布组合单元的两个管脚排布图形单元，一者可以为相对于另一者平移后形成的图形单元；或者，一者可以为相对于另一者旋转且平移后形成的图形单元。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第八种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第一方向上的平移，第一基础图形单元和第二基础图形具有一个共用接地管脚，第一基础图形单元的第一管脚、第二管脚、第三管脚和第四管脚，

与第二基础图形单元的第一管脚、第二管脚、第三管脚和第四管脚布置在同一方向上；该共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第九种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第二方向上的平移，第一基础图形单元第五管脚和第六管脚，与第二基础图形单元的第五管脚和第六管脚布置在同一方向上；第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，这两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第五管脚之间。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第十种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元的第一管脚、第二管脚、第三管脚和第四管脚，与第二基础图形单元的第六管脚布置在同一方向上；第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第十一种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元的第五管脚和第六管脚，与第二基础图形单元的第一管脚布置在同一方向上；第一基础图形单元的第四管脚，与第二基础图形单元的第五管脚和第六管脚布置在同一方向上；第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间，其中另外两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第十二种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元的第四管脚，与第二基础图形单元的第一管脚布置在同一方向上；第一基础图形单元的第六管脚，与第二基础图形单元的第五管脚布置在同一方向上；第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间，其中另外两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间。

基于第一方面的第七种实施方式，本申请实施例还提供了第一方面的第十三种实施方式：第一基础图形单元和第二基础图形单元互为平移旋转图形，第一基础图形单元的第一管脚和第五管脚，与第二基础图形单元的第五管脚和第六管脚布置在同一方向上；第一基础图形单元的第六管脚和第四管脚，与第二基础图形单元的第一管脚布置在同一方向上；第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚与第一基础图形单元的第五管脚邻近，其中另外两个共用接地管脚与第一基础图形单元的第四管脚邻近。

基于第一方面的第五种实施方式，本申请实施例还提供了第一方面的第十四种实施方式：该基础图形单元的接地管脚为十四个，十四个接地管脚依次间隔布置在六个信号管脚的外围；并且，在第一方向上，第一接地管脚位于第一管脚的旁侧，第八接地管脚位于第四管脚的旁侧，同时，第二接地管脚、第三接地管脚、第四接地管脚、第五接地管脚、第六接地管脚和第七接地管脚，顺次布置在第一接地管脚和第八接地管脚之间；第九接地管脚、第十接地管脚、第十一接地管脚、第十二接地管脚、第十三接地管脚和第十四接地管脚，顺次布置在第八接地管脚和第一接地管脚之间。整体布局更加紧凑合理。

基于第一方面的第十四种实施方式，本申请实施例还提供了第一方面的第十五种实施方式：两个基础图形单元相邻接设置，两个基础图形单元中的一个为第一基础图形单元，两个基础图形单元中的另一个为第二基础图形单元，第一基础图形单元和第二基础图形单元的相邻侧共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第十六种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，其中，第一基础图形单元的第八接地管脚，与第二基础图形单元的第一接地管脚为共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第十七种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，其中，第一基础图形单元的第十二接地管脚，与第二基

基础图形单元的第四接地管脚为共用接地管脚；其中，第一基础图形单元的第十一接地管脚，与第二基础图形单元的第五接地管脚为共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第十八种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，其中，第一基础图形单元的第七接地管脚，与第二基础图形单元的第一接地管脚为共用接地管脚；其中，第一基础图形单元的第八接地管脚，与第二基础图形单元的第十四接地管脚为共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第十九种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，其中，第一基础图形单元的第十二接地管脚，与第二基础图形单元的第二接地管脚为共用接地管脚；其中，第一基础图形单元的第十一接地管脚，与第二基础图形单元的第三接地管脚为共用接地管脚；其中，第一基础图形单元的第十接地管脚，与第二基础图形单元的第四接地管脚为共用接地管脚；其中，第一基础图形单元的第九接地管脚，与第二基础图形单元的第五接地管脚为共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第二十种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，其中，第一基础图形单元的第十一接地管脚，与第二基础图形单元的第一接地管脚为共用接地管脚；其中，第一基础图形单元的第十接地管脚，与第二基础图形单元的第二接地管脚为共用接地管脚；其中，第一基础图形单元的第九接地管脚，与第二基础图形单元的第三接地管脚为共用接地管脚；其中，第一基础图形单元的第八接地管脚，与第二基础图形单元的第四接地管脚为共用接地管脚。

基于第一方面的第十五种实施方式，本申请实施例还提供了第一方面的第二十一实施方式：第一基础图形单元和第二基础图形单元互为平移旋转图形；其中，第一基础图形单元的第五接地管脚，与第二基础图形单元的第五接地管脚为共用接地管脚；其中，第一基础图形单元的第六接地管脚，与第二基础图形单元的第四接地管脚为共用接地管脚；其中，第一基础图形单元的第七接地管脚，与第二基础图形单元的第三接地管脚为共用接地管脚；其中，第一基础图形单元的第八接地管脚，与第二基础图形单元的第二接地管脚为共用接地管脚。

基于第一方面，或第一方面的第一种实施方式，或第一方面的第二种实施方式，或第一方面的第三种实施方式，或第一方面的第四种实施方式，或第一方面的第五种实施方式，或第一方面的第六种实施方式，或第一方面的第七种实施方式，或第一方面的第八种实施方式，或第一方面的第九种实施方式，或第一方面的第十种实施方式，或第一方面的第十一种实施方式，或第一方面的第十二种实施方式，或第一方面的第十三种实施方式，或第一方面的第十四种实施方式，或第一方面的第十五种实施方式，或第一方面的第十六种实施方式，或第一方面的第十七种实施方式，或第一方面的第十八种实施方式，或第一方面的第十九种实施方式，或第一方面的第二十种实施方式，或第一方面的第二十一实施方式，本申请实施例还提供了第一方面的第二十二种实施方式：对于包括六个信号管脚的基础图形单元，其第一管脚、第四管脚、第五管脚和第六管脚为单端信号管脚，用于传输 DQ 数据信号；其第二管脚和第三管脚为差分信号管脚，用于传输 DQS 信号，这样，当两个控制信号管脚传输 DQS 差分时钟信号时，差分信号对在传输中极性相反，也即差分信号对的两个管脚上传输的信号振幅相反，由此，对第二方向与其上下相邻的两个单端信号管脚的干扰可以完全抵消，对第一方向左右两个单端信号管脚的串扰可以部分抵消，降低了单端信号受到的总串扰量。

在实际应用中，例如在 X8 场景下，差分信号管脚可以被配置为复用 DM 信号的通道，以传输 DM 信号，以提供对每个数据位的屏蔽和选择性写入。当控制信号管脚用于传输 DM 信号时，实际产生的电磁串扰较低，不会影响数据信号管脚传输数据。

基于第一方面，本申请实施例还提供了第一方面的第二十三种实施方式：该芯片可以为中央处理器，其中，中央处理器配置有多个内存通道。具体来说，该内存通道包括多个字节单位，该字节单位对应至少部分基础图形单元中的两个，该基础图形单元中的数据信号管脚用于传输对应的字节单位的数据信号。由此，基于管脚间电磁串扰的有效降低，可获得更高的数据传输速度和更高的访问效率。

本申请实施例第二方面提供了一种电子设备，包括外壳和设置在外壳内的电路板，在电路板上设置有芯片；该芯片采用如前所述的芯片，且芯片的信号管脚与电路板电连接。

在实际应用中，该电子设备可以为服务器、超级计算机或以太网交换机等计算设备，还可以为移动电话、学习机或笔记本电脑等终端设备。

本申请实施例第三方面提供了一种芯片制造方法，该制造方法将芯粒设置在封装基板上，并将芯粒与封装基板组装在一起，形成该芯片；具体地，在封装基板的管脚区设置有多个管脚排布图形单元，该多个管脚排布图形单元中的至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元。其中，该基础图形单元的六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置，第一方向与第二方向不同，且第五管脚和第六管脚分别位于第二管脚和第三管脚的连线的两侧；其中，第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，第二管脚和第三管脚为控制信号管脚；该方法包括如下步骤：通过第一管脚、第四管脚、第五管脚和第六管脚传输数据信号，通过第二管脚和第三管脚传输控制信号。基于十字型排布的基础图形单元，通过良好的防串扰性能保证该芯片正确的信号传输，从而为高性能和可靠性的系统应用提供了技术保障。

基于第三方面，本申请实施例还提供了第三方面的第一种实施方式：其中的第五管脚和第六管脚设置在第二管脚与第三管脚的连线的垂线上，这里，第一方向与第二方向相垂直。

基于第三方面的第一种实施方式，本申请实施例还提供了第三方面的第二种实施方式：第五管脚和第六管脚配置在第二管脚与第三管脚连线的中垂线上，基础图形单元采用中心对称结构，还可以采用轴对称结构。

基于第三方面，或第三方面的第一种实施方式，或第三方面的第二种实施方式，本申请实施例还提供了第三方面的第三种实施方式：该封装基板管脚区的各管脚呈三角形网格状排列，具体地，管脚和与其邻近的两个管脚的连线构成等边三角形。这样，可进一步实现十字型排布图形单元的紧密交替排布，提高管脚排布密度。

基于第三方面的第三种实施方式，本申请实施例还提供了第三方面的第四种实施方式：两个基础图形单元相邻接设置，两个基础图形单元中的一者为第一基础图形单元，两个基础图形单元中的另一者为第二基础图形单元，且第一基础图形单元和第二基础图形单元的相邻侧共用接地管脚，换言之，两个基础图形单元相邻侧的接地管脚共用。这样，在有效降低电磁串扰外，管脚布局密度更加紧凑合理。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第五种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第一方向上的平移，第一基础图形单元和第二基础图形具有一个共用接地管脚，该共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第六种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第二方向上的平移，第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，这两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第五管脚之间。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第七种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第八种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间，其中另外两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第九种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间，其中另

外两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间。

基于第三方面的第四种实施方式，本申请实施例还提供了第三方面的第十种实施方式：第一基础图形单元和第二基础图形单元互为平移旋转图形，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚与第一基础图形单元的第五管脚邻近，其中另外两个共用接地管脚与第一基础图形单元的第四管脚邻近。

本申请实施例第四方面提供了一种信号传输方法，该信号传输方法应用于一种芯片，具体地，该芯片包括封装基板，在封装基板的管脚区设置多个管脚排布图形单元，该多个管脚排布图形单元中的至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元。其中，该基础图形单元的六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置，第一方向与第二方向不同，且第五管脚和第六管脚分别位于第二管脚和第三管脚的连线的两侧；其中，第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，第二管脚和第三管脚为控制信号管脚；该方法包括如下步骤：通过第一管脚、第四管脚、第五管脚和第六管脚传输数据信号，通过第二管脚和第三管脚传输控制信号。基于十字型排布的基础图形单元，通过良好的防串扰性能保证该芯片正确的信号传输，从而为高性能和可靠性的系统应用提供了技术保障。

基于第四方面，本申请实施例还提供了第四方面的第一种实施方式：其中的第五管脚和第六管脚设置在第二管脚与第三管脚的连线的垂线上，这里，第一方向与第二方向相垂直。

基于第四方面的第一种实施方式，本申请实施例还提供了第四方面的第二种实施方式：第五管脚和第六管脚配置在第二管脚与第三管脚连线的中垂线上，基础图形单元采用中心对称结构，还可以采用轴对称结构。

基于第四方面，或第四方面的第一种实施方式，或第四方面的第二种实施方式，本申请实施例还提供了第四方面的第三种实施方式：该封装基板管脚区的各管脚呈三角形网格状排列，具体地，管脚和与其邻近的两个管脚的连线构成等边三角形。这样，可进一步实现十字型排布图形单元的紧密交替排布，提高管脚排布密度。

基于第四方面的第三种实施方式，本申请实施例还提供了第四方面的第四种实施方式：两个基础图形单元相邻接设置，两个基础图形单元中的一者为第一基础图形单元，两个基础图形单元中的另一者为第二基础图形单元，且第一基础图形单元和第二基础图形单元的相邻侧共用接地管脚，换言之，两个基础图形单元相邻侧的接地管脚共用。这样，在有效降低电磁串扰外，管脚布局密度更加紧凑合理。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第五种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第一方向上的平移，第一基础图形单元和第二基础图形具有一个共用接地管脚，该共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第六种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在第二方向上的平移，第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，这两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第五管脚之间。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第七种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元和第二基础图形具有两个间隔布置共用接地管脚，两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第一管脚之间。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第八种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上的平移，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间，其中另外两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第九种实施方式：第一基础图形单元和第二基础图形单元互为平移图形，该平移可以为在与第一方向和第二方向分别成夹角的方向上

的平移，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚位于第一基础图形单元的第四管脚与第二基础图形单元的第五管脚之间，其中另外两个共用接地管脚位于第一基础图形单元的第六管脚与第二基础图形单元的第一管脚之间。

基于第四方面的第四种实施方式，本申请实施例还提供了第四方面的第十种实施方式：第一基础图形单元和第二基础图形单元互为平移旋转图形，第一基础图形单元和第二基础图形具有四个共用接地管脚；四个共用接地管脚的依次间隔布置，其中两个共用接地管脚与第一基础图形单元的第五管脚邻近，其中另外两个共用接地管脚与第一基础图形单元的第四管脚邻近。

本申请实施例第五方面提供了一种 CPU 读取发送数据的方法，该 CPU 包括封装基板，封装基板的管脚区包括数据信号管脚和数据选通信号管脚，且数据信号管脚和数据选通信号管脚依据管脚排布图形单元进行排布，管脚排布图形单元包括六个信号管脚，六个信号管脚中的第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，六个信号管脚中的第二管脚和第三管脚为数据选通信号管脚；其中，第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，第五管脚和第六管脚在第二方向上间隔设置，第五管脚和第六管脚配置在第二管脚与第三管脚连线的垂线上，且分别位于第二管脚和第三管脚的两侧；该 CPU 读取发送数据的方法包括以下步骤：响应 DDR 信号的写入指令或者读取指令；根据写入指令通过数据信号管脚向 DDR 内存发送数据，并通过数据选通信号管脚输出数据选通信号；或者，根据读取指令通过数据信号管脚从 DDR 内存接收数据，并通过数据选通信号管脚读取数据选通信号。

本申请实施例第六方面提供了一种 CPU 读取数据的方法，该 CPU 包括封装基板，封装基板的管脚区包括数据信号管脚和数据选通信号管脚，且数据信号管脚和数据选通信号管脚依据管脚排布图形单元进行排布，管脚排布图形单元包括六个信号管脚，六个信号管脚中的第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，六个信号管脚中的第二管脚和第三管脚为数据选通信号管脚；其中，第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，第五管脚和第六管脚在第二方向上间隔布置，第五管脚和第六管脚配置在第二管脚与第三管脚连线的垂线上，且分别位于第二管脚和第三管脚的两侧；该 CPU 读取数据的方法包括以下步骤：响应 DDR 信号的写入指令，在具体实现中，当 CPU 或其他设备需要读取内存中的数据时，内存控制器发送读取命令给内存模块，并指定要读取的地址；根据写入指令通过数据信号管脚向 DDR 内存发送数据，并通过数据选通信号管脚输出数据选通信号，也即向 DDR 内存提供数据时钟信号，以便 DDR 内存正确地接收和解析 CPU 发送的数据。

本申请实施例第七方面提供了一种 CPU 发送数据的方法，该 CPU 包括封装基板，封装基板的管脚区包括数据信号管脚和数据选通信号管脚，且数据信号管脚和数据选通信号管脚依据管脚排布图形单元进行排布，管脚排布图形单元包括六个信号管脚，六个信号管脚中的第一管脚、第四管脚、第五管脚和第六管脚为数据信号管脚，六个信号管脚中的第二管脚和第三管脚为数据选通信号管脚；其中，第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，第五管脚和第六管脚在第二方向上间隔布置，第五管脚和第六管脚配置在第二管脚与第三管脚连线的垂线上，且分别位于第二管脚和第三管脚的两侧；该 CPU 读取发送数据的方法包括以下步骤：响应 DDR 信号的读取指令，在具体实现中，当 CPU 或其他设备需要向内存中写入数据时，内存控制器发送写入命令给内存模块，并提供要写入的数据和目标地址；根据读取指令通过数据信号管脚从 DDR 内存接收数据，并通过数据选通信号管脚读取数据选通信号，也即向 CPU 提供数据时钟信号，以便 CPU 正确地采样和解析从 DDR 内存传输过来的数据。

附图说明

- 图 1 为本申请实施例提供的一种电子设备的局部结构示意图；
- 图 2 为本申请实施例提供的封装基板的一种管脚排布示意图；
- 图 3 为本申请实施例提供的封装基板管脚区的排布结构示意图；
- 图 4 为本申请实施例提供的基础图形单元的构建关系示意图；
- 图 5 为本申请实施例提供的一种基础图形单元的组合方式示意图；
- 图 6 至图 10 分别为本申请实施例提供的另外五种基础图形单元的组合方式示意图；
- 图 11 为本申请实施例提供的 CPU DDR 接口的硬件架构示意图；
- 图 12 为本申请实施例提供的 CPU DDR 接口与基础图形单元的关系示意图；

图 13 为本申请实施例提供的另外两种多个基础图形单元的组合方式示意图；
图 14 为本申请实施例提供的一种 CPU 读取发送数据的方法流程示意图；
图 15 为本申请实施例提供的一种 CPU 应用场景下的管脚配置示意图；
图 16 为本申请实施例提供的另一种 CPU 应用场景下的管脚配置示意图；
5 图 17 为本申请实施例提供的又一种 CPU 应用场景下的管脚配置示意图；
图 18 为本申请实施例提供的电子设备的架构示意图。

具体实施方式

本申请实施例提供了一种芯片的封装基板管脚排布方案，在通过提高管脚排布密度合理控制封装尺寸的基础上，能够有效降低管脚之间的串扰。

请参见图 1，该为本申请实施例提供的一种电子设备的局部结构示意图。该电子设备 100 包括电路板 10 以及设置在电路板 10 上的芯片 20。在具体实现中，该电子设备可以为通讯终端设备、服务器、超级计算机或者路由器、交换机等设备。

其中，芯片 20 可以包括封装基板 1 和芯粒 2，封装基板 1 为芯粒 2 封装的载体，并通过壳体 3 实现封装。这里，芯粒 (Chip) 是指晶圆经加工和切割形成的裸片 (Die)。封装基板 (Package substrate) 是半导体芯片封装的载体，半导体封装体的外部管脚形成在封装基板上。封装基板目前发展的方向在于实现多管脚化、缩小封装产品体积、实现封装管脚高密化设计、改善物理接口电性能。

在进行半导体芯粒封装时，可以将芯粒 2 放置在封装基板 1 上，封装基板 1 的上表面为芯粒放置区。具体来说，在芯片 20 的制造过程中，可通过封装工艺将该芯粒进行封装，组装形成半导体封装体 (Package)，也即芯片产品，以提供保护、热管理、机械支撑和电气连接等功能。

具体来说，在制作半导体封装体时，通常将芯粒放置在封装基板上，通过金线键合、倒装芯片或载带自动焊等方式，将芯粒的管脚与封装基板的焊球或焊盘电连接；然后将芯粒和封装基板进行封装，形成半导体封装体，也即不同的芯片产品。芯片的外部管脚可以与 PCB 电连接，从而实现芯粒与外部电路连接，并且芯粒还可以通过 PCB 走线与其他器件电连接。

如图 1 所示，芯粒 2 上的管脚通过倒装芯粒技术连接到封装基板 1 的焊球或焊盘上。在其他具体实现中，芯粒 2 上的管脚还可以通过金线键合技术连接到封装基板 1 的焊球或焊盘上，本申请实施例不作限定。

在封装基板 1 与壳体 3 之间还可以设置有封装填料 4，封装填料 4 一方面可用来包裹芯粒 2，减小外界的灰尘、杂质等对芯粒 2 性能的不良影响，另一方面还可以将封装基板 1、壳体 3 及芯粒 2 等部件耦合为一体，提高芯片 20 的结构强度。

其中，芯片 20 的外部管脚位于封装基板 1 上，封装基板 1 的下表面为管脚区。相应地，电路板 10 上可以设置用于与芯片 20 连接的管脚接口。封装基板 1 上的信号管脚 11 可以为图中所示的焊球结构，通过焊接与电路板 10 上的相应焊盘电连接，并基于电路板 10 上的导线将芯粒 2 与其他器件进行连接，实现芯粒 2 与外部电路的连接。

可以理解的是，信号管脚用于建立芯片之间信号传输和数据交换的管脚，信号管脚包括数据信号管脚和控制信号管脚，可应用于不同的并行总线传输模式，以传输大量数据和控制信号。其中，数据信号管脚用于传输 DQ (Data Input/Output, 数据输入输出) 信号，以传输数据位或字节的信息。其中，控制信号管脚可根据不同应用场景传输相应的控制信号，例如但不限于，基于 DDR 总线协议，控制信号管脚可以用于传输 DQS (Data Strobe, 数据选通) 信号，以指示数据的采样时刻；控制信号管脚还可用于传输 DM (Input Data Mask, 输入数据屏蔽) 信号，以指示每个数据信号位 (DQ) 的有效性，实现对每个数据位的屏蔽和选择性写入；或者，基于 flash (闪存) 的 ONFI (open nand flash interface) 总线协议，该控制信号管脚用于传输控制数据传输的信号，以在闪存控制器和闪存芯片之间进行数据传输和通信。

在具体实现中，芯片 20 上的信号管脚还可以为位于封装基板 1 上的金属接触点，电路板 10 上相应设置有金属弹片，芯片 20 侧的金属接触点与电路板 10 侧的金属弹片一一对应设置 (图中未示出)；将芯片 20 固定在在电路板 10 上安装位后，金属接触点压抵金属弹片，并通过产生形变的金属弹片保持与

相适配的金属接触点的可靠接触，实现相应管脚的电连接。可以理解的是，芯片 20 的外部管脚与电路板 10 之间的具体连接结构，可以根据实际应用场景进行配置，本申请实施例不作限定。

通常，衡量芯片封装技术性能的一个重要指标是芯片面积（裸片面积）与封装面积之比，当芯粒 2 面积一定时，该比值越小说明封装面积越大，也就是说芯片 20 的尺寸越大，这会导致芯片 20 的制造良率下降，还会增加制作成本；该比值越接近 1，则封装面积越小，这样芯片 20 的制造良率上升，制作成本也可以相应降低。对于封装基板 1 来说，封装基板 1 的管脚排布密度是影响封装面积的重要因素。但是，封装基板 1 的管脚排布密度增大又会导致管脚之间的电磁串扰，影响芯片产品的性能。

另外，为了减少管脚之间的电磁串扰，在芯片封装基板的管脚周围设置接地管脚，通过接地管脚提供接地连接。具体来说，在芯片的管脚排布（Pinmap）中，基于接地管脚的布置，可以提供一个低阻抗的接地路径，形成均匀的地电位，可将电磁场的能量引导到地平面，从而减少信号管脚之间的电磁串扰（也称为互相干扰），有助于保持信号的完整性，并可减少噪声。然而，接地管脚的设置将增大芯片尺寸，因此，需要进一步提高管脚排布密度来减小封装面积。

基于此，本申请实施例提供了一种 Pinmap 管脚排布方案，请参见图 2，该图为本申请实施例提供的封装基板上的一种管脚排布示意图。为了便于描述，本文中定义了封装基板 1 管脚区的两个排布方向：第一方向 X 为图中所示管脚的左右排布方向，第二方向 Y 为图中所示管脚的上下排布方向。应当理解，上述方位词的使用，对本申请所描述技术方案未构成实质性限制。

在封装基板 1 本体上的管脚区，设置有多个管脚排布图形单元（Pinmap Pattern）。如图 2 所示，该管脚排布图形单元为包括六个信号管脚 11 的基础图形单元 P；其中，该六个信号管脚 11 中的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114 在第一方向 X 上依次间隔布置，该六个信号管脚中的第五管脚 115 和第六管脚 116 在第二方向 Y 上间隔布置，第五管脚 115 和第六管脚 116 设置在第二管脚 112 与第三管脚 113 连线 L1 的中垂线 L2 上，分别位于第二管脚 112 和第三管脚 113 的连线 L1 的两侧。其中，第一管脚 111、第四管脚 114、第五管脚 115 和第六管脚 116 为数据信号管脚 a（图中实心填充所示管脚），第二管脚 111 和第三管脚 113 为控制信号管脚 b（图中斜线填充所示管脚）。

整体上，该 Pinmap Pattern 的各管脚呈十字型排布的图形单元，将四个数据信号管脚 a 分别布置在十字型图形单元的四个外伸端部，并将控制信号管脚 b 布置在十字型图形单元的中部，由此，各数据信号管脚 a 之间得以相互远离，每个数据信号管脚 a 均无可形成串扰源的相邻数据信号管脚 a，能够有效规避相邻数据信号管脚 a 之间电磁串扰的影响。基于该 Pinmap 方案，一方面，有效降低了管脚间的电磁串扰，可支撑更高的并行总线运行速率，例如但不限于，DDR 总线或者 flash 的 ONFI 总线，以高速传输数据和控制信号；另一方面，可提高管脚排布的密度，节省封装面积，为进一步提升产品良率和降低加工成本提供了技术保障。

这里，在图 2 以及以下各附图中，连接于各信号管脚 11 之间的虚线仅用于示意各个管脚的位置关系，围合于各信号管脚 11 外周的虚线仅用于示意基础图形单元 P 的排布区域，相应虚线条并不存在于封装基板的结构当中，未对封装基板的具体结构构成限定。

在其他具体实现中，对于封装基板 1 管脚区的多个管脚排布图形单元，可以根据实际功能需要配置为不同样态的管脚排布方式；例如，对于 CPU 芯片来说，其管脚区的多个管脚排布图形单元，可以一部分基础图形单元 P，配置为图中所示的十字型排布的图形单元，以用于搭建并行总线通道；其中另一部分管脚排布图形单元，配置为包括其他样态排布的图形单元（图中未示出），以实现与相应外部电路的电连接；也就是说，封装基板 1 管脚区的管脚排布可以由若干种图形单元组合排列得到，而非局限于图 2 中所示均配置为十字型排布的图形单元的情形。

本实施方案中，第五管脚 115 和第六管脚 116 配置在第二管脚 112 与第三管脚 113 连线的中垂线上，也就是说，第二管脚 112 和第三管脚 113 至第五管脚 115 与第六管脚 116 连线的距离相等，该十字型排布的图形单元为中心对称结构。

在具体实现中，第二管脚 112 和第三管脚 113 至第五管脚 115 与第六管脚 116 连线的距离可以不等（图中未示出），换言之，第五管脚 115 和第六管脚 116 位于第二管脚 112 与第三管脚 113 的连线的两侧，同样能够达成每个数据信号管脚均无可形成相邻串扰源的实现方案。另外，在其他具体实现中，第五管脚 115 与第六管脚 116 的连线，还可以与第二管脚 112 与第三管脚 113 的连线呈其他角度相交（图

中未示出)。

相较来说,第五管脚 115 和第六管脚 116 配置在第二管脚 112 与第三管脚 113 连线的中垂线上的实现方式,可以在有效降低电磁串扰影响的基础上,最大限度地提高管脚区的排布密度。请一并参见图 3,该图为本申请实施例提供的封装基板管脚区的排布结构示意图。结合图 3 所示,该封装基板 1 管脚区的管脚呈阵列排布,且行列间的各管脚均错位布置,该行列间的各管脚均错位布置是指每一行(X1~X15)管脚和每一列(Y1~Y9)管脚之间均彼此交错排列,在有限的布置空间中可排布尽量多的管脚。换言之,管脚区的各管脚呈三角形网格状排列,每个管脚和与其邻近的两个管脚的连线构成等边三角形。由此,可实现十字型排布图形单元的紧密交替排布,提高管脚排布密度。

需要说明的是,对于封装基板 1 管脚区的各管脚来说,管脚和与其邻近的另外两个管脚呈等边三角形布置,包括形位公差控制良好的等边三角形布置关系,还包括受加工工艺精度影响而具有尺寸公差的三角形布置关系,换言之,还包括在工艺精度限制的范围内存在一定的偏差,非完全等边的大致呈等边三角形布置的情形。

进一步地,在十字型图形单元的六个信号管脚 11 外围可以设置接地(GND)管脚。请一并参见图 4,该图为本申请实施例提供的基础图形单元的构建关系示意图。

图中所示,对应该十字型图形单元的六个信号管脚 11,该基础图形单元 P 设置有十四个接地管脚 12(图中单线圆所示管脚 c),以两个控制信号管脚 b 为中心,并在两个控制信号管脚 b 的上下左右最邻近的位置处,分别布置四个数据信号管脚 a,最后在外围布置接地管脚 c,以便于在各信号管脚 11 的周侧形成回流地,从而降低与其它管脚之间的电磁干扰。

图 4 所描述的十四个接地管脚 12 包围在六个信号管脚 11 外周,十四个接地管脚 12 依次间隔排布形成十四边形;在第一方向 X 上,第一接地管脚 1201 位于第一管脚 111 的旁侧,第八接地管脚 1208 位于第四管脚 114 的旁侧,且第二接地管脚 1202、第三接地管脚 1203、第四接地管脚 1204、第五接地管脚 1205、第六接地管脚 1206 和第七接地管脚 1207,顺次布置在第一接地管脚 1201 和第八接地管脚 1208 之间;第九接地管脚 1209、第十接地管脚 1210、第十一接地管脚 1211、第十二接地管脚 1212、第十三接地管脚 1213 和第十四接地管脚 1214,顺次布置在第八接地管脚 1208 和所述第一接地管脚 1201 之间。

其中,与两个相邻的接地管脚 12 邻近的数据信号管脚 a,和两个相邻的接地管脚 12 的连线构成等边三角形 S,每个数据信号管脚 a 位于与其相邻的两个接地管脚 12 的连线的中垂线上;为了简化示意图,图中仅以第一管脚 111 的作为示例示意其与相邻的两个接地管脚 12 之间的相对位置关系。这样,充分利用了行列间管脚均错位布置的管脚区空间,依据交替排布的规则构建 Pinmap 单元,任意两个相邻管脚之间的距离一致。在提供回流地功能的同时,能够提高管脚排布密度,兼具较高的信地比。这里的“信地比”,是指单位面积内信号管脚 11 的数量与接地管脚 12 的数量之比。可以理解的是,在其他具体实现中,接地管脚 12 的数量可以根据需要进行确定,本申请实施例不作限定。

具体实现中,一个基础图形单元 P 可以对应一个 Nibbel(半字节)的信号管脚,每个 Nibbel 的数据可以使用四个 DQ 数据信号和一对 DQS 差分时钟信号进行传输。其中,六个信号管脚 11 中的四个数据信号管脚 a 为单端信号管脚,用于传输 DQ 数据信号;六个信号管脚 11 中的两个控制信号管脚 b 为差分信号管脚,用于传输 DQS 信号。

当两个控制信号管脚(第二管脚 112 和第三管脚 113)传输 DQS 差分时钟信号时,差分信号对在传输中极性相反,也即差分信号对的两个管脚上传输的信号振幅相反。由此,对第二方向 Y 与其上下相邻的两个单端信号管脚(第五管脚 115 和第六管脚 116)的干扰可以完全抵消,对第一方向 X 与其左右两个单端信号管脚(第一管脚 111 和第四管脚 114)的串扰可以部分抵消,从而降低了单端信号受到的总串扰量。

对于 DDR 系统的场景下,基于 DDR 信号的定义,其数据信号通常按 Byte(字节)来进行划分,每个字节单位使用四个 DQ 数据信号和一对 DQS 差分时钟信号进行传输。基于前述基础图形单元 P,可以以两个基础图形单元 P 形成的组合单元,实现一个字节单位数据的传输。也即,在 DDR Pinmap 设计时,通常以一个 Byte 作为基本单元进行排布。

请参见图 5,该图为本申请实施例提供的一种基础图形单元 P 的组合方式示意图。图中所示为两个基础图形单元 P 拼接形成的组合单元,可进行一个字节单位的数据传输。基于图 4 所描述的基础图形单

元 P, 该组合单元由两个基础图形单元 P 拼接, 构成对应一个字节单位的管脚排布组合单元, 第一基础图形单元 P1 和第二基础图形单元 P2 的相邻侧共用接地管脚。

如图 5 所示, 第一基础图形单元 P1 和第二基础图形单元 P2 互为平移图形, 也即, 两个基础图形单元 P 中一者为相对于另一者平移后形成的图形单元。其中, 第一基础图形单元 P1 的第五管脚 115, 与第二基础图形单元 P2 的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114 布置在同一方向上; 第一基础图形单元 P1 的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114, 与第二基础图形单元 P2 的第六管脚 116 布置在同一方向上。

本实现方式中, 第一基础图形单元 P1 和第二基础图形单元 P2 共用两个接地管脚 12, 且两个共用接地管脚 12 位于第一基础图形单元 P1 的第四管脚 114 与第二基础图形单元 P2 的第一管脚 111 之间。具体来说, 第一基础图形单元 P1 的第七接地管脚 1207 与第二基础图形单元 P2 的第一接地管脚 1201 为一个共用接地管脚, 第一基础图形单元 P1 的第八接地管脚 1208 与第二基础图形单元 P2 的第十四接地管脚 1214 为共用接地管脚。这样, 在有效降低电磁串扰外, 管脚布局密度更加紧凑合理。

在具体实现中, 两个基础图形单元 P 的八个数据信号管脚 a, 可以对应数据总线上的八个数据管脚: DQ0、DQ1、DQ2、DQ3、DQ4、DQ5、DQ6 和 DQ7, 分别发送或接收数据位 0 至数据位 7 的数据; 两个基础图形单元 P 的四个控制信号管脚, 对应数据总线上的四个数据时钟信号管脚: DQS0、DQS1、DQS2 和 DQS3, 其中, DQS0 和 DQS1 为一对差分对管脚, DQS2 和 DQS3 为一对差分对管脚, 分别用于在数据传输过程中对数据进行定时和同步。

基于封装基板 1 管脚区的行列间各管脚的错位布置, 可以通过平移或旋转平移后拼接形成不同形式的管脚排布组合单元。请参见图 6 至图 10, 分别示出了五种不同的基础图形单元组合方式, 其中, 图 6、图 7、图 8 和图 10 所示的组装单元, 两个基础图形单元 P 中一者均为相对于另一者平移后形成的图形单元, 其中, 图 9 所示的组装单元, 其两个基础图形单元 P 中一者为相对于另一者旋转且平移后形成的图形单元。

如图 6 所示, 第一基础图形单元 P1 和第二基础图形单元 P2 互为平移图形, 其中, 第一基础图形单元 P1 的第五管脚 115 和第六管脚 116, 与第二基础图形单元 P1 的第五管脚 115 和第六管脚 116 布置在同一方向上。

本实现方式中, 两个基础图形单元共用间隔布置的两个接地管脚 12, 两个共用接地管脚 12 位于第一基础图形单元 P1 的第六管脚 116 与第二基础图形单元 P2 的第五管脚 115 之间。具体来说, 第一基础图形单元 P1 的第十二接地管脚 1212 与第二基础图形单元 P2 的第四接地管脚 1204 为共用接地管脚, 第一基础图形单元 P1 的第十一接地管脚 1211 与第二基础图形单元 P2 的第五接地管脚 1205 为共用接地管脚。

如图 7 所示, 第一基础图形单元 P1 和第二基础图形单元 P2 互为平移图形, 其中, 第一基础图形单元 P1 的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114, 与第二基础图形单元 P2 的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114 布置在同一方向上。

本实现方式中, 两个基础图形单元共用一个接地管脚 12, 该共用接地管脚 12 位于第一基础图形单元 P1 的第四管脚 114 与第二基础图形单元 P2 的第一管脚 111 之间, 具体地, 第一基础图形单元 P1 的第八接地管脚 1208 与第二基础图形单元 P2 的第一接地管脚 1201 为共用接地管脚。

如图 8 所示, 第一基础图形单元 P1 和第二基础图形单元 P2 互为平移图形, 其中, 第一基础图形单元 P1 的第五管脚 115 和第六管脚 116, 与第二基础图形单元 P2 的第一管脚 111 布置在同一方向上; 第一基础图形单元 P1 的第四管脚 114, 与第二基础图形单元 P2 的第五管脚 115 和第六管脚 116 布置在同一方向上。

本实现方式中, 两个基础图形单元共用依次间隔设置的四个接地管脚 12, 其中的两个共用接地管脚 12 位于第一基础图形单元 P1 的第六管脚 116 与第二基础图形单元 P2 的第一管脚 111 之间, 另外两个共用接地管脚 12 位于第一基础图形单元 P1 的第四管脚 114 与第二基础图形单元 P2 的第五管脚 115 之间。具体地, 第一基础图形单元 P1 的第十二接地管脚 1212 与第二基础图形单元 P2 的第二接地管脚 1202 为共用接地管脚, 第一基础图形单元 P1 的第十一接地管脚 1211 与第二基础图形单元 P2 的第三接地管脚 1203 共用接地管脚, 第一基础图形单元 P1 的第十接地管脚 1210 与第二基础图形单元 P2 的第四接地

管脚 1204 为共用接地管脚，第一基础图形单元 P1 的第九接地管脚 1209 与第二基础图形单元 P2 的第五接地管脚 1205 为共用接地管脚。

如图 9 所示，第一基础图形单元 P1 和第二基础图形单元 P2 互为平移旋转图形，其中，第一基础图形单元 P1 的第一管脚 111 和第五管脚 115，与第二基础图形单元 P2 的第五管脚 115 和第六管脚 116 布置在同一方向上；第一基础图形单元 P1 的第六管脚 116 和第四管脚 114，与第二基础图形单元 P2 的第一管脚 111 布置在同一方向上。

本实现方式中，两个基础图形单元共用依次间隔设置的四个接地管脚 12，其中两个共用接地管脚 12 位于第一基础图形单元 P1 的第五管脚 115 与第二基础图形单元 P2 的第五管脚 115 之间，其中另外两个共用接地管脚 12 位于第一基础图形单元 P1 的第四管脚 114 与第二基础图形单元 P2 的第一管脚 111 之间。具体地，第一基础图形单元 P1 的第五接地管脚 1205 与第二基础图形单元 P2 的第五接地管脚 1205 为共用接地管脚，第一基础图形单元 P1 的第六接地管脚 1206 与第二基础图形单元 P2 的第四接地管脚 1204 为共用接地管脚，第一基础图形单元 P1 的第七接地管脚 1207 与第二基础图形单元 P2 的第三接地管脚 1203 为共用接地管脚，第一基础图形单元 P1 的第八接地管脚 1208 与第二基础图形单元 P2 的第二接地管脚 1202 为共用接地管脚。

如图 10 所示，第一基础图形单元 P1 和第二基础图形单元 P2 互为平移图形，其中，第一基础图形单元 P1 的第四管脚 114，与第二基础图形单元 P2 的第一管脚 111 布置在同一方向上；第一基础图形单元 P1 的第六管脚 116，与第二基础图形单元 P2 的第五管脚 115 布置在同一方向上。

两者共用依次间隔设置的四个接地管脚 12，其中的两个共用接地管脚 12 位于第一基础图形单元 P1 的第六管脚 116 与第二基础图形单元 P2 的第一管脚 111 之间，另外两个共用接地管脚 12 位于第一基础图形单元 P1 的第四管脚 114 与第二基础图形单元 P2 的第五管脚 115 之间。具体地，第一基础图形单元 P1 的第十一接地管脚 1211 与第二基础图形单元 P2 的第一接地管脚 1201 为共用接地管脚，第一基础图形单元 P1 的第十接地管脚 1210 与第二基础图形单元 P2 的第二接地管脚 1202 为共用接地管脚，第一基础图形单元 P1 的第九接地管脚 1209 与第二基础图形单元 P2 的第三接地管脚 1203 为共用接地管脚，第一基础图形单元 P1 的第八接地管脚 1208 与第二基础图形单元 P2 的第四接地管脚 1204 为共用接地管脚。

可以理解的是，配置有前述图 2、图 3 和图 4 所描述的基础图形单元 P 的封装基板，及配置有图 5 至图 10 所描述的管脚排布组合单元的封装基板，可用于与 CPU (central processing unit, 中央处理器) GPU (graphics processing unit, 图形处理器) 或者 NPU (neural-network processing units, 神经网络处理器) 等芯片匹配，也即，前述实施例所描述的封装基板，其管脚区上基于基础图形单元 P 形成的 Pinmap 可用于 CPU 芯片、NPU 芯片或 GPU 芯片上 DDR 接口。对于 CPU 芯片来说，DDR 信号可通过信号管脚 11 以及 PCB 走线，与内存条 DIMM 上的内存芯片 (DIMM) 连接。

下面对前述封装基板上的管脚排布与 CPU 芯片的匹配方式进行简要说明。

请参见图 11，该图为本申请实施例提供的 CPU DDR 接口的硬件架构示意图。

如图 11 所示，CPU 芯片 21 上包括多个内存通道 (DDR channel) 22，每个内存通道 22 可以分别驱动连接相应的内存条 30。不失一般性，图 11 中以包括八个内存通道 22 的 CPU 芯片 21 为例进行示意。应当理解，在其他具体实现中，该 CPU 的通道数量以及每个通道所对应连接的内存条数量，可以根据实际需要进行设置，具体可以基于现有技术实现，故本文不再赘述。

其中，每个内存通道 22 可以包括多个 DDR Byte (字节) 单位 23，每个 Byte 包括两个 Nibble (半字节) 24。一个内存通道 22 内存带宽一般为 32bit 或 64bit，可以理解的是，对于一个 32bit 带宽的内存通道 22，可以由四个字节单位 23 构成，对于一个 64bit 带宽的内存通道 22，可以由八个字节单位 23 构成。本申请实施例不作限定。

请一并参见图 12，该图为本申请实施例提供的 CPU DDR 的接口与基础图形单元 P 的关系示意图。

如图 12 所示，每个 Nibble 24 包含六个数据信号：四个 DQ 数据信号和一对 DQS 差分时钟信号。这里，每个 Nibble 24 的六个数据信号与其外围的 GND 管脚，可以前述实施例所描述的具有十字形样态的管脚排布组合单元 P。或者说，每个 Byte 23 包含十二个数据信号：八个 DQ 数据信号和两对 DQS 差分时钟信号。相应地，每个 Byte 23 的十二个数据信号与其外围的 GND 管脚，可以前述实施例图 5 至图 10 所描述的 Pinmap Pattern 组合单元。

在具体实现中, CPU 芯片 21 的全部内存通道 22 所对应的管脚, 可基于一个 Nibble 实现信号管脚及其外围接地管脚的组合排列, 构成了一个完整的 DDR Channel Pinmap (DDR 通道管脚排布图形), 以获得 CPU 芯片 21 的内存通道 22 区域获得较高的管脚排布密度, 且信号管脚间电磁串扰较小, 从而保证 CPU 21 与内存条 30 之间的信号稳定传输。在具体实现中, 该内存条 30 可以为双列直插式存储模块 (dual-inline-memory-modules, DIMM), 本申请实施例不限定。

请参见图 13, 该图为本申请实施例提供的两种多个基础图形单元的组合方式示意图。图 13 中的 (a) 图所示的组合方式中, 各基础图形单元 P 均为通过平移后对应拼接, 对于相邻两列基础图形单元 P, 属于左侧列的各基础图形单元 P 的第四管脚, 与属于右侧列的各基础图形单元 P 的第一管脚, 沿第二方向依次间隔布置。图 13 中的 (b) 图所示的组合方式中, 一部分基础图形单元 P 为通过平移后对应拼接, 另一部分基础图形单元 P 为通过旋转平移后对应拼接。

如图 13 所示, 基于封装基板 1 管脚区的行列间各管脚的错位布置, 应用本申请实施例提供的基础图形单元组合形成的 DDR Channel Pinmap, 每组相邻基础图形单元 P 均可共用外围接地管脚, 整体管脚布局密度更加紧凑合理。利用十字形样态的管脚排布图形单元的结构特点, DDR Channel Pinmap 的各数据信号管脚 a 之间得以相互远离, 每个数据信号管脚 a 均无相邻串扰源, 能够有效规避相邻数据信号管脚 a 之间电磁串扰的影响。

前述实施例所描述的 CDU 芯片, 可用于不同代系的 DDR 系统, 实现数据的存储和读取。例如但不限于, DDR4 SDRAM (第 4 代双倍数据速率同步动态随机存取存储器) 和 DDR5 SDRAM (第 5 代双倍数据速率同步动态随机存取存储器), 基于不同的 DDR 芯片数据总线宽度, DDR4 SDRAM 包括 X8 和 X16 两种类型, DDR5 SDRAM 包括 X4、X8 和 X16 三种类型, 其中, X4 设备的芯片位宽为 4 位, X8 设备的芯片位宽为 8 位, X16 设备的芯片位宽为 16 位。

对于基础图形单元 P 的控制信号管脚 b, 在 CDU 芯片侧通常定义为 DQS 信号管脚。在其他具体实现中, 例如在 X8 场景下, 如果需要传输 DM 信号, DQS0~DQS3 管脚可以被配置为复用 DM 信号的通道。DM 信号用于指示每个 DQ 数据信号的有效性, 以提供对每个数据位的屏蔽和选择性写入。在写入操作 (WR OP) 中, CPU 将 DM 信号与 DQ 信号和 DQS 信号同时发送至 DRAM, 这时 DM 信号与 DQ 信号一起在 DQS 时钟信号的上升/下降沿处进行采样。当控制信号管脚用于传输 DM 信号时, DM 被采样为低电平实际产生的电磁串扰较低, 不会影响 DQ 数据信号管脚传输数据。

需要说明的是, 前述十字型排布的基础图形单元 P, 可应用于与 DDR 内存进行信息连接的芯片封装结构设计, 除 CPU 芯片、GPU 芯片或者 NPU 芯片外, 还可以应用于基于 DDR 接口的其他芯片或连接器, 通过良好的防串扰性能保证正确的信号传输和数据读写, 从而为高性能和可靠性的 DDR 系统提供了技术保障。

当然, 对于其他并行总线的场景, 前述十字型排布的基础图形单元 P 形成的 Pinmap 则用于相应的物理线路接口, 例如但不限于并行摄像头、并行外部存储设备或者并行打印机等, 通过并行总线传输数据和控制信号的输入输出设备。

基于图 11 所示的 CPU DDR 接口的硬件架构, 本申请实施例还提供一种 CPU 读取发送数据的方法。请参见图 14, 该图为本申请实施例提供的一种 CPU 读取发送数据的方法流程示意图。

如图 14 所示, 该方法包括以下步骤:

步骤 101: 响应 DDR 信号的写入指令或者读取指令;

在具体实现中, 当 CPU 或其他设备需要读取内存中的数据时, 内存控制器发送读取命令给内存模块, 并指定要读取的地址。当 CPU 或其他设备需要向内存中写入数据时, 内存控制器发送写入命令给内存模块, 并提供要写入的数据和目标地址。这里, 内存控制器 CPU 或者位于主板上的独立芯片中的一部分, 用于控制内存模块的读写操作, 以及处理来自 CPU 或其他设备的内存访问请求。

步骤 102: 根据写入指令通过 DQ 管脚向 DDR 内存发送数据, 并通过 DQS 管脚输出数据选通信号, 也即向 DDR 内存提供数据时钟信号, 以便 DDR 内存正确地接收和解析 CPU 发送的数据; 或者, 根据读取指令通过 DQ 管脚从 DDR 内存接收数据, 并通过 DQS 管脚读取数据选通信号, 也即向 CPU 提供数据时钟信号, 以便 CPU 正确地采样和解析从 DDR 内存传输过来的数据;

具体地, 在数据传输过程中, DQS 管脚与相应的 DQ 管脚之间有相应的时序关系, 数据的采样和传输

发生在数据时钟信号的边沿（上升沿或下降沿）。在发送数据时，内存模块接收到命令后，将数据写入指定地址的存储单元。在读取数据时，内存模块接收到命令后，将请求的数据通过数据总线传输给 CPU。

其中，CPU 芯片的 DQ 管脚（数据信号管脚）和 DQS 管脚（数据选通信号管脚）以基础图形单元进行排布，该基础图形单元包括六个信号管脚：第一管脚 111、第二管脚 112、第三管脚 113、第四管脚 114、第五管脚 115 和第六管脚 116，其中，第一管脚 111、第四管脚 114、第五管脚 115 和第六管脚 116 为 DQ 管脚（图中实心圆所示管脚），第二管脚 111 和第三管脚 113 为 DQS 管脚（图中斜线填充所示管脚）。六个信号管脚以十字型样态排布，其中，第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114 在第一方向 X 上依次间隔布置，该六个管脚中的第五管脚 115 和第六管脚 116 在第二方向 Y 上间隔布置，第五管脚 115 和第六管脚 116 配置在第二管脚 112 与第三管脚 113 连线的垂线上，且分别位于第二管脚 112、第三管脚 113 的两侧。

以对应一个字节单位的管脚排布组合单元为例，其八个数据信号管脚：DQ0、DQ1、DQ2、DQ3、DQ4、DQ5、DQ6 和 DQ7，用于分别发送或接收数据位 0 至数据位 7 的数据；其四个数据时钟信号管脚：DQS0、DQS1、DQS2 和 DQS3，DQS0 和 DQS1 为一对差分对管脚，DQS2 和 DQS3 为一对差分对管脚，分别用于在数据传输过程中对数据进行定时和同步。

请参见图 15，该图为本申请实施例提供的一种 CPU 应用场景下的管脚配置示意图。

对于 X4 颗粒场景，其管脚配置可以如图 15 所示，在写入操作和读取操作（WR OP/RD OP）过程中，各信号管脚的具体行为如下：

写入操作：CPU 发送 DQ 信号和 DQS 信号至 DRAM，DQS 信号与 DQ 信号中心对齐，在 DRAM 侧，DQ 信号在 DQS 时钟信号的上升沿和下降沿位置进行采样，并将采样后的信号存入 DRAM。

读取操作：DRAM 发送 DQ 信号和 DQS 信号至 CPU，DQS 信号与 DQ 信号边缘对齐，CPU 侧会首先调节 DQS 信号与 DQ 信号的相位关系，使得 DQS 信号与 DQ 信号中心对齐，再进行采样，并将采样后的信号传入后端进行处理。

请参见图 16，该图为本申请实施例提供的另一种 CPU 应用场景下的管脚配置示意图。

对于 X8 颗粒场景，其管脚配置可以如图 16 所示，在写入操作和读取操作（WR OP/RD OP）过程中，图中 RFU 管脚为保护备用管脚（Reserved For Future Use），其他各信号管脚的具体行为如下：

写入操作：CPU 发送 DQ 信号，DM 信号和 DQS 信号至 DRAM，DQS 信号与 DQ 信号和 DM 信号中心对齐，在 DRAM 侧，DQ 信号和 DM 信号在 DQS 的上升沿和下降沿位置进行采样，并将采样后的信号存入 DRAM。应当理解，当 DM 信号被采样为低电平时，与它一起被采样的 DQ 信号会被屏蔽，不被写入 DRAM。

读取操作：DRAM 发送 DQ 信号和 DQS 信号至 CPU，DQS 信号与 DQ 信号边缘对齐，CPU 侧会首先调节 DQS 与 DQ 的相位关系，使得 DQS 与 DQ 信号中心对齐，再进行采样，并将采样后的信号传入后端进行处理。

在实际应用中，基于十字型样态的基础图形单元，可提高管脚排布的密度，节省封装面积，并有效降低管脚间的电磁串扰，能够支撑更高的 DDR 运行速率。

需要说明的是，在具体实现中，上述各信号管脚可以采用不同的管脚配置和信号分配方式，具体可以根据 CPU 芯片和 DDR 芯片的类型及规格，以及相应内存控制器的控制机理进行确定。本申请实施例不作限定。

请参见图 17，该图为本申请实施例提供的又一种 CPU 应用场景下的管脚配置示意图。如图 17 所示，两个基础图形单元 P 形成的管脚排布组合单元，可以支持不同 Nibble/Byte 的 DQ 信号混排。其中，对应 Nibble0 的四个数据信号管脚为 DQ0、DQ1、DQ2、DQ3，对应 Nibble1 的四个数据信号管脚为 DQ4、DQ5、DQ6 和 DQ7，其中，Nibble0 的 DQ0、DQ1 和 DQ2 与 Nibble1 的 DQ4 配置在一个基础图形单元 P，Nibble0 的 DQ3 与 Nibble1 的 DQ5、DQ6 和 DQ7 配置在另一个基础图形单元 P。

此外，基于前述实施例所描述的采用十字型排布基础图形单元的芯片 20，本申请实施例还提供一种应用于芯片的信号传输方法，该芯片 20 的封装基板 4 的管脚区设置有多管脚排布图形单元；多个管脚排布图形单元中的至少两个为基础图形单元 P，该基础图形单元 P 包括六个信号管脚 11；其中，六个信号管脚 11 中的第一管脚 111、第二管脚 112、第三管脚 113 和第四管脚 114 在第一方向 X 上依次间隔布置，六个信号管脚 11 中的第五管脚 115 和第六管脚 116 在第二方向 Y 上间隔布置；第五管脚 115 和第六管脚 116 分别位于第二管脚 112 和第三管脚 113 的连线的两侧；其中，第一管脚 111、第四管脚 114、

第五管脚 115 和第六管脚 116 为数据信号管脚，第二管脚 112 和第三管脚 113 为控制信号管脚；第一方向 X 与第二方向 Y 不同。在具体实现中，该芯片可以为如前所描述的 CPU 芯片，也可以为基于 DDR 接口的其他芯片或连接器，本申请实施例不作限定。

该信号传输方法包括如下步骤：通过第一管脚 111、第四管脚 1114、第五管脚 115 和第六管脚 116 传输数据信号，通过第二管脚 112 和第三管脚 113 传输控制信号。基于前述十字型排布的基础图形单元 P，通过良好的防串扰性能保证该芯片正确的信号传输，从而为高性能和可靠性的系统应用提供了技术保障。

本申请实施例还提供了一种电子设备，请参见图 18，该图为本申请实施例提供的电子设备的架构示意图。该电子设备 100a 包括外壳 40a 和设置外壳 40a 内的电路板 10a 和 CPU20a，CPU20a 设置在电路板 10a，该 CPU20a 的封装基板上的管脚区可以包括如前述图 2、图 3 和图 4 所描述的基础图形单元 P，或者可以包括图 5 至图 10 所描述的管脚排布组合单元。基于本实施方案提供的十字型样态的基础图形单元，其管脚的排布方式可以提高管脚排布的密度，节省封装面积，并且能够减小 DDR 内存信号串扰，提升计算设备的计算性能。

应当理解，计算设备的其他功能构成非本申请的核心发明点所在，故本文不再赘述。

本实施方案提供的十字型样态的管脚排布图形单元作为芯片封装技术的重要手段，具有广泛的应用前景，将在不同的电子设备中扮演越来越重要的角色，例如但不限于，服务器、超级计算机、以太网交换机等计算设备，还可以应用于汽车、移动电话、笔记本电脑等终端设备中。

本文所使用的序数词“第一”和“第二”，仅用于在描述技术方案中相同功能的构成或结构。可以理解的是，上述序数词“第一”和“第二”的使用，对本申请请求保护的技术方案未构成理解上的限制。

以上仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权 利 要 求 书

1. 一种芯片，其特征在于，包括芯粒和封装基板，所述芯粒设置在所述封装基板上，所述封装基板的管脚区设置有多管脚排布图形单元；

所述多个管脚排布图形单元中，至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元；

5 其中，所述六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置，所述六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置，且所述第五管脚和所述第六管脚分别位于所述第二管脚和所述第三管脚的连线的两侧；

其中，所述第一管脚、所述第四管脚、所述第五管脚和所述第六管脚为数据信号管脚，所述第二管脚和所述第三管脚为控制信号管脚；所述第一方向与所述第二方向不同。

10 2. 根据权利要求 1 所述的芯片，其特征在于，所述第五管脚和所述第六管脚设置在所述第二管脚与所述第三管脚的连线的垂线上，所述第一方向与所述第二方向相垂直。

3. 根据权利要求 2 所述的芯片，其特征在于，所述第五管脚和所述第六管脚设置在所述第二管脚与所述第三管脚连线的中垂线上。

4. 根据权利要求 1 至 3 中任一项所述的芯片，其特征在于，所述基础图形单元为中心对称结构，或者为轴对称结构。

15 5. 根据权利要求 1 至 4 中任一项所述的芯片，其特征在于，所述管脚区的管脚呈阵列排布，且行列间的各管脚均错位布置。

6. 根据权利要求 1 至 5 中任一项所述的芯片，其特征在于，所述管脚区的各管脚呈三角形网格状排列，其中，所述管脚和与其邻近的两个管脚的连线构成等边三角形。

20 7. 根据权利要求 1 至 6 中任一项所述的芯片，其特征在于，所述基础图形单元还包括接地管脚，所述接地管脚布置在所述六个信号管脚的外围。

8. 根据权利要求 7 所述的芯片，其特征在于，所述基础图形单元的接地管脚为十四个，十四个所述接地管脚依次间隔布置在所述六个信号管脚的外围；在第一方向上，第一接地管脚位于所述第一管脚的旁侧，第八接地管脚位于所述第四管脚的旁侧，且第二接地管脚、第三接地管脚、第四接地管脚、第五接地管脚、第六接地管脚和第七接地管脚，顺次布置在所述第一接地管脚和所述第八接地管脚之间；第九接地管脚、第十接地管脚、第十一接地管脚、第十二接地管脚、第十三接地管脚和第十四接地管脚，顺次布置在所述第八接地管脚和所述第一接地管脚之间。

25 9. 根据权利要求 8 所述的芯片，其特征在于，两个所述基础图形单元相邻接设置，一者为第一基础图形单元，另一者为第二基础图形单元，所述第一基础图形单元和所述第二基础图形单元的相邻侧共用接地管脚。

30 10. 根据权利要求 9 所述的芯片，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚。

11. 根据权利要求 9 所述的芯片，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚，所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

12. 根据权利要求 9 所述的芯片，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第十四接地管脚为共用接地管脚。

13. 根据权利要求 9 所述的芯片，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚，所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚，所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚。

45 地管脚，所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管

脚, 所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

14. 根据权利要求 9 所述的芯片, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚, 所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚, 所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚。

15. 根据权利要求 9 所述的芯片, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移旋转图形, 所述第一基础图形单元的第五接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚, 所述第一基础图形单元的第六接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚, 所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚。

16. 根据权利要求 8 至 15 中任一项所述的芯片, 其特征在于, 所述基础图形单元中, 与两个相邻的所述接地管脚邻近的所述数据信号管脚, 和所述两个相邻的所述接地管脚的连线构成等边三角形。

17. 根据权利要求 1 至 16 中任一项所述的芯片, 其特征在于, 所述第一管脚、所述第四管脚、所述第五管脚和所述第六管脚为单端信号管脚, 所述第二管脚和所述第三管脚为一对差分信号管脚。

18. 根据权利要求 1 至 17 中任一项所述的芯片, 其特征在于, 所述芯片为中央处理器, 所述中央处理器配置有多个内存通道, 所述内存通道包括多个字节单位, 所述字节单位对应两个所述基础图形单元, 所述基础图形单元中的数据信号管脚用于传输对应的所述字节单位的数据信号。

19. 一种电子设备, 其特征在于, 包括外壳和设置在所述外壳内的电路板, 所述电路板上设置有芯片, 所述芯片采用权利要求 1 或 18 所述的芯片, 所述芯片的信号管脚与所述电路板电连接。

20. 一种芯片制造方法, 其特征在于, 所述芯片制造方法包括: 将芯粒设置在封装基板上, 并将所述芯粒与所述封装基板组装形成所述芯片; 其中, 所述封装基板的管脚区设置有多管脚排布图形单元;

所述多个管脚排布图形单元中, 至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元;

其中, 所述六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置, 所述六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置, 且所述第五管脚和所述第六管脚分别位于所述第二管脚和所述第三管脚的连线的两侧;

其中, 所述第一管脚、所述第四管脚、所述第五管脚和所述第六管脚为数据信号管脚, 所述第二管脚和所述第三管脚为控制信号管脚; 所述第一方向与所述第二方向不同。

21. 根据权利要求 20 所述的芯片制造方法, 其特征在于, 所述第五管脚和所述第六管脚设置在所述第二管脚与所述第三管脚的连线的垂线上, 所述第一方向与所述第二方向相垂直。

22. 根据权利要求 21 所述的芯片制造方法, 其特征在于, 所述第五管脚和所述第六管脚配置在所述第二管脚与所述第三管脚连线的中垂线上, 所述基础图形单元为中心对称结构, 或者为轴对称结构。

23. 根据权利要求 20 至 22 中任一项所述的芯片制造方法, 其特征在于, 所述管脚区的管脚呈阵列排布, 且行列间的各管脚均错位布置; 所述管脚区的各管脚呈三角形网格状排列, 其中, 所述管脚和与其邻近的两个管脚的连线构成等边三角形。

24. 根据权利要求 20 至 23 中任一项所述的芯片制造方法, 其特征在于, 所述基础图形单元还包括接地管脚, 所述接地管脚为十四个, 十四个所述接地管脚依次间隔布置在所述六个信号管脚的外围; 在第一方向上, 第一接地管脚位于所述第一管脚的旁侧, 第八接地管脚位于所述第四管脚的旁侧, 且第二接地管脚、第三接地管脚、第四接地管脚、第五接地管脚、第六接地管脚和第七接地管脚, 顺次布置在所述第一接地管脚和所述第八接地管脚之间; 第九接地管脚、第十接地管脚、第十一接地管脚、第十二接地管脚、第十三接地管脚和第十四接地管脚, 顺次布置在所述第八接地管脚和所述第一接地管脚之间。

25. 根据权利要求 24 所述的芯片制造方法, 其特征在于, 两个所述基础图形单元相邻设置, 且一者为第一基础图形单元, 另一者为第二基础图形单元, 所述第一基础图形单元和所述第二基础图形单元的相邻侧共用接地管脚。

26. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第一接地管脚

为共用接地管脚。

27. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚, 所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

28. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第十四接地管脚为共用接地管脚。

29. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚, 所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚, 所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚, 所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

30. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移图形, 所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚, 所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚, 所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚。

31. 根据权利要求 25 所述的芯片制造方法, 其特征在于, 所述第一基础图形单元和所述第二基础图形单元互为平移旋转图形, 所述第一基础图形单元的第五接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚, 所述第一基础图形单元的第六接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚, 所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚, 所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚。

32. 一种信号传输方法, 其特征在于, 所述信号传输方法应用于芯片, 所述芯片包括封装基板, 所述封装基板的管脚区设置有多管脚排布图形单元; 所述多个管脚排布图形单元中, 至少两个管脚排布图形单元为包括六个信号管脚的基础图形单元; 其中, 所述六个信号管脚中的第一管脚、第二管脚、第三管脚和第四管脚在第一方向上依次间隔布置, 所述六个信号管脚中的第五管脚和第六管脚在第二方向上间隔布置; 所述第五管脚和所述第六管脚分别位于所述第二管脚和所述第三管脚的连线的两侧; 其中, 所述第一管脚、所述第四管脚、所述第五管脚和所述第六管脚为数据信号管脚, 所述第二管脚和所述第三管脚为控制信号管脚; 所述第一方向与所述第二方向不同; 所述方法包括如下步骤:

通过所述第一管脚、所述第四管脚、所述第五管脚和所述第六管脚传输数据信号, 通过所述第二管脚和所述第三管脚传输控制信号。

33. 根据权利要求 32 所述的信号传输方法, 其特征在于, 所述第五管脚和所述第六管脚设置在所述第二管脚与所述第三管脚的连线的垂线上, 所述第一方向与所述第二方向相垂直。

34. 根据权利要求 33 所述的信号传输方法, 其特征在于, 所述第五管脚和所述第六管脚配置在所述第二管脚与所述第三管脚连线的中垂线上, 所述基础图形单元为中心对称结构, 或者为轴对称结构。

35. 根据权利要求 32 至 34 中任一项所述的信号传输方法, 其特征在于, 所述管脚区的管脚呈阵列排布, 且行列间的各管脚均错位布置; 所述管脚区的各管脚呈三角形网格状排列, 其中, 所述管脚和与其邻近的两个管脚的连线构成等边三角形。

36. 根据权利要求 32 至 35 中任一项所述的信号传输方法, 其特征在于, 所述基础图形单元还包括接地管脚, 所述接地管脚为十四个, 十四个所述接地管脚依次间隔布置在所述六个信号管脚的外围; 在第一方向上, 第一接地管脚位于所述第一管脚的旁侧, 第八接地管脚位于所述第四管脚的旁侧, 且第二

接地管脚、第三接地管脚、第四接地管脚、第五接地管脚、第六接地管脚和第七接地管脚，顺次布置在所述第一接地管脚和所述第八接地管脚之间；第九接地管脚、第十接地管脚、第十一接地管脚、第十二接地管脚、第十三接地管脚和第十四接地管脚，顺次布置在所述第八接地管脚和所述第一接地管脚之间。

37. 根据权利要求 36 所述的信号传输方法，其特征在于，两个所述基础图形单元相邻设置，且一者为第一基础图形单元，另一者为第二基础图形单元，所述第一基础图形单元和所述第二基础图形单元的相邻侧共用接地管脚。

38. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚。

39. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚，所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

40. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第十四接地管脚为共用接地管脚。

41. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第十二接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚，所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚，所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚，所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚。

42. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移图形，所述第一基础图形单元的第十一接地管脚与所述第二基础图形单元的第一接地管脚为共用接地管脚，所述第一基础图形单元的第十接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚，所述第一基础图形单元的第九接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚。

43. 根据权利要求 37 所述的信号传输方法，其特征在于，所述第一基础图形单元和所述第二基础图形单元互为平移旋转图形，所述第一基础图形单元的第五接地管脚与所述第二基础图形单元的第五接地管脚为共用接地管脚，所述第一基础图形单元的第六接地管脚与所述第二基础图形单元的第四接地管脚为共用接地管脚，所述第一基础图形单元的第七接地管脚与所述第二基础图形单元的第三接地管脚为共用接地管脚，所述第一基础图形单元的第八接地管脚与所述第二基础图形单元的第二接地管脚为共用接地管脚。