

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2026 年 1 月 2 日 (02.01.2026)



(10) 国际公布号
WO 2026/001148 A1

(51) 国际专利分类号:
H01L 23/498 (2006.01)

(21) 国际申请号: PCT/CN2025/085550

(22) 国际申请日: 2025 年 3 月 28 日 (28.03.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202410846462.9 2024年6月26日 (26.06.2024) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(72) 发明人: 季宏凯 (**Ji, Hongkai**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号 230601 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚

(54) **Title:** SEMICONDUCTOR STRUCTURE AND SEMICONDUCTOR INTEGRATED STRUCTURE

(54) 发明名称: 半导体结构以及半导体集成结构

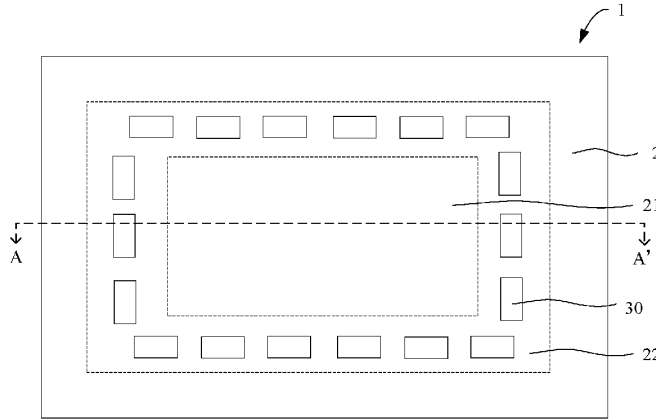


图 1A

(57) **Abstract:** Embodiments of the present disclosure provide a semiconductor structure, comprising: a substrate, wherein a dielectric layer is covered on the substrate, and the dielectric layer comprises a first region and a second region surrounding the first region; a first conductive pad provided in the first region of the dielectric layer, wherein a top surface of the first conductive pad is provided with a recess or protrusion portion, and the dielectric layer covers the top surface of the first conductive pad; and a first bonding pad provided in the second region of the dielectric layer, wherein the first bonding pad is provided around the first conductive pad, the first bonding pad has a top surface exposed to the dielectric layer, and a bottom surface of the first bonding pad is higher than the top surface of the first conductive pad. The semiconductor structure provided by the embodiments of the present disclosure has a second region surrounding the periphery of the first region, wherein a first bonding pad is provided in the second region, and the first bonding pad can effectively prevent the impact of a raised or recessed surface of the first region on the product yield.

[见续页]

(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例提供了一种半导体结构, 包括: 衬底, 衬底上覆盖有介质层, 介质层包括第一区域和环绕第一区域的第二区域; 设置在第一区域的介质层中的第一导电垫, 第一导电垫的顶表面具有凹陷或凸起的部分, 介质层覆盖所述第一导电垫的顶表面; 设置在第二区域的介质层中的第一键合垫, 第一键合垫环绕第一导电垫设置, 第一键合垫具有暴露于介质层的顶表面, 第一键合垫的底表面高于第一导电垫的顶表面。本公开实施例提供的半导体结构具有环绕第一区域外围的第二区域, 其中, 第二区域中设置有第一键合垫, 第一键合垫可以有效的防止由于第一区域凸起或凹陷的表面对产品良率的影响。