(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
13 janvier 2005 (13.01.2005)

PCT

(10) Numéro de publication internationale
WO 2005/004232 A1

(51) Classification internationale des brevets[7] :
H01L 21/762

(21) Numéro de la demande internationale :
PCT/FR2004/001368

(22) Date de dépôt international : 3 juin 2004 (03.06.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
03/06845 6 juin 2003 (06.06.2003) FR

(71) Déposants *(pour tous les États désignés sauf US)* : **S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES** [FR/FR]; Parc Technologique des Fontaines, Chemin des Franques, F-38190 Bernin (FR). **COMMISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR]; 31-33 rue de la Fédération, F-75752 Paris (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **GHYSELEN, Bruno** [FR/FR]; 58 rue Georges Maeder, F-38170 Seyssinet (FR). **AULNETTE, Cécile** [FR/FR]; 3 Place des Tilleuls, F-38000 Grenoble (FR). **BATAILLOU, Benoît** [FR/FR]; 12 rue des Bains, F-38000 Grenoble (FR). **MAZURE, Carlos** [FR/FR]; 357 Route de St Pancrasse, F-38880 St Nazaire les Eymes (FR). **MORICEAU, Hubert** [FR/FR]; 26 rue Fournet, F-38120 Saint Egreve (FR).

(74) Mandataire : **CABINET REGIMBEAU**; Espace Performance, Bâtiment K, F-35769 Saint Gregoire Cédex (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

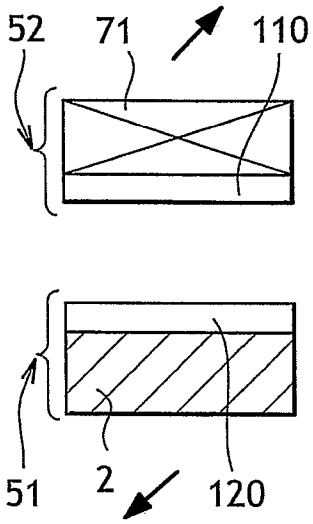
(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :
— *avec rapport de recherche internationale*

[Suite sur la page suivante]

(54) **Title:** METHOD FOR SIMULTANEOUSLY OBTAINING A PAIR OF SUBSTRATES COVERED BY A USEFUL LAYER

(54) **Titre :** PROCEDE D'OBTENTION CONCOMITANTE D'UNE PAIRE DE SUBSTRATS RECOUVERTS D'UNE COUCHE UTILE



(57) Abstract: The invention relates to a method for simultaneously obtaining at least one pair of structures (51, 52) each having a useful layer (110, 120) placed on a substrate (71,2). This method is characterized by comprising the following steps consisting of: a) preparing a row structure (1) having a useful layer placed on a supporting substrate (2); b) forming a fragilization area inside said useful layer whereby defining a front useful layer (110) and a rear useful layer (120); c) adhering a stiffening substrate (71) to said front useful layer (110); d) removing the stack of layers along the fragilization area in order to obtain two row structures (2), the first (51) containing the supporting substrate (2) and the rear useful area (120), and the second (52) containing the stiffening substrate (71) and the front useful layer (110). The invention is for use in the fields of electronics, optoelectronics or optics.

(57) Abrégé : L'invention concerne un procédé d'obtention concomitante d'au moins une paire de structures (51,52) comprenant chacune une couche utile (110,120) reportée sur un substrat (71,2). Ce procédé est remarquable en ce qu'il comprend les étapes consistant à : a) préparer une structure de rang 1 comprenant une couche utile reportée sur un substrat support (2), b) former une zone de fragilisation à l'intérieur de ladite couche utile, de façon à y définir une couche utile avant (110) et une couche utile arrière (120), c) faire adhérer un substrat raidisseur (71) sur la ladite couche utile avant (110), d) procéder au détachement de l'empilement de couches le long de la zone de fragilisation, pour obtenir deux structures de rang 2, la première (51) comprenant ledit substrat support (2) et ladite couche utile arrière (120) et la seconde (52) comprenant ledit substrat raidisseur (71) et ladite couche utile avant (110). Applications dans les domaines de l'électronique, l'optoélectronique ou l'optique.

WO 2005/004232 A1

— *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.