

Description

Titre de l'invention : PROCEDE DE FABRICATION DE SUPER RESEAUX DOUBLES OBTENUS PAR TRANSFERT DE COUCHE

DOMAINE TECHNIQUE DE L'INVENTION

- [0001] L'invention concerne d'une manière générale les super réseaux, constitués d'au moins un empilement périodique de couches de faibles épaisseurs, et particulièrement les super réseaux incluant des couches de matériaux semi-conducteurs. Plus en particulier, l'invention concerne les super réseaux doubles, ou « double superlattices » en terminologie anglaise.

ARRIERE PLAN TECHNOLOGIQUE

- [0002] Les super réseaux ont attiré l'attention pour leurs propriétés mécaniques, semiconductrices, ou encore pour la possibilité qu'ils offrent de former des boîtes quantiques.
- [0003] Ils sont également employés pour le développement de transistors dits transistors à nanofeuilles, aussi désignés comme Nanosheet transistors, ou GAAFET pour Gate-all-around Field-Effect Transistors en terminologie anglaise, dont les canaux de conduction sont formés d'un empilement de couches d'épaisseurs nanométriques chacune entourées d'un métal de grille, comme décrit dans les brevets US 10,249,739 B2 et US 11,018,222 B1. Il s'agit de structures semiconductrices à grille enveloppante, ou GAA pour Gate-All-Around en terminologie anglaise.
- [0004] Ce principe a été repris pour former des transistors dits CFET, pour Complementary Field Effect Transistor en terminologie anglaise, présentant une structure tridimensionnelle formée en utilisant une paire de super réseaux empilés : un premier super réseau formé sur un substrat est employé pour former un transistor de type n tandis qu'un second super réseau formé sur le premier super réseau est employé pour former un transistor de type p, ou vice-versa. Cette structure tridimensionnelle est avantageuse en termes d'intégration par rapport aux approches conventionnelles utilisées pour mettre en œuvre la technologie CMOS, laquelle emploie d'ordinaire des transistors de types p et des transistors de type n fabriqués côte-à-côte dans un même plan. En particulier, l'approche CFET permet par principe de diviser par deux l'encombrement d'une paire de transistors de types p et n, ou encore de raccourcir les connexions entre les deux transistors et donc de réduire la résistance électrique des connexions correspondantes. Cette approche est décrite par exemple dans les documents US 2019/0319095 A1, US 2021/0104523 A1, et US 2023/0326925 A1.
- [0005] Qu'il s'agisse de transistors Nanosheet ou de transistors CFET, les procédés de fabrications considérés impliquent la fabrication de super réseaux comprenant des em-

pilements de deux types de matériaux en alternance : l'un est prévu pour former les régions de canal des transistors, l'autre pour former des couches sacrificielles destinées à être éliminées pour être remplacées par une structure de diélectrique de grille et de métal de grille au cours de la fabrication des transistors.

- [0006] La fabrication de transistors CFET requiert l'empilement de transistors de deux types, type n et type p, l'un sur l'autre. Deux approches sont possibles.
- [0007] La première approche est dite « séquentielle », dans le sens où les transistors des deux types sont formés séquentiellement, au cours d'étapes distinctes. Dans cette approche, on transfère une structure semiconductrice en silicium ou autre matériau semiconducteur, ou encore un super réseau destiné à former des seconds transistors Nanosheet, sur un substrat semiconducteur déjà porteur, par exemple, de premiers transistors Nanosheet. Dans un premier temps, on forme les premiers transistors sur le substrat, puis on transfère sur celui-ci la structure semiconductrice, dans laquelle les seconds transistors sont alors formés. Le budget thermique pour le procédé de transfert de la structure semiconductrice et pour la formation des seconds transistors est limité par la nécessité de ne pas dégrader les premiers transistors. En outre, le contrôle de l'alignement des seconds transistors avec les premiers transistors doit être extrêmement strict et des structures de contact électrique spécifiques entre les deux étages doivent être prévues.
- [0008] La seconde approche est dite « monolithique », dans le sens où les premiers et les seconds transistors sont formés sur un même substrat, au moins une partie des étapes de fabrication s'appliquant simultanément à l'ensemble des couches dans lesquelles les premiers et les seconds transistors sont formés. On pourra se reporter au document US 2019/0319095 A1. Un des principaux avantages de cette approche est l'auto-alignement des seconds transistors sur les premiers transistors, qui permet une plus haute densité de transistors sur le substrat, et réduit les capacités parasites et les résistances entre les premiers et les seconds transistors.
- [0009] L'approche monolithique requiert des super réseaux plus épais comme structure de départ que l'approche séquentielle, puisque ces super réseaux forment la structure de base de deux transistors superposés fabriqués simultanément. Les super réseaux sont généralement fabriqués par épitaxie. Or, le nombre de couches empilables pour la formation de ces super réseaux est limité par l'épaisseur critique d'épitaxie, épaisseur au-delà de laquelle la qualité des couches déposées se dégrade en raison de phénomènes de relaxation élastique et/ou de relaxation plastique. L'approche monolithique se rapproche de et pourrait requérir de dépasser l'épaisseur critique d'épitaxie.
- [0010] En outre, l'approche monolithique est technologiquement plus complexe à mettre en œuvre que l'approche séquentielle, en particulier pour la formation d'une couche de séparation diélectrique entre les premiers transistors et les seconds transistors. Celle-ci

favorise l'intégration des espaces intérieurs de la structure et la formation des couches métalliques pour les sources et les drains des transistors. La distance verticale entre les premiers transistors et les seconds transistors peut être réduite à l'épaisseur de la couche diélectrique, avec des effets positifs sur la réduction des capacités parasites et des résistances entre les premiers et les seconds transistors. Cependant, l'obtention d'une telle couche diélectrique requiert une procédure complexe et l'emploi d'une couche sacrificielle éliminée de manière à laisser la place pour la couche diélectrique. Cette couche sacrificielle associée à la couche de séparation diélectrique doit être compatible avec une couche sacrificielle prévue pour former un espace d'accueil des couches diélectrique et de métal de grille. Ainsi, Les deux couches sacrificielles employées doivent pouvoir être attaquées sélectivement l'une par rapport à l'autre et par rapport au matériau semiconducteur formant le canal de conduction des transistors. On utilise par exemple du silicium pour le canal, et du silicium allié à différents pourcentages de germanium pour les couches sacrificielles. Du point de vue technique, si de telles structures peuvent être employées, leur obtention reste complexe et délicate.

- [0011] Le document US 2021/082901 A1 discute de l'assemblage d'empilements multicouches formés sur des substrats distincts ou non.
- [0012] Le document US 2023/197721 A1 discute du collage de substrats en vue de former des transistors superposés.
- [0013] Le document US 2023/197721 A1 discute de la formation de structures comprenant une couche à contraintes relâchées.
- [0014] Ainsi, il y a un besoin de structures de super réseaux comprenant des couches en nombre et de qualité suffisante pour garantir l'homogénéité et les performances de transistors formés à partir de ces couches. En outre, les procédés de fabrication de transistors CFET requièrent des structures de base facilitant et fiabilisant leur fabrication, et, si possible, améliorant les caractéristiques des dispositifs obtenus, en particulier la miniaturisation, les capacités parasites, ou encore les résistances électriques des connexions.

Exposé de l'invention

- [0015] L'objectif du déposant est de fournir un procédé de fabrication d'une structure apte à faciliter l'intégration et la production de transistors Nanosheet, et plus spécifiquement de transistors CFET, c'est-à-dire des transistors de type p et des transistors de type n superposés. Ce procédé de fabrication doit préférentiellement être particulièrement adapté à l'approche monolithique de la fabrication de transistors CFET.
- [0016] En vue de la réalisation de ce but, un aspect de l'invention est un procédé de fabrication d'une structure comprenant un empilement de super réseaux, le procédé comprenant les étapes de : former un premier super réseau sur un premier substrat

par empilement d'une pluralité de premières couches de canal en alternance avec une pluralité de premières couches sacrificielles ; former un second super réseau sur un second substrat par empilement d'une pluralité de secondes couches de canal en alternance avec une pluralité de secondes couches sacrificielles ; former un plan de fragilisation du second substrat par implantation d'ions d'une espèce légère dans le second substrat à travers le second super réseau ; et assembler le second super réseau au premier super réseau au niveau d'une couche de séparation diélectrique qui sépare et maintient fixés l'un à l'autre le premier super réseau et le second super réseau, le premier super réseau, la couche de séparation et le second super réseau étant empilés dans cet ordre ; et éliminer au moins une partie du second substrat par fracture du second substrat, et de retrait de cette au moins une partie du second substrat, après l'étape d'assemblage.

- [0017] Un premier avantage du procédé est de fournir un empilement de super réseaux pouvant être soit identiques soit distincts en composition et/ou en orientation.
- [0018] Un second avantage du procédé est la possibilité de dépasser l'épaisseur critique d'épitaxie pour les structures obtenues, qui limite le nombre et l'épaisseur de couches pouvant être épitaxiées les unes sur les autres sans perdre en qualité dans les structures cristallines de ces couches.
- [0019] Un troisième avantage du procédé réside dans la fourniture au sein même de l'empilement d'une couche de séparation entre deux super réseaux, cette couche pouvant présenter des caractéristiques structurales incompatibles avec les procédés conventionnels de formation de super réseaux. En effet, les super réseaux sont conventionnellement formés par des dépôts successifs de couches par épitaxie. Or, avec le présent procédé, la couche de séparation peut être constituée d'un diélectrique tel qu'un nitrure ou un oxyde pouvant être amorphe, incompatible avec la formation par épitaxie de couches semiconductrices de bonne qualité cristalline à la surface de cette couche amorphe : le dépôt par épitaxie requiert au contraire une couche de base cristalline. La présente invention permet ainsi d'employer tout type de diélectrique, par exemple SiN, SiCN, ou encore SiO₂, qui peut être choisi en fonction de ses caractéristiques diélectriques propres et de sa compatibilité avec les étapes prévues pour la fabrication de transistors sur la base de l'empilement de super réseaux.
- [0020] Un quatrième avantage découle des applications prévues pour cet empilement de super réseaux, qui est la formation de transistors CFET. La couche de séparation diélectrique peut être configurée pour remplir une fonction d'isolation électrique entre les transistors empilés, mais aussi servir de couches d'arrêt d'attaque (« etch stop » en terminologie anglaise) pour des traitements différenciés entre les transistors ou l'intégration de structures telles en face arrière du substrat porteur.

- [0021] Ainsi, le procédé de fabrication selon l'invention est apte à la production de structures pouvant servir de base à un procédé monolithique de production d'un circuit électronique intégrant des transistors CFET.
- [0022] Selon des caractéristiques additionnelles non-limitatives du procédé selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0023] - la couche de séparation peut être continûment formée dans un plan parallèle à une surface du premier substrat sur laquelle le premier super réseau est formé ;
- [0024] - les premières couche de canal et les secondes couches de canal peuvent chacune être formées d'un matériau semiconducteur, et les premières couches sacrificielles et les secondes couches sacrificielles peuvent chacune être formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal et les secondes couches de canal, respectivement ;
- [0025] - le procédé peut en outre comprendre une étape d'élimination d'au moins une partie du second substrat après l'étape d'assemblage ;
- [0026] - le procédé peut en outre comprendre une étape de dégagement d'une couche de canal du second super réseau après l'étape d'élimination de la au moins une partie du second substrat ;
- [0027] - le procédé peut en outre comprendre les étapes de (i) former une première couche de recouvrement du premier super réseau avant l'étape d'assemblage, et (ii) former une seconde couche de recouvrement du deuxième super réseau avant l'étape d'assemblage, procédé dans lequel l'étape d'assemblage peut comprendre la mise en contact de la première couche de recouvrement avec la seconde couche de recouvrement, la première couche de recouvrement et la seconde couche de recouvrement formant ensemble la couche de séparation ;
- [0028] - la première couche de recouvrement et la seconde couche de recouvrement peuvent chacune comprendre du silicium, et au moins l'une de la première couche de recouvrement et de la seconde couche de recouvrement peut être formée d'un oxyde ;
- [0029] - l'au moins l'une de la première couche de recouvrement et de la seconde couche de recouvrement formée d'un oxyde peut être formée par une étape de formation d'une couche de silicium suivie d'une étape d'oxydation de cette couche de silicium ;
- [0030] - le procédé peut en outre comprendre une étape de formation d'une couche d'arrêt d'attaque sur le second substrat avant la formation du second super réseau ;
- [0031] - la couche d'arrêt d'attaque peut être formée d'une couche d'un même matériau que les secondes couches sacrificielles ;
- [0032] - les premières couches de canal et les secondes couches de canal peuvent être formées de silicium ; les premières couches sacrificielles peuvent être formées d'un

premier alliage de silicium et de germanium ; et les secondes couches sacrificielles peuvent être formées d'un second alliage de silicium et de germanium ; et

- [0033] - le procédé peut comprendre les étapes de former une seconde couche de recouvrement du deuxième super réseau avant l'étape d'assemblage, la seconde couche de recouvrement comprenant du silicium et étant formée sur et en contact direct avec l'une des secondes couches sacrificielles ; et d'oxyder la seconde couche de recouvrement.
- [0034] L'invention s'étend à une structure d'un empilement de super réseaux, comprenant : un substrat porteur ; un premier super réseau sur le substrat porteur ; une couche de séparation diélectrique sur le premier super réseau ; et un deuxième super réseau sur la couche de séparation.
- [0035] Selon des caractéristiques additionnelles non-limitative de la structure selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0036] - la couche de séparation peut être continûment formée dans un plan parallèle à une surface du substrat porteur supportant le premier super réseau ;
- [0037] - le premier super réseau peut être formé d'un empilement d'une pluralité de premières couches de canal en alternance avec une pluralité de premières couches sacrificielles ; le second super réseau peut être formé d'un empilement d'une pluralité de secondes couches de canal en alternance avec une pluralité de secondes couches sacrificielles ; les premières couche de canal et les secondes couches de canal peuvent chacune être formées d'un matériau semiconducteur, et les premières couches sacrificielles et les secondes couches sacrificielles peuvent chacune être formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal et les secondes couches de canal, respectivement ;
- [0038] - la couche de séparation peut comprendre une couche formée de nitrure de silicium, de nitrure de carbure de silicium, ou d'oxyde de silicium ; et
- [0039] - la couche de séparation peut comprendre une couche formée d'oxyde de silicium.

BREVE DESCRIPTION DES FIGURES

- [0040] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquels :
- [0041] [Fig.1] La [Fig.1] illustre un procédé de fabrication selon l'invention ;
- [0042] [Fig.2] La [Fig.2] illustre une suite du procédé de la [Fig.1] ;
- [0043] [Fig.3] La [Fig.3] illustre des variantes de structures pouvant être obtenues par le procédé des figures 1 et 2 ;
- [0044] [Fig.4] La [Fig.4] illustre des variantes des couches de séparation de la [Fig.3] ; et

[0045] [Fig.5] La [Fig.5] est un diagramme résumant le procédé de fabrication des figures 1 et 2.

DESCRIPTION DETAILLÉE DE L'INVENTION

[0046] Mode de réalisation

[0047] Un mode de réalisation de la présente invention est décrit au moyen des figures 1 à 5 et de la description associée ci-dessous.

[0048] La [Fig.3] illustre en (C) une structure Strc formée d'un substrat porteur Car, d'un premier super réseau Stck1, d'une couche Sep de séparation, et d'un second super réseau Stck2, empilés dans cet ordre. Le premier super réseau Stck1 comprend une pluralité de premières couches Ch1 empilées en alternance avec une pluralité de premières couches Sac1, de préférence de sorte que chaque première couche Ch1 soit interposée entre et en contact direct avec deux des premières couches Sac1. Le second super réseau Stck2 comprend une pluralité de secondes couches Ch2 empilées en alternance avec une pluralité de secondes couches Sac2, de préférence de sorte que chaque seconde couche Ch2 soit interposée entre et en contact direct avec deux des secondes couches Sac2.

[0049] Les premières couche Ch1 et les secondes couches Ch2 sont des couches formées d'au moins un matériau semiconducteur destiné à former des régions de canal de transistors et peuvent être désignées comme les premières couches Ch1 de canal et les secondes couches Ch2 de canal, respectivement. Ces couches de canal peuvent être formées d'un même matériau, ou de matériaux différents.

[0050] Les premières couches Sac1 et les secondes couches Sac2 sont des couches formées d'au moins un matériau susceptible de présenter des vitesses de gravures plus rapides que les premières couche Ch1 et les secondes couches Ch2, et peuvent être désignées comme les premières couches Sac1 sacrificielles et les secondes couches Sac2 sacrificielles, respectivement. Ces couches sacrificielles peuvent être formées d'un même matériau, ou de matériaux différents. En particulier, les couches Sac1 peuvent avoir une composition $\text{Si}_{1-x}\text{Ge}_x$ et les couches Sac2 peuvent avoir une composition $\text{Si}_{1-y}\text{Ge}_y$ où x et y représentent les proportions de germanium dans les couches Sac1 et Sac2, respectivement, avec x pouvant être différent de ou égal à y. Ces couches Sac1 et Sac2 d'alliage SiGe peuvent être associées à des couches Ch1 et Ch2 de silicium, grâce à la compatibilité de croissance par épitaxie de ces deux matériaux qui possèdent un paramètre de maille assez proche. Les proportions x et y sont de préférences inférieures à 40%, par exemple comprises entre 15% et 35%.

[0051] Les secondes couches Sac1 et Sac2 sont destinées à servir de couches sacrificielles dans une procédure de formation de transistors Nanosheet, au cours de laquelle, les couches Sac1 et Sac2 sont éliminées par gravure, pouvant être chimique, de manière

à obtenir une structure de rubans flottants formés des couches Ch1 et Ch2. Ces rubans flottants seront par la suite entourés d'une couche de diélectrique de grille et d'un métal de grille de manière à former des transistors Nanosheet.

- [0052] Les figures 1, 2 et 5 illustrent un procédé de fabrication de la structure Stc, qui est basé avantageusement sur les fabrications séparées des deux super réseaux Stc1 et Stc2 sur deux substrats respectifs, puis le transfert du second super réseau Stc2 sur le premier super réseau Stc1. Les premier et second super réseaux comportent chacun au moins deux couches de canal Ch1 et Ch2 respectivement. La [Fig.5] représente un diagramme schématisant les étapes du procédé 500 de fabrication.
- [0053] La [Fig.1] illustre en (A) la formation du premier super réseau Stc1 sur un substrat porteur Car, au cours d'une étape 510_{Car}. Dans le cadre de cet exemple, le substrat porteur Car est constitué d'un wafer de silicium monocristallin.
- [0054] Sur une surface S_{Car} du substrat Car, on fait croître par épitaxie des couches Ch1 de silicium Si de 5 à 15 nm d'épaisseur, de préférence de 7 à 10 nm d'épaisseur, en alternance avec des couches Sac1 d'un premier alliage de silicium et de germanium de formule Si_{1-x}Ge_x de 5 à 10 nm d'épaisseur, de préférence de 6 à 9 nm d'épaisseur, et où x représente le pourcentage de germanium dans l'alliage, de préférence en commençant et en terminant par une couche Sac1. Sur la dernière couche Sac1, on forme au cours d'une étape 520_{Car} une couche Cap1 de recouvrement, ici formée de silicium Si et ayant pour fonction d'empêcher l'oxydation de la dernière couche Sac1. La couche Cap1 peut avoir une épaisseur comprise entre 1 et 2 nm.
- [0055] La [Fig.1] illustre en (B) la formation du second super réseau Stc2 sur un substrat donneur Don, au cours d'une étape 520_{Don}. Dans le cadre de cet exemple, le substrat donneur Don est constitué d'un wafer de silicium monocristallin.
- [0056] Sur une surface S_{Don} du substrat Don, on fait croître par épitaxie des couches Ch2 de silicium Si de 5 à 15 nm d'épaisseur, de préférence de 7 à 10 nm d'épaisseur, en alternance avec des couches Sac2 du premier alliage de silicium et de germanium de formule Si_{1-x}Ge_x de 5 à 10 nm d'épaisseur, de préférence de 6 à 9 nm d'épaisseur. Préférentiellement, la croissance est mise en œuvre de sorte qu'on commence et on termine par une couche Sac2. Sur la dernière couche Sac2, on forme une couche Cap2 de recouvrement, faite de silicium, au cours d'une étape 530_{Don}. La couche Cap2 a pour fonction d'empêcher l'oxydation de la dernière couche Sac2, et elle est préférentiellement configurée pour être oxydée par la suite pour former une interface de collage avec la couche Cap1. L'épaisseur de la couche Cap2 dépend de l'épaisseur visée pour la future couche oxydée. En visant une couche d'oxyde d'une épaisseur comprise entre 10 et 35 nm, la couche Cap2 dans ce cas doit avoir une épaisseur comprise entre environ 4 et 16 nm. Cette couche Cap2 est cependant optionnelle, son

intérêt dépendant de la facilité à s'oxyder du matériau constituant la dernière couche du second super réseau Stck2 et de l'intérêt à l'intégrer dans une couche de séparation diélectrique entre les deux super réseaux.

- [0057] Optionnellement, avant la formation du second super réseau Stck2, on peut former sur le substrat donneur Don une couche Stp formée par exemple du premier alliage de silicium et de germanium de formule $\text{Si}_{1-x}\text{Ge}_x$ d'une épaisseur comprise entre 5 et 10 nm, au cours d'une étape 510_{Don}. Cette couche est une couche d'arrêt d'attaque et est destinée à protéger l'intégrité des couches du second super réseau Stck2 lors des étapes de fabrication suivant la fracture du substrat donneur décrite plus loin et illustrées en (B) et (C) de la [Fig.2].
- [0058] La [Fig.1] illustre en (C) une oxydation de la couche Cap2 de silicium Si pour former une couche de recouvrement Ox2 d'oxyde de silicium SiO_2 de 10 à 35 nm d'épaisseur, au cours d'une étape 540_{Don} d'oxydation.
- [0059] Préférentiellement, les substrats porteur Car et donneur Don comportant respectivement les premier et second super réseaux sont sensiblement identiques. Ceci permet avantageusement de les réaliser facilement à grande échelle, facilitant ainsi leur industrialisation. Par ailleurs, l'emploi de substrats support et donneur sensiblement identiques permet avantageusement d'avoir une structure assemblée symétrique et ayant des coefficients de dilatation thermiques semblables pour les deux substrats porteur et donneur, ce qui évite avantageusement les problèmes de déformation mécaniques à la suite des étapes de collage et des futurs traitements thermiques.
- [0060] La température et la durée d'oxydation employées sont limitées pour éviter de dépasser le budget thermique autorisé pour éviter ou au moins limiter la diffusion du germanium d'une couche à l'autre des super réseaux, et en particulier la contamination des couches de canal par le germanium sur l'intégralité de leurs épaisseurs.
- [0061] La [Fig.1] illustre également en (C) une implantation d'espèces légères comme de l'hydrogène, de l'hélium, ou une combinaison de telles espèces dans le substrat donneur Don à travers la surface S_{Don}, le second super réseau Stck2 et la couche de recouvrement Ox2, de manière à former un plan de fragilisation Imp dans le substrat donneur Don, au cours d'une étape 550_{Don}.
- [0062] A la suite de la formation du plan de fragilisation Imp, le substrat donneur Don est retourné et la couche d'oxyde Ox2 est mise en contact intime avec la couche de silicium Cap1 et y est assemblée, par exemple par collage moléculaire ou toute autre technique d'assemblage par mise en contact direct de surfaces d'éléments à assembler, de manière à obtenir la structure illustrée en (A) de la [Fig.2], au cours d'une étape 560 d'assemblage. La couche de séparation Sep est formée à cette étape par collage des dernières couches formées respectivement sur le substrat porteur Car et sur le substrat

donneur Don, et correspond à l'ensemble formé des couches séparant le premier super réseau Stck1 et le second super réseau Stck2, les couches Cap1 et Ox2 dans le présent mode de réalisation, comme illustré par la [Fig.3]. Cette couche de séparation Sep chevauche de préférence en totalité le substrat donneur Don. En outre, la couche de séparation Sep est continûment formée dans un plan parallèle à la surface S_{Car} du substrat porteur Car supportant le premier super réseau Stck1. Même si la couche de séparation ne chevauche pas rigoureusement la totalité du substrat porteur Car, elle est au moins formée continûment sur une zone prévue pour former un ensemble de composant semi-conducteurs tels que des transistors, éventuellement un ensemble de transistors CFET.

- [0063] La [Fig.2] illustre en (B) la fracture du substrat donneur Don au niveau du plan de fragilisation Imp obtenue par implantation ionique, de sorte qu'une partie Don_b est retirée de la structure illustrée en (A) tandis qu'une partie Don_a y reste fixée, au cours d'une étape 570 de fracture et de retrait. Cette fracture peut être obtenue par traitement thermique, éventuellement assisté d'une sollicitation mécanique d'amorce de la rupture, selon des techniques conventionnelles de transfert de couche bien connues dans le domaine de la microélectronique.
- [0064] A la suite de l'assemblage et de fracture du substrat donneur, on peut appliquer un traitement thermique de manière à consolider l'assemblage et réparer les couches assemblées. La température et la durée du traitement thermique sont limitées pour éviter de dépasser le budget thermique autorisé pour éviter ou au moins limiter la diffusion du germanium d'une couche à l'autre des super réseaux, et en particulier la contamination des couches de canal par le germanium sur l'intégralité de leurs épaisseurs. Le traitement thermique peut typiquement consister en un recuit de 2h ou moins à une température maximale de 750°C et préférentiellement inférieure à 700°C.
- [0065] Une alternative à la formation d'un plan de fragilisation et à la fracture du substrat donneur Don au niveau de ce plan peut consister en un amincissement du substrat donneur Don après son assemblage, par exemple par gravure, meulage et/ou polissage mécanochimique (CMP pour Chemical Mechanical Polishing en terminologie anglaise). Cet amincissement peut être employé pour entièrement retirer le second substrat Don s'il est poussé par exemple jusqu'à la couche d'arrêt Stp.
- [0066] La [Fig.2] illustre en (C) la structure illustrée en (B) après qu'elle a été soumise à des attaques mécaniques et/ou chimiques d'élimination de la partie Don_a du substrat donneur Don, et de la couche d'arrêt d'attaque Stp, au cours d'une étape 580 de dégagement. Ainsi, la couche Ch2 du second super réseau la plus éloignée du substrat porteur Car est dégagée au cours de cette étape.
- [0067] La structure en (C) de la [Fig.2] présente la structure Strc formée du substrat porteur Car, du premier super réseau Stck1, de la couche de recouvrement Cap1 formée de

silicium, de la couche Ox2 d'oxyde de silicium, et du second super réseau Stck2, empilés dans cet ordre. La couche de recouvrement Cap1 et la couche Ox2 d'oxyde de silicium forment une couche Sep de séparation diélectrique entre le premier super réseau Stck1 et le second super réseau Stck2, comme indiqué par la [Fig.3] en (C). La couche de séparation est considérée comme une couche diélectrique en ce qu'elle est formée au moins en partie d'un matériau considéré comme diélectrique, comme du nitrure de silicium, du nitrure de carbure de silicium, ou de l'oxyde de silicium. Cette structure est prête à être soumise à un procédé monolithique de formation de transistors CFET.

- [0068] Les figures portent des indications « Si » ou « SiGe » aux emplacements de certaines couches, et notamment celles formant les super réseaux Stck1 et Stck2, afin d'augmenter leur lisibilité en indiquant leurs compositions pour un exemple donné. Ces indications ne sont cependant pas à interpréter comme limitant la nature des couches ainsi annotées. D'autres matériaux, et en particulier ceux cités dans cette description, pouvant être employés pour former ces couches.
- [0069] La [Fig.3] illustre en (C') et en (C'') des structures Strc' et Strc'', respectivement, avec des variations possibles Sep' et Sep'' de la couche de séparation Sep de la structure Strc. En (C), la couche de séparation Sep est formée par collage de la couche Ox2 de recouvrement, formée d'oxyde, à la couche Cap1 de recouvrement, constituant respectivement les dernières couches formées sur le substrat donneur Don et sur le substrat porteur Car.
- [0070] Une première variation illustrée en (C') consiste à former une couche Ox1 d'oxyde de silicium comme dernière couche formée sur le substrat porteur Car et à former une couche Cap2 de recouvrement en silicium comme dernière couche formée sur le substrat donneur Don. Ainsi, la couche de séparation Sep' est formée par l'assemblage par collage moléculaire de la couche Ox1 avec la couche Cap2.
- [0071] Une seconde variation illustrée en (C'') consiste à former deux couches d'oxyde de silicium comme dernières couches respectives formées sur les substrats Car et Don. Ainsi, la couche de séparation Sep'' est formée par l'assemblage par collage moléculaire de ces deux couches d'oxyde de silicium ne formant finalement plus qu'une couche Ox d'oxyde de silicium.
- [0072] La couche de séparation Sep, qui est aussi la couche liant les deux super réseaux l'un à l'autre, n'est pas limitée à être formée de silicium cristallin et/ou d'oxyde de silicium amorphe obtenu par oxydation de silicium. Ainsi, bien que la [Fig.1] illustre en (A) et (B) un procédé dans lequel la couche d'oxyde Ox2 est formée par l'oxydation d'une couche de silicium, la couche Ox2 pourrait être formée par dépôt direct d'une couche d'oxyde de silicium. Cette remarque s'applique aux variations illustrées en (C')

et (C'') de la [Fig.3] pour la couche Ox1 de (C') et aux couches d'oxyde formant la couche Ox de (C').

- [0073] La couche de séparation peut également être composée de couches formées de silicium amorphe ou d'autres matériaux tant que ceux-ci sont compatibles avec le procédé de traitement des super réseaux envisagé par la suite. Ainsi, d'une manière générale, des matériaux diélectriques, semiconducteurs ou métalliques peuvent être employés pour former les couches composant la couche de séparation, la principale contrainte étant que ces matériaux doivent se trouver sous forme de couches de planéité suffisamment forte et de rugosité suffisamment faible pour être assemblées par un procédé de collage direct tel que le collage moléculaire. Dans le cas où les super réseaux sont prévus pour former des transistors CFET, on emploiera de préférence des matériaux diélectriques et/ou des matériaux semiconducteurs. On peut par exemple employer l'un ou une combinaison de matériaux choisis parmi du nitrure de silicium (SiN), du nitrure de carbure de silicium (SiCN), un oxyde de ceux-ci (SiON, SiCNO_x), ou encore de l'oxyde de silicium (SiO₂) déposé ou formé par une méthode d'oxydation. Des matériaux diélectriques dits matériaux « high k » en terminologie anglaise, tels que HfO₂, ZrO₂, La₂O₃, Al₂O₃, TiO₂, SrTiO₃, leurs alliages ou leurs alliages avec du silicium peuvent également être employés. Plus généralement, on peut employer tout type de matériau diélectrique utilisé dans l'industrie des semi-conducteurs en tant que couche diélectrique, couche de protection, masque dur (hard mask en terminologie anglaise), revêtement de vias (liners destinés aux TSVs ou through-silicon vias en terminologie anglaise).
- [0074] La [Fig.4] illustre de telles alternative avec, en (A), une couche Sep de séparation formée, dans cet ordre, de couches de séparation Sep_a, Sep_b et Sep_c. Le collage moléculaire est effectué au niveau d'un plan d'interface Int située entre les couches Sep_c et Sep_b, dont l'une est formée de silicium, de silicium amorphe, ou d'oxyde de silicium, l'autre étant formée de silicium amorphe ou d'oxyde de silicium. La couche Sep_a peut être formée de nitrure de silicium, de nitrure de carbure de silicium, d'oxyde de silicium ou d'autres matériaux diélectriques. Les couches Sep_a et Sep_b peuvent être formée sur le substrat donneur Don au lieu de la couche Ox2 et la couche Sep_c peut être formée sur le substrat porteur Car au lieu de la couche Cap1. Alternativement, les couches Sep_a et Sep_b peuvent être formée sur le substrat donneur Car au lieu de la couche Cap1 et la couche Sep_c peut être formée sur le substrat donneur Don au lieu de la couche Ox2.
- [0075] La configuration illustrée en (B) de la [Fig.4] est différente de la configuration illustrée en (A) en ce qu'elle comprend en outre une couche de séparation Sep_d formée du même côté du plan d'interface Int que la couche Sep_c, et peut être formée de

nitride de silicium, de nitride de carbure de silicium, d'oxyde de silicium ou d'autres matériaux diélectriques.

- [0076] Les couches de séparation des variantes illustrées par la [Fig.4] constituent des MDL, ou Multiple Dielectric Layers en terminologie anglaise, et peuvent être utilisées pour améliorer le collage moléculaire et la force d'adhésion en vue d'étapes de fabrication ultérieures.
- [0077] Le procédé de fabrication illustré par les figures 1 et 2 permet d'obtenir une superposition de deux super réseaux. De plus, le procédé peut être répété pour empiler un nombre arbitraire de super réseaux. Ainsi, l'épaisseur critique d'épitaxie peut être dépassée : chacun des super réseaux pris individuellement peut respecter cette épaisseur de manière à être formé de couches d'une grande qualité, et leur empilement permet un assemblage de super réseaux dépassant l'épaisseur critique tout en maintenant la qualité des couches les composant.
- [0078] La formation par épitaxie des couches constituant les super réseaux implique la reproduction de la structure cristalline d'une couche à l'autre, de sorte que les couches Ch1 (ou Ch2) et Sac1 (ou Sac2), par exemple respectivement en Si et SiGe, ont une même structure cristalline. D'ordinaire, il n'est pas possible d'épitaxier une couche de semiconducteur de caractéristiques acceptables en vue de former des transistors sur une couche amorphe telle qu'une couche de diélectrique, et plus particulièrement d'oxyde. En effet, celle-ci ne constitue pas une base adéquate à l'épitaxie d'une couche semiconductrice cristalline de qualité. La couche de séparation obtenue par le procédé selon l'invention permet justement de positionner une couche de diélectrique entre deux super réseaux formés de couches semiconductrices de qualité suffisante pour produire des transistors en vue d'applications commerciales.
- [0079] En outre, la couche de séparation peut être adaptée (composition, épaisseur de la ou des couches la formant) à l'usage qu'il est prévu de faire des super réseaux empilés. On peut ainsi assurer une isolation électrique souhaitée entre les deux super réseaux Stck1 et Stck2 en modulant par exemple l'épaisseur de la couche Cap2 qui, une fois oxydée en couche Ox2, forme une couche diélectrique de haute qualité, d'épaisseur choisie et couvrant l'ensemble de la structure, tout un wafer quand les substrats sont des wafers.
- [0080] La couche de séparation est formée continûment dans un plan parallèle à la surface supérieure du substrat la supportant, couvrant sensiblement toute la surface du substrat. Une telle géométrie contraste avec la situation que l'on trouve dans les structures de type CFET, dans lesquelles une couche diélectrique séparant les transistors de type n et les transistors de type p suit les reliefs formés par les structures issues de la formation des transistors situés entre le substrat et cette couche diélectrique, et peut être discontinue.

- [0081] Ainsi la couche de séparation selon l'invention peut-être de haute qualité, d'épaisseur choisie, avec en outre une bonne uniformité d'épaisseur, et continue sur une portion d'intérêt ou sur substantiellement la totalité de la surface d'un substrat, ce qui la rend apte à servir de couche d'arrêt d'attaque, au cours du procédé de fabrication des différents transistors, ou pour un traitement différencié entre les transistors formés dans le premier super réseau et les transistors formés dans le second super réseau. Par ailleurs, en utilisant un substrat Car de type SOI, on peut également réaliser un réseau d'alimentation électrique en face arrière du dispositif (dit BSPDN pour BackSide Power Delivery Network en terminologie anglaise), en se servant du BOX comme couche d'arrêt de gravure. Une portion d'intérêt peut consister en une surface d'un substrat prévue pour requérir la présence de la couche de séparation.
- [0082] Le substrat porteur Car et le substrat donneur Don peuvent comprendre n'importe quel matériau semi-conducteur. Outre le silicium, le matériau semi-conducteur peut être du germanium (Ge), un alliage silicium-germanium (SiGe), du carbure de silicium (SiC), du carbure de silicium-germanium (SiGeC), des semi-conducteurs composés III-V ou des semi-conducteurs composés II-VI, ou des substrats de type SOI pour Silicon-On-Insulator en terminologie anglaise, et plus généralement tout type de substrat semiconducteur comprenant une couche de matériau diélectrique enterrée ou en surface. Une telle couche diélectrique peut servir de couche d'arrêt d'attaque pour la formation de structures sur la face arrière (du côté du substrat porteur Car) de la structure obtenue par le procédé décrit par les figures 1 et 2, ou, pour le cas où elle se situe en surface, d'isolation afin de prévenir le phénomène dit de « latch-up » d'un circuit intégré fabriqué sur la base de cette structure.
- [0083] Les couches Ch1 et Ch2 peuvent être formées, par exemple, de silicium ou d'un composé semi-conducteur de type III-V. Les couches Sac1 et Sac2 peuvent être formées, par exemple, d'alliages de silicium et de germanium génériquement désignés par SiGe. Les couches Ch1 et Ch2 peuvent être de même composition dans les deux super réseaux Stck1 et Stck2, et de même, les couches Sac1 et Sac2 peuvent être de même composition $Si_{1-x}Ge_x$ dans les deux super réseaux Stck1 et Stck2. Ce dernier point permet d'éliminer les couches sacrificielles Sac1 et Sac2 au cours d'une même étape.
- [0084] Alternativement, les super réseaux Stck1 et Stck2 peuvent être de natures et/ou d'orientations différentes. L'orientation du second super réseau par rapport au premier super réseau est définie lors de l'étape d'assemblage. Les couches Sac1 (et Ch1) d'une part et les couches Sac2 (et Ch2) d'autre part, peuvent présenter des orientations différentes, par exemple avec des axes cristallographiques décalées de 45°. On peut également considérer l'emploi de silicium contraint, d'alliages de silicium et de germanium SiGe ou de germanium pour les couches de canal de l'un ou l'autre des

deux super-réseaux ou pour les deux. Lorsque les deux super réseaux comprennent des alliages de silicium et de germanium, les proportions de germanium dans l'alliage peuvent être les mêmes ou différentes pour les deux super réseaux. Il convient bien entendu d'adapter la nature et les caractéristiques des couches sacrificielles Sac1 et Sac2 à celles des couches Ch1 et Ch2.

[0085] De même, les nombres de couches de canal et de couches sacrificielles dans les deux super réseaux peuvent être les mêmes, respectivement, ou peuvent être différents.

[0086] Le mode de réalisation ci-dessus a pris pour exemple des associations entre des couches de silicium en alternance avec des couches d'alliages de silicium et de germanium pour former le premier super réseau et le second super réseau. Cependant, l'invention ne se limite pas à ce cas particulier, et pourrait s'appliquer par exemple (i) à des super réseaux constitués de couches de germanium en alternance avec des couches d'un alliage de silicium et de germanium, (ii) à des super réseaux constituées de couches formées d'un premier alliage de silicium et de germanium à teneur de germanium par exemple inférieure à 20% en alternance avec des couches formées d'un second alliage de silicium et de germanium à haute teneur de germanium, par exemple supérieure à 75%, (iii) à des super réseaux présentant des couches d'orientations cristallographiques différentes, ou (iv) à des super réseaux comprenant des couches de matériaux semiconducteurs III-V.

[0087] Le mode de réalisation décrit ci-dessus porte sur une association de super réseaux prévue pour former des transistors, et plus spécifiquement des transistor Nanosheet ou CFET. La portée de l'invention s'étend cependant au-delà de ce domaine, et comprend la combinaison de super réseaux en général, pas uniquement dans le domaine des semiconducteurs.

[0088] L'invention n'est pas limitée au mode de réalisation décrit ci-dessus et on peut y apporter des variantes sans sortir du cadre de l'invention tel que défini par les revendications.

Revendications

- [Revendication 1] Procédé (500) de fabrication d'une structure (Strc, Strc', Strc'') comprenant un empilement de super réseaux, comprenant les étapes de :
- former (510_{Car}) un premier super réseau (Stck1) sur un premier substrat (Car), par empilement d'une pluralité de premières couches (Ch1) de canal en alternance avec une pluralité de premières couches (Sac1) sacrificielles ;
 - former (520_{Don}) un second super réseau (Stck2) sur un second substrat (Don), par empilement d'une pluralité de secondes couches (Ch2) de canal en alternance avec une pluralité de secondes couches (Sac2) sacrificielles ;
 - former (550_{Don}) un plan de fragilisation (Imp) du second substrat (Don) par implantation d'ions d'une espèce légère dans le second substrat (Don) à travers le second super réseau (Stck2) ;
 - assembler (560) le second super réseau (Stck2) au premier super réseau (Stck1) au niveau d'une couche de séparation (Sep, Sep', Sep'') diélectrique qui sépare et maintient fixés l'un à l'autre le premier super réseau (Stck1) et le second super réseau (Stck2), le premier super réseau (Stck1), la couche de séparation (Sep) et le second super réseau (Stck2) étant empilés dans cet ordre ; et
 - éliminer (570) au moins une partie (Don_b) du second substrat (Don) par fracture du second substrat (Don), et de retrait de cette au moins une partie (Don_b) du second substrat (Don), après l'étape d'assemblage (560).
- [Revendication 2] Le procédé selon la revendication 1, dans lequel la couche de séparation (Sep, Sep', Sep'') est continûment formée dans un plan parallèle à une surface (S_{Car}) du premier substrat (Car) sur laquelle le premier super réseau (Stck1) est formé.
- [Revendication 3] Le procédé selon la revendication 1 ou 2, dans lequel :
- les premières couche de canal (Ch1) et les secondes couches de canal (Ch2) sont chacune formées d'un matériau semiconducteur, et
 - les premières couches sacrificielles (Sac1) et les secondes couches sacrificielles (Sac2) sont chacune formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal (Ch1) et les secondes couches de canal (Ch2), respectivement.

- [Revendication 4] Le procédé selon l'un quelconque des revendications 1 à 3, comprenant en outre une étape d'élimination (570) d'au moins une partie (Don_b) du second substrat (Don) après l'étape d'assemblage (560).
- [Revendication 5] Le procédé selon la revendication 4, comprenant en outre une étape de dégagement (580) d'une couche de canal (Ch2) du second super réseau (Stck2) après l'étape d'élimination (570) de la au moins une partie (Don_b) du second substrat (Don).
- [Revendication 6] Le procédé selon l'une quelconque des revendications 1 à 5, comprenant les étapes de :
- former (520_{Car}) une première couche de recouvrement (Cap1, Ox1) du premier super réseau (Stck1) avant l'étape d'assemblage (560) ; et
 - former (530_{Don}) une seconde couche de recouvrement (Cap2, Ox2) du deuxième super réseau (Stck2) avant l'étape d'assemblage (560) ;
- dans lequel l'étape d'assemblage (560) comprend la mise en contact de la première couche de recouvrement (Cap1, Ox1) avec la seconde couche de recouvrement (Cap2, Ox2), la première couche de recouvrement (Cap1, Ox1) et la seconde couche de recouvrement (Cap2, Ox2) formant ensemble la couche de séparation (Sep, Sep', Sep'').
- [Revendication 7] Le procédé selon la revendication 6, dans lequel la première couche de recouvrement (Cap1) et la seconde couche de recouvrement (Cap2) comprennent chacune du silicium, et au moins l'une de la première couche de recouvrement (Ox1) et de la seconde couche de recouvrement (Ox2) est formée d'un oxyde.
- [Revendication 8] Le procédé selon la revendication 7, dans lequel l'au moins l'une de la première couche de recouvrement et de la seconde couche de recouvrement formée d'un oxyde est formée par une étape de formation (530_{Don}) d'une couche de silicium (Cap2) suivie d'une étape d'oxydation (540_{Don}) de cette couche de silicium.
- [Revendication 9] Le procédé selon l'une quelconque des revendications 1 à 8, comprenant en outre une étape de formation (510_{Don}) d'une couche d'arrêt d'attaque (Stp) sur le second substrat (Don) avant la formation du second super réseau (stck2).
- [Revendication 10] Le procédé selon la revendication 9, dans lequel la couche d'arrêt d'attaque est formée d'une couche (Stp) d'un même matériau que les secondes couches sacrificielles (Sac2).

- [Revendication 11] Le procédé selon l'une quelconque des revendications 1, 4, 5 à 10, dans lequel :
- les premières couches de canal et les secondes couches de canal sont formées de silicium ;
 - les premières couches sacrificielles sont formées d'un premier alliage de silicium et de germanium ; et
 - les secondes couches sacrificielles sont formées d'un second alliage de silicium et de germanium.
- [Revendication 12] Le procédé selon la revendication 11, comprenant les étapes de :
- former (530_{Don}) une seconde couche de recouvrement (Cap2) du deuxième super réseau (Stck2) avant l'étape d'assemblage (560), la seconde couche de recouvrement (Cap2) comprenant du silicium et étant formée sur et en contact direct avec l'une des secondes couches sacrificielles (Sac2) ; et
 - oxyder (540_{Don}) la seconde couche de recouvrement.