

一种时序校准方法和系统

技术领域

本发明涉及芯片测试领域，更具体地，涉及一种时序校准方法和系统。

背景技术

数字芯片测试机通常支持 pattern（测试向量）测试，用于数字芯片通过测试 pattern 来判断芯片功能是否正常，从而实现数字芯片大规模量产时的快速测试。

数字芯片测试机一般支持几百个测试通道，每个测试通道输出的数字信号都需要同时输出到待测数字芯片的引脚处，即数字信号需要边沿对齐，以保证输出到待测数字芯片引脚处的信号间时序是正确的。要保证所有数字芯片测试机所有测试通道输出的数字信号边沿对齐，需要通过对数字信号时序校准来实现。

现有方法一般通过高速示波器来逐个判断测试通道测试边沿是否对齐，该方法需要额外的高速示波器，成本高使用不便；或者通过两个通道输出时钟后的信号相与，再将相与的信号通过电容充电后采集电压的方式测算边沿是否对齐，该方法需要通过电容充电和 ADC 采样导致测试时间较长。

发明内容

本发明的一个目的在于提供一种时序校准方法和系统，以解决现有技术存在的问题中的至少一个。

为达到上述目的，本发明采用下述技术方案：

本发明第一方面提供一种时序校准方法，用于对数字测试机的若干测试通道中的测试信号进行时序校准，该方法包括：

选通数字测试机的任意两个测试通道，以输出测试信号；

采用窗口比较器对选通的两个测试通道输出的测试信号进行比较，并将比较结果输出到 FPGA；

被选通的两个测试通道其中之一输出的测试信号经时钟缓冲器传输到 FPGA 作为采样时钟；

FPGA 根据采样时钟采集窗口比较器的输出结果，并将结果信息发送给控制终端；

控制终端根据 FPGA 的输出结构调整对应的测试通道中测试信号的时钟相位，以完成对测试通道的时序校准。

可选地，该方法进一步包括：以所述采样时钟所在的测试通道作为校准基准通道，依次选通其他多个测试通道之一与所述窗口比较器连通作为被校准通道进行时序校准。

可选地，所述数字测试机的多个激励信号测试通道连接继电器网络的输入端，所述继电器网络的第一输出端连接所述窗口比较器的第一输入端，所述继电器网络的第二输出端连接所述窗口比较器的第二输入端和所述时钟缓冲器的输入端，所述窗口比较器的输出端连接所述 FPGA 的第一输入端，所述时钟缓冲器的输出端连接所述 FPGA 的第二输入端，所述 FPGA 的输出端连接所述控制终端。

可选地，所述控制终端控制所述继电器网络中的继电器断开或闭合，使被选通的两个激励信号测试通道分别输出到所述继电器网络的第一输出端和第二输出端。

可选地，如果被校准通道产生的时钟信号边沿与基准通道产生的时钟信号边沿不对齐，所述控制系统控制所述数字测试机激励信号测试通道调整被校准通道输出的时钟相位，直到被校准通道的时钟相位与基准通道产生的时钟信号边沿对齐。

可选地，利用二分查找法调整被校准通道输出的时钟相位。

可选地，若测得被校准通道比基准通道相位超前，则令被校准通道输出延迟 $N \text{ nS}$ ，此时若测得被校准通道比基准通道相位滞后，则调整被校准通道输出延迟为 $N/2 \text{ nS}$ ，此时若测得被校准通道比基准通道相位滞后，则被校准通道比基准通道相位超前在 $0 \sim N/2 \text{ nS}$ 范围，若测得被校准通道比基准通道相位超前，则被校准通道比基准通道相位超前在 $N/2 \sim N \text{ nS}$ 范围，其中 $N > 0$ 。

本发明第二方面提供一种执行上述时序校准方法的时序校准系统，该系统包括：数字测试机、控制终端和时序校准板卡；

所述时序校准板卡包括：继电器网络、窗口比较器、时钟缓冲器和 FPGA；其中，数字测试机包含多个激励信号测试通道；

继电器网络用于将数字测试机的多个激励信号测试通道选通任意两个激励信号测试通道分别输出到窗口比较器；

窗口比较器用于对选通后的两个激励信号测试通道输出的时钟信号进行比较，判断两个时钟信号边沿是否对齐，并将判断结果输出到 FPGA；

时钟缓冲器用于将所选通的激励信号测试通道之一输出的时钟信号缓

冲后输出到 FPGA 作为采样时钟；

FPGA 用于根据采样时钟采集窗口比较器的比较结果，并将结果发送给控制终端；

控制终端用于控制激励信号测试通道产生时钟信号，判断两个激励信号测试通道产生的时钟信号是否边沿对齐，并进行时序校准。

可选地，所述继电器网络和所述窗口比较器支持 100~800MHz 工作频率。

可选地，所述控制终端控制所述继电器网络选通测试通道之一与所述时钟缓冲器输入端和所述高速窗口比较器第二输入端连通用作校准基准通道，依次选通其他多个激励信号测试通道之一与所述窗口比较器第一输入端连通作为被校准通道进行时序校准。

本发明的有益效果如下：

本发明所述技术方案，提供了一种时序校准方法和系统，该系统无需外接示波器等仪器即可实现时序校准，使用方便。本发明所述时序校准方法通过利用高速继电器网络和时序校准板中的高速窗口比较器，可以快速实现数字测试机测试通道的时序校准，提高了时序校准效率，并且所有测试通道的校准精度能够达到 50ps 以内，满足校准精度要求。

附图说明

下面结合附图对本发明的具体实施方式作进一步详细的说明。

图 1 示出本发明实施例提供的一种时序校准系统的示意图。

图 2 示出本发明实施例提供的一种时序校准方法的流程图。

具体实施方式

为了更清楚地说明本发明，下面结合优选实施例和附图对本发明做进一步的说明。附图中相似的部件以相同的附图标记进行表示。本领域技术人员应当理解，下面所具体描述的内容是说明性的而非限制性的，不应以此限制本发明的保护范围。

如图 1 所示，本发明一个实施例提供了一种时序校准系统，包括数字测试机 1、控制终端 2 和时序校准板卡 3。

其中，数字测试机 1 包含若干测试通道，每个测试通道中对应传输一个测试向量 (Pattern)，所述测试向量作为测试信号被数字测试机发送至待测产品引脚。常见的数字测试机 1 包含有 512、768、1024 个测试通道。即 512

个测试通道中对应传输 512 个测试向量。

控制终端 2 可以为计算机或云端服务器，主要用于控制时序校准流程的进行。

时序校准板卡 3 包括：高速继电器网络 31、高速窗口比较器 32、时钟缓冲器 33 和 FPGA 34。

其中，高速继电器网络 31 用于选通数字测试机的任意两个测试通道，使得被选通的两个测试通道中的两个测试向量分别输出到高速窗口比较器 32 中。在一个具体示例中，所述高速继电器网络 31 和所述高速窗口比较器 32 最大支持 800MHz 工作频率。

高速窗口比较器 32 用于对选通后的两个测试通道输出的测试向量信号进行比较，判断两个测试向量信号的边沿是否对齐，并将判断结果输出到 FPGA 34；

时钟缓冲器 33 用于将其中一个测试通道产生的测试向量信号缓冲后输出到 FPGA 34 作为采样时钟；

FPGA 34 用于根据采样时钟采集高速窗口比较器 32 的比较结果，并将结果发送给控制终端 2。

控制终端 2 用于控制激励信号测试通道产生时钟信号，判断两个激励信号测试通道产生的时钟信号是否边沿对齐，并进行时序校准。

在一种可能的实现方式中，所述继电器网络和所述窗口比较器支持 100~800MHz 工作频率。

在一种可能的实现方式中，所述控制终端控制所述继电器网络选通测试通道之一与所述时钟缓冲器输入端和所述窗口比较器第二输入端连通用作校准基准通道，依次选通其他多个激励信号测试通道之一与所述高速窗口比较器第一输入端连通作为被校准通道进行时序校准。

如图 2 所示，本发明另一个实施例提供一种时序校准方法，用于对数字测试机的若干测试通道中的测试信号进行时序校准，该方法包括：

选通数字测试机的任意两个测试通道，以输出测试信号；

采用窗口比较器对选通的两个测试通道输出的测试信号进行比较，并将比较结果输出到 FPGA；

被选通的两个测试通道其中之一输出的测试信号经时钟缓冲器传输到 FPGA 作为采样时钟；

FPGA 根据采样时钟采集窗口比较器的输出结果，并将结果信息发送给控制终端；

控制终端根据 FPGA 的输出结构调整对应的测试通道中测试信号的时钟相位，以完成对测试通道的时序校准。在一种可能的实现方式中，所述数字测试机 1 的多个激励信号测试通道连接所述高速继电器网络 31 的输入端，高速继电器网络 31 的第一输出端连接所述高速窗口比较器 32 的第一输入端，高速继电器网络 31 的第二输出端连接所述高速窗口比较器 32 的第二输入端和所述时钟 BUF33 的输入端，所述高速窗口比较器 32 的输出端连接所述 FPGA 34 的第一输入端，所述时钟缓冲器 33 的输出端连接所述 FPGA 34 的第二输入端，所述 FPGA 34 的输出端连接所述控制终端 2。

在一种可能的实现方式中，所述控制终端 2 控制所述高速继电器网络 31 中的继电器断开或闭合，使被选通的两个激励信号测试通道分别输出到所述高速继电器网络 31 的第一输出端和第二输出端。

在一个具体示例中，数字测试机 1 包含的至少 512 个测试通道均连接到高速继电器网络 31 的输入端，512 个测试通道对应传输 512 个测试向量 (Pattern)，高速继电器网络 31 将数字测试机 1 包含的至少 512 个测试通道任意选择两个测试通道输出，高速继电器网络 31 的两个输出端均连接到高速窗口比较器 32 的输入端，同时其中一个高速继电器网络 31 的输出端连接到时钟缓冲器 33 的输入端，高速窗口比较器 32 的输出端连接 FPGA，时钟缓冲器 33 的输出端连接 FPGA，FPGA 利用时钟缓冲器 33 输出的采样时钟，来采样高速窗口比较器 32 的比较结果，然后将采样结果传给控制终端 2，例如控制终端 2 为计算机，由计算机判断本次测试的两个测试通道是否边沿对齐，并进行时序校准。

在一种可能的实现方式中，所述控制终端 2 控制所述高速继电器网络 31 选通测试通道之一与所述时钟缓冲器 33 输入端和所述高速窗口比较器 32 第二输入端连通用作校准基准通道，该基准通道称为通道 2，依次选通其他多个激励信号测试通道之一与所述高速窗口比较器第一输入端连通作为被校准通道进行时序校准，该被校准通道称为通道 1。

在一个具体示例中，所述控制终端 2 将未经高速窗口比较器 32 选通的其他激励信号测试通道依次进行选通，并根据所述基准通道 2 对被校准通道 1 进行时序校准。

在一个具体示例中，计算机控制数字测试机中被选通的两个激励信号测试通道产生时钟信号，例如时钟信号为 100MHz 时钟信号。

在一种可能的实现方式中，该方法进一步包括：以所述采样时钟所在的测试通道作为校准基准通道，依次选通其他多个测试通道之一与所述窗口比

较器连通作为被校准通道进行时序校准。

在一种可能的实现方式中，如果被校准通道产生的时钟信号边沿与基准通道产生的时钟信号边沿不对齐，所述控制系统控制所述数字测试机激励信号测试通道调整被校准通道输出的时钟相位，直到被校准通道的时钟相位与基准通道产生的时钟信号边沿对齐。

在一个具体示例中，所述高速窗口比较器的输出结果为随机的 0 和 1 时，被校准通道与基准通道产生的时钟信号边沿对齐；所述高速窗口比较器的输出结果为固定的 0 或 1 时，被校准通道与基准通道产生的时钟信号边沿不对齐，由此可以判断被校准通道与基准通道产生的时钟信号是否边沿对齐，从而实现时序校准。

当被校准通道与基准通道产生的时钟信号边沿不对齐时，所述控制系统 2 控制所述数字测试机 1 调整被校准通道输出的时钟相位，直到被校准通道与基准通道产生时钟信号边沿对齐，其中利用二分查找法调整被校准通道输出的时钟相位使得被校准通道与基准通道产生的时钟信号边沿对齐。

在一种可能的实现方式中，若测得被校准通道比基准通道相位超前，则令被校准通道输出延迟 $N \text{ nS}$ ，此时若测得被校准通道比基准通道相位滞后，则调整被校准通道输出延迟为 $N/2 \text{ nS}$ ，此时若测得被校准通道比基准通道相位滞后，则被校准通道比基准通道相位超前在 $0 \sim N/2 \text{ nS}$ 范围，若测得被校准通道比基准通道相位超前，则被校准通道比基准通道相位超前在 $N/2 \sim N \text{ nS}$ 范围，其中 $N > 0$ 。

在一个具体示例中，通道 1 为被校准通道，即其他多个激励信号测试通道之一与所述高速窗口比较器第一输入端连通的通道；通道 2 为基准通道，即高速继电器网络将被选通的两个激励信号测试通道之一与所述时钟缓冲器输入端和所述高速窗口比较器第二输入端连通的通道，通道 1 和通道 2 都没有输出延迟时，测得通道 1 比通道 2 相位超前，增加通道 1 输出延迟 5 nS ，然后测得通道 1 比通道 2 相位滞后，则修改通道 1 输出延迟为 2.5 nS ，然后如果测得通道 1 比通道 2 相位滞后，则通道 1 比通道 2 相位超前在 $0 \sim 2.5 \text{ nS}$ 范围，如果测得通道 1 比通道 2 相位超前，则通道 1 比通道 2 相位超前在 $2.5 \sim 5 \text{ nS}$ 范围，根据范围判断再依次二分判断查找，最终找出实际的相位差。

本发明提供的测试系统校准不需要连接待测数字芯片，校准完成后数字测试机再连接待测数字芯片。

在一个具体示例中，本发明的测试系统的基准通道和所有被校准通道的校准精度为 50 ps ，该精度主要是和高速窗口比较器的参数有关。

需要说明的是，本实施例提供的时序校准系统的原理及工作流程与上述时序校准方法相似，相关之处可以参照上述说明，在此不再赘述。

本发明实施例提供的时序校准系统和方法，无需外接示波器等仪器，利用了高速窗口比较器，可以快速实现数字测试机 pattern 测试通道的时序校准，提高了时序校准效率，并且校准精度能够达到 50ps 以内，满足校准精度要求。

显然，本发明的上述实施例仅仅是为清楚地说明本发明所作的举例，而并非是对本发明的实施方式的限定，对于所属领域的普通技术人员来说，在上述说明的基础上还可以做出其它不同形式的变化或变动，这里无法对所有的实施方式予以穷举，凡是属于本发明的技术方案所引伸出的显而易见的变化或变动仍处于本发明的保护范围之列。

权利要求书

1、一种时序校准方法，其特征在于，用于对数字测试机的若干测试通道中的测试信号进行时序校准，该方法包括：

选通数字测试机的任意两个测试通道，以输出测试信号；

采用窗口比较器对选通的两个测试通道输出的测试信号进行比较，并将比较结果输出到 FPGA；

被选通的两个测试通道其中之一输出的测试信号经时钟缓冲器传输到 FPGA 作为采样时钟；

FPGA 根据采样时钟采集窗口比较器的输出结果，并将结果信息发送给控制终端；

控制终端根据 FPGA 的输出结果调整对应的测试通道中测试信号的时钟相位，以完成对测试通道的时序校准。

2、根据权利要求 1 所述的时序校准方法，其特征在于，该方法进一步包括：以所述采样时钟所在的测试通道作为校准基准通道，依次选通其他多个测试通道之一与所述窗口比较器连通作为被校准通道进行时序校准。

3、根据权利要求 1 所述的时序校准方法，其特征在于，所述数字测试机的多个激励信号测试通道连接继电器网络的输入端，所述继电器网络的第一输出端连接所述窗口比较器的第一输入端，所述继电器网络的第二输出端连接所述窗口比较器的第二输入端和所述时钟缓冲器的输入端，所述窗口比较器的输出端连接所述 FPGA 的第一输入端，所述时钟缓冲器的输出端连接所述 FPGA 的第二输入端，所述 FPGA 的输出端连接所述控制终端。

4、根据权利要求 3 所述的时序校准方法，其特征在于，所述控制终端控制所述继电器网络中的继电器断开或闭合，使被选通的两个激励信号测试通道分别输出到所述继电器网络的第一输出端和第二输出端。

5、根据权利要求 2 所述的时序校准方法，其特征在于，如果被校准通道产生的时钟信号边沿与基准通道产生的时钟信号边沿不对齐，所述控制系统控制所述数字测试机激励信号测试通道调整被校准通道输出的时钟相位，直到被校准通道的时钟相位与基准通道产生的时钟信号边沿对齐。

6、根据权利要求 5 所述的时序校准方法，其特征在于，利用二分查找法调整被校准通道输出的时钟相位。

7、根据权利要求 6 所述的时序校准方法，其特征在于，若测得被校准通道比基准通道相位超前，则令被校准通道输出延迟 $N \text{ nS}$ ，此时若测得被校

准通道比基准通道相位滞后，则调整被校准通道输出延迟为 $N/2$ nS，此时若测得被校准通道比基准通道相位滞后，则被校准通道比基准通道相位超前在 $0 \sim N/2$ nS 范围，若测得被校准通道比基准通道相位超前，则被校准通道比基准通道相位超前在 $N/2 \sim N$ nS 范围，其中 $N > 0$ 。

8、一种执行上述权利要求 1-7 中任一项时序校准方法的时序校准系统，其特征在于，该系统包括：数字测试机、控制终端和时序校准板卡；

所述时序校准板卡包括：继电器网络、窗口比较器、时钟缓冲器和 FPGA；

其中，数字测试机包含多个激励信号测试通道；

继电器网络用于将数字测试机的多个激励信号测试通道选通任意两个激励信号测试通道分别输出到窗口比较器；

窗口比较器用于对选通后的两个激励信号测试通道输出的时钟信号进行比较，判断两个时钟信号边沿是否对齐，并将判断结果输出到 FPGA；

时钟缓冲器用于将所选通的激励信号测试通道之一输出的时钟信号缓冲后输出到 FPGA 作为采样时钟；

FPGA 用于根据采样时钟采集窗口比较器的比较结果，并将结果发送给控制终端；

控制终端用于控制激励信号测试通道产生时钟信号，判断两个激励信号测试通道产生的时钟信号是否边沿对齐，并进行时序校准。

9、根据权利要求 8 所述的时序校准系统，其特征在于，所述继电器网络和所述窗口比较器支持 $100 \sim 800$ MHz 工作频率。

10、根据权利要求 8 所述的时序校准系统，其特征在于，所述控制终端控制所述继电器网络选通测试通道之一与所述时钟缓冲器输入端和所述窗口比较器第二输入端连通用作校准基准通道，依次选通其他多个激励信号测试通道之一与所述窗口比较器第一输入端连通作为被校准通道进行时序校准。