明　細　書



半導体装置およびその製造方法

技術分野

本発明は、半導体装置およびその製造方法に関し、特に、高集積化された半導体装置の高性能化、高信頼化に適用して有効な技術に関するものである。

背景技術

半導体装置の高性能化および微細化に伴い、マスクの合わせずれを吸収できる自己整合技術が多用される。

たとえば、特開平１１－２６７１４号公報には、ＤＲＡＭのメモリセルを構成するＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）のゲート電極を窒化珪素膜で覆い、さらに酸化珪素膜からなる層間絶縁膜を形成後、前記ＭＩＳＦＥＴのソース・ドレイン領域に接続するプラグを形成する技術が開示されている。このプラグが形成される接続孔の加工工程において、酸化珪素膜がエッチングされ窒化珪素膜がエッチングされ難い第１のエッチング工程と、窒化珪素膜がエッチングされる第２のエッチング工程との２段階のエッチング工程が採用される。ＤＲＡＭメモリセルのＭＩＳＦＥＴ（選択ＭＩＳＦＥＴ）は最小加工寸法で加工されるため、ゲート電極間に接続孔を形成する際にはゲート電極パターンと接続孔パターンのマスクずれは回避できず、自己整合技術を用いなければ適正な接続孔加工は困難である。この点、前記公報の技術では、ゲート電極を覆う窒化珪素膜がエッチングストッパとして機能し、ゲート電極に対する接続孔加工の自己整合が実現できる。

また、前記公報の技術によれば、酸化珪素膜の膜厚を層間絶縁膜である酸化珪素膜の膜厚よりも相対的に薄く形成し、窒化珪素膜がエッチングストッパとして機能するため、前記第１のエッチング工程において十分なオーバーエッチングを施すことができる。このため、微細な接続孔であっても、また、アスペクト比の大きな接続孔であってもウェハ面内の接続孔深さを均一にすることができ、また



プロセスマージンを増加できる。一方、ストッパ膜である窒化珪素膜の膜厚は十分に薄いため、第２のエッチング工程において十分なオーバーエッチングを施しても基板の過剰エッチングは抑制される。いわば、基板表面に対する接続孔の自己整合加工が実現できる。特に、接続孔底部が素子分離領域にかかる場合には、素子分離領域を構成する酸化珪素膜が過剰にエッチングされる可能性があるが、前記２段階のエッチング手段を採用すれば、素子分離領域の過剰エッチングを十分に許容できる範囲に抑制できる。この結果、基板（素子分離領域）の過剰エッチングに起因するＭＩＳＦＥＴのリーク電流を抑制し、ＤＲＡＭの場合にはリフレッシュ特性を改善できる。

前記した基板表面に対する自己整合加工は、たとえばダマシンプロセスを用いた配線加工工程にも適用できる。すなわち、配線形成用の配線溝、あるいは接続孔を層間絶縁膜に形成する際に、配線溝底部、あるいは接続孔底部に相当する位置にあらかじめ薄い窒化珪素膜を形成し、前記２段階のエッチング工程と同様に配線溝あるいは接続孔を形成する。このような工程においても配線溝あるいは接続孔底部の部材の過剰エッチングを抑制し、配線溝深さあるいは接続孔深さの均一性を向上し、また、確実な配線層間の接続を実現できる。

ところで、窒化珪素膜の形成方法には、熱ＣＶＤ（Chemical Vapor Deposition）法、プラズマＣＶＤ法等各種の成膜方法がある。たとえば、特開平２－２３４４３０号公報には、シラン（SiH_4）および窒素（N_2）を原料ガスとするＥＣＲ（Electron Cyclotron Resonance）－ＣＶＤ法により形成した窒化珪素膜を層間絶縁膜あるいはパッシベーション膜に適用する技術が開示されている。また、特開昭６３－１３２４３４号公報には、シラン（SiH_4）および窒素（N_2）を原料ガスとするＥＣＲ－ＣＶＤ法により形成した窒化珪素膜をパッシベーション膜に適用する技術が開示されている。

しかし、本発明者らは、以下のような問題があることを認識した。なお、以下に説明する問題に対する認識は、本発明者らの実験検討により得られたものであり、公知にされたわけではない。

すなわち、半導体装置の微細化、高性能化に伴って、熱処理に対する制限が厳しくなっている。たとえば半導体装置の微細化の実現には拡散層（不純物半導体

領域）の精密な位置、深さの制御が必要である。これら精密に制御された拡散層の形成後に高温プロセスを介在させると不純物の拡散が生じ、拡散層の形成位置が変動して好ましくない。拡散層内の不純物濃度の制御性も高く要求されるため、拡散層内の不純物の再拡散は不純物濃度の変動の観点からも好ましくない。また、半導体装置の高性能化を実現するには不純物拡散層の表面あるいはゲート電極の表面へのシリサイド層の形成が望ましい。ところが、シリサイド層の形成後に高温プロセスを介在させると、シリサイド層の耐熱性の乏しさに起因して各種の問題を生じる。すなわち、シリサイド層とシリコン層との再反応によるシリサイド層内の組成変化、この組成変化に起因するシリサイド層の導電率の低下、あるいは、シリサイド層内のストレスの増加、ボイドの発生等の問題を生じる。

このため、ゲート電極を覆う自己整合用の窒化珪素膜、ダマシン配線の配線溝、接続孔を自己整合的に形成するための窒化珪素膜の形成には、高い温度（一般には７００℃以上）で形成する熱ＣＶＤ法を用いることができない。また、熱ＣＶＤ法による窒化珪素膜の形成では、成膜中に発生する活性な水素（Ｈ）がＭＩＳＦＥＴの拡散層あるいはチャネル領域に拡散し、しきい値（Ｖｔｈ）を変動させるという問題があることも本発明者らは認識している。

そこで、低温（一般には４００℃程度）で形成できるプラズマＣＶＤ法を用いた窒化珪素膜を検討することとなる。

ところが、プラズマＣＶＤ法による窒化珪素膜には、デバイス特性を劣化させ得る新たな障害が存在する。

すなわち、プラズマプロセス中に発生するラジカルあるいはイオンのボンバードメントにより、被形成面がプラズマダメージを受ける障害がある。この結果、被形成面となる多結晶シリコン膜（ゲート電極）、あるいは拡散層（半導体基板）中の不純物（ボロン（Ｂ）、リン（Ｐ）等）を不活性化し、あるいは、多結晶シリコン膜および拡散層中のダングリングボンドを増加し、それらの抵抗値が上昇する問題がある。

また、プラズマＣＶＤ法による窒化珪素膜は、そのステップカバレッジの良さからシラン（SiH_4）、アンモニア（NH_3）および窒素（N_2）を原料ガスとして用いるが、このようなSiH_4／NH_3／N_2を原料とするプラズマＣＶＤ膜（

窒化珪素膜）では、膜中に多くの水素（H）が含有される。膜中水素はその後の熱処理により離脱し、水素離脱に起因する膜（窒化珪素膜）応力の増大を生じる。膜応力の増大は、デバイス特性を劣化させる問題がある。著しい場合には膜の剥離を生じ、デバイス不良の原因にもなり得る。

また、離脱水素は、ゲート電極である多結晶シリコン膜、半導体基板である拡散層（ソース・ドレイン）に拡散し、多結晶シリコン膜内あるいは拡散層内の不純物を不活性化する原因となる。この結果ゲート電極あるいはソース・ドレインの抵抗を上昇させる問題を生じる。

さらに、多結晶シリコン膜あるいは拡散層に拡散した離脱水素は、それら多結晶シリコン膜あるいは拡散層中の不純物（特にボロン（B））を動きやすくし、不純物（特にボロン）をＭＩＳＦＥＴのチャネル領域に拡散しやすくする作用がある。この結果ＭＩＳＦＥＴのしきい値（Ｖｔｈ）変動を来し、半導体装置の性能を低下させる問題がある。

上記の通り、低温成膜された窒化珪素膜では、その膜中に含まれる多量の水素がデバイス特性を低下させていると考えられる。では、アズデポ（as deposited）状態では多くの水素を含むSiH_4／NH_3／N_2を原料とする窒化珪素膜であっても、膜形成後に熱処理を施し水素を離脱させて水素含有量の低い窒化珪素膜を得る方法が考えられる。しかし、この方法では、熱処理後に膜が剥離し異物を発生させる問題があり、また、剥離しかけた膜部分にコンタクトホールを形成した場合に接続部材のカバレッジ不良を発生させてコンタクト部分の導通不良を発生させる問題がある。

本発明の目的は、自己整合用の窒化珪素膜を低温で、かつ、水素含有量を小さく形成できる技術を提供することにある。

また、本発明の目的は、窒化珪素膜形成の際のプラズマダメージを低減できる膜形成法を提供することにある。

また、本発明の目的は、多結晶シリコン膜の抵抗値変動が少なく、ＭＩＳＦＥＴのしきい値変動が少ない半導体装置を提供することにある。

また、本発明の目的は、高性能で高信頼な半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添

付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明の半導体装置あるいはその製造方法では、自己整合用の窒化珪素膜をプラズマＣＶＤ法により成膜する場合において、その成膜温度を３５０℃以上（好ましくは４００℃以上）とするものである。また、窒化珪素膜の形成を、シランおよび窒素からなる２元系ガスを原料ガスに用いて行うものである。

このように、３５０℃好ましくは４００℃以上で窒化珪素膜を成膜することによりアズデポ状態で含有する水素量を少なくでき、その後の熱処理による膜応力の増加、離脱水素の増加を抑制できる。また、２元系ガス（シランおよび窒素）を用いることにより、プラズマダメージを低減し、アズデポ状態での水素含有量を低減できる。これらの効果により、自己整合用窒化珪素膜の剥離を防止し、含有水素の離脱を抑制できる。含有水素の離脱抑制により、ゲート電極、ソース・ドレイン領域内の不純物の不活性化を抑制でき、また、それらの抵抗値の変動、ＭＩＳＦＥＴのしきい値の変動を抑制できる。この結果、半導体装置の信頼性を向上できる。なお、シリサイド層を適用して半導体装置（ＭＩＳＦＥＴ）の高性能化を図ることを考慮すれば、窒化珪素膜の成膜温度が熱ＣＶＤ法による成膜温度の程度まで高くしないことはいうまでもない。

なお、本発明では、半導体装置に適用されるパッシベーション膜には、３元系（シラン、アンモニア、窒素）の原料ガスを用いたプラズマＣＶＤ法による窒化珪素膜を適用する。これは、水分等の侵入を阻止する観点からステップカバレッジを重視する必要があるためと、パッシベーション膜中の含有水素量はデバイス特性に特に大きな影響を及ぼさないためである。したがって、前記自己整合用の窒化珪素膜とパッシベーション膜とを比較すると、自己整合用膜の方がパッシベーション膜よりも水素含有量が少なく、形成温度が高くなる。

以下、本明細書で開示される発明を列記して示す。

１．本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第１絶

縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第２絶縁膜（たとえばゲート絶縁膜）を介して、第１導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第３絶縁膜上に、第４絶縁膜（たとえば層間絶縁膜）を形成する工程と、(f) 前記第４及び第３絶縁膜に第１開孔（たとえばコンタクトホール）を形成する工程と、(g) 前記第１開孔内に第２導体片（たとえばプラグ）を形成する工程と、(h) 前記第４絶縁膜上に第５絶縁膜（たとえばパッシベーション膜）を形成する工程とを有し、前記第３絶縁膜及び第５絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の形成温度は、前記第５絶縁膜の形成温度よりも高いものである。

２．前記項１記載の半導体装置の製造方法であって、前記第１及び第４絶縁膜は酸化珪素膜であり、前記第１開孔の形成工程は、前記第３絶縁膜に対する前記第４絶縁膜のエッチング量が大である条件で、前記第４絶縁膜をエッチングする工程と、前記第１絶縁膜に対する前記第３絶縁膜のエッチング量が大である条件で、前記第３絶縁膜をエッチングする工程とを有するものである。

３．前記項１記載の半導体装置の製造方法であって、前記第５絶縁膜は反応ガスにアンモニアガスを含み、前記第３絶縁膜は反応ガスにアンモニアを含まないものである。

４．前記項１記載の半導体装置の製造方法であって、前記工程（ｃ）と（ｄ）の間に、前記半導体層の表面にシリサイド層を形成する工程を有するものである。

５．前記項４記載の半導体装置の製造方法であって、前記第２導体片は第１導体層（たとえば窒化チタン層）と第２導体層（たとえばタングステン層）を含み、前記第１導体層は、前記第２導体層よりも薄く、前記第２導体層の下に位置しているものである。

６．前記項１記載の半導体装置の製造方法であって、前記工程（ｇ）と（ｈ）

の間に、（ｉ）第３導体片（たとえば配線）を形成する工程と、（ｊ）前記第５絶縁膜は前記第３導体片の一部を露出する第２開孔を有し、前記第２開孔において前記第３導体片に外部接続用導体片（たとえばボンディングワイヤ又はバンプ電極等）を接続する工程とを有するものである。

７．前記項１記載の半導体装置の製造方法であって、前記第１導体片はボロンを含むシリコン層からなるものである。

８．前記項１記載の半導体装置の製造方法であって、前記導体片はシリコンからなる第１導体層、第２導体層（たとえば窒化タングステン等のバリア層）、高融点金属（たとえばチタン、コバルト、タングステン等）からなる第３導体層の３層からなるものである。

９．本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第１絶縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第２絶縁膜（たとえばゲート絶縁膜）を介して、第１導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第３絶縁膜上に、第４絶縁膜（たとえば層間絶縁膜）を形成する工程と、(f) 前記第４及び第３絶縁膜に第１開孔（たとえばコンタクトホール）を形成する工程と、(g) 前記第１開孔内に第２導体片（たとえばプラグ）を形成する工程と、(h) 前記第４絶縁膜上に第５絶縁膜（たとえばパッシベーション膜）を形成する工程とを有し、前記第３絶縁膜及び第５絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の水素含有量は、前記第５絶縁膜の水素含有量よりも少ないものである。

１０．本発明の半導体装置の製造方法は、（ａ）半導体基板上に第１絶縁膜（たとえば自己整合用膜）を形成する工程と、（ｂ）前記第１絶縁膜上に第２絶縁膜（たとえば配線形成用絶縁膜）を形成する工程と、（ｃ）前記第２及び第１絶縁膜に開孔（たとえばダマシン用溝）を形成する工程と、（ｄ）前記開孔内に導体層（たとえば配線）を形成する工程と、（ｅ）前記導体層上に第３絶縁膜（た

とえばパッシベーション膜）を形成する工程とを有し、前記第１絶縁膜及び第３絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の形成温度は、前記第３絶縁膜の形成温度よりも高いものである。

１１．本発明の半導体装置の製造方法は、（ａ）半導体基板上に第１絶縁膜（たとえば自己整合用膜）を形成する工程と、（ｂ）前記第１絶縁膜上に第２絶縁膜（たとえば配線形成用絶縁膜）を形成する工程と、（ｃ）前記第２及び第１絶縁膜に開孔（たとえばダマシン用溝）を形成する工程と、（ｄ）前記開孔内に導体層（たとえば配線）を形成する工程と、（ｅ）前記導体層上に第３絶縁膜（たとえばパッシベーション膜）を形成する工程とを有し、前記第１絶縁膜及び第３絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないものである。

１２．本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第１絶縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板の表面であって、前記第１絶縁膜が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(c) 前記半導体層の表面に高融点金属のシリサイド層を形成する工程と、(d) 前記高融点金属のシリサイド層及び前記第１絶縁膜を覆うように第２絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第２絶縁膜上に、第３絶縁膜（たとえば層間絶縁膜）を形成する工程と、(f) 前記第３及び第２絶縁膜に開孔（たとえばコンタクトホール）を形成する工程と、(g) 前記開孔内に導体片（たとえばプラグ）を形成する工程とを有し、前記第２絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜である。

１３．前記項１２記載の半導体装置の製造方法であって、前記第２絶縁膜は、モノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたものである。

１４．前記項１２記載の半導体装置の製造方法であって、前記第３絶縁膜は酸化珪素膜であり、前記開孔の形成工程は、前記第２絶縁膜に対するエッチング量が大である条件で、前記第３絶縁膜をエッチングする工程と、前記第１絶縁膜に対するエッチング量が大である条件で、前記第２絶縁膜をエッチングする工程とを有するものである。

１５．前記項１２記載の半導体装置の製造方法であって、前記シリサイド層の形成工程は、（ｈ）前記半導体層及び第１絶縁膜上に高融点金属膜を堆積する工程と、（ｉ）前記半導体基板に熱処理を施し、前記半導体層の表面にシリサイド層を形成する工程と、（ｊ）前記第１絶縁膜上の高融点金属膜を除去する工程とを含むものである。

１６．前記項１２記載の半導体装置の製造方法であって、前記導体片は第１導体層と第２導体層を含み、前記第１導体層は前記第２導体層よりも薄く、前記第２導体層の下に位置しているものである。

１７．前記項１６記載の半導体装置の製造方法であって、前記第１導体層は窒化チタン層であり、前記第２導体層はタングステン層である。

１８．本発明の半導体装置の製造方法は、(a) 半導体基板表面に選択的に第１絶縁膜（たとえば素子分離領域）を形成する工程と、(b) 前記半導体基板表面に第２絶縁膜（たとえばゲート絶縁膜）を介して、第１導体片（たとえばゲート電極）を形成する工程と、(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層（たとえばソース・ドレイン）を形成する工程と、(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜（たとえば自己整合用膜）を形成する工程と、(e) 前記第３絶縁膜上に、第４絶縁膜（たとえば層間絶縁膜）を形成する工程とを有し、前記第１導体片はボロンを含んだシリコン膜であり、前記第３絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜である。

１９．前記項１８記載の半導体装置の製造方法であって、前記第３絶縁膜はモノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたものである。

２０．本発明の半導体装置の製造方法は、（ａ）半導体基板上に第１絶縁膜（たとえば自己整合用膜）を形成する工程と、（ｂ）前記第１絶縁膜上に第２絶縁膜（たとえばダマシン溝形成用絶縁膜）を形成する工程と、（ｃ）前記第２及び第１絶縁膜に開孔（たとえばダマシン用溝）を形成する工程と、（ｄ）前記開孔内に導体層（たとえば配線）を形成する工程とを有し、前記第１絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜である。

２１．前記項２０記載の半導体装置の製造方法であって、前記第２絶縁膜は酸化珪素膜である。

２２．前記項２０記載の半導体装置の製造方法であって、前記導体層の形成工程は、下層の第１導体層と上層の第２導体層の形成工程からなり、前記第２導体層は銅からなり、前記第１導体層は銅の拡散防止機能を有するものである。

２３．本発明の半導体装置の製造方法は、（ａ）半導体基板上に第１絶縁膜（たとえばゲート絶縁膜）を介して、シリコンからなる第１導体層、第２導体層、高融点金属からなる第３導体層、第２絶縁膜（たとえばキャップ絶縁膜）を堆積する工程と、（ｂ）前記第２絶縁膜、第３、第２、及び第１導体層を所定のパターンに加工する工程と、（ｃ）前記第２絶縁膜上に第３絶縁膜（たとえば自己整合用膜）を形成する工程とを有し、前記第２絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜である。

２４．前記項２３記載の半導体装置の製造方法であって、前記第３絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜である。

２５．本発明の半導体装置は、（ａ）半導体基板と、（ｂ）前記半導体基板の表面に選択的に形成された第１絶縁膜（たとえば素子分離領域）と、（ｃ）前記半導体基板上に第２絶縁膜（たとえばゲート絶縁膜）を介して形成された第１導体片（たとえばゲート電極）と、（ｄ）前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片との間に位置する半導体層（たとえばソース・ドレイン、拡散層配線）と、(e) 前記第１導体片、第１絶縁膜及び半導体層上に形成された第３絶縁膜（たとえば自己整合用膜）と、（ｆ）前記第３絶縁膜上に形成された第４絶縁膜（たとえば層間絶縁膜）と、（ｇ）前記第３，第４絶縁膜に形成された開孔内に形成された第２導体片（たとえばプラグ）と、（ｈ）前記第２導体片上に形成された第５絶縁膜（たとえばパッシベーション膜）とからなり、前記第３及び第５絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の水素含有量は、前記第５絶縁膜の水素含有量よりも少ないものである。

２６．前記項２５記載の半導体装置であって、前記第２導体片は第１導体層と第２導体層を含み、前記第１導体層は、前記第２導体層よりも薄く、前記第２導

体層の下に位置しているものである。

２７．前記項２６記載の半導体装置であって、前記第１導体層は窒化チタン層であり、前記第２導体層はタングステン層である。

２８．前記項２５記載の半導体装置であって、前記半導体層の表面には高融点金属のシリサイド層が形成されているものである。

２９．前記項２５記載の半導体装置であって、前記第１導体片はボロンを含むシリコン層からなるものである。。

３０．本発明の半導体装置は、(a) 半導体基板と、(b) 半導体基板上に第１絶縁膜（たとえばゲート絶縁膜）を介して形成された第１導体片（たとえばゲート電極）と、(c) 前記第１導体片上に形成された第２絶縁膜（たとえばキャップ絶縁膜）と、(d) 前記第２絶縁膜上に形成された第３絶縁膜（たとえばパッシベーション膜）とからなり、前記第２及び第３絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第２絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないものである。

３１．前記項３０記載の半導体装置であって、更に、(e) 前記第１導体片の両端であって、前記半導体基板の表面に位置する第１及び第２半導体領域とを有し、前記第１導体片はトランジスタのゲートとして、前記第１及び第２半導体領域はトランジスタのソース、ドレインとして機能し、前記ソースからドレインに向かう方向において、前記第２絶縁膜は前記第１導体片とほぼ等しい幅を有するものである。

３２．前記項３０記載の半導体装置であって、更に (e) 前記第２絶縁膜上に形成された第２導体片（たとえば配線）と、(f) 前記第２導体片に接続された外部接続用導体片（たとえばバンプ）とを有し、前記第３絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第２導体片と接続されているものである。

３３．本発明の半導体装置は、(a) 半導体基板と、(b) 半導体基板上に第１絶縁膜（たとえばゲート絶縁膜）を介して形成され、側壁を有する第１導体片（たとえばゲート電極）と、(c) 前記第１導体片の側壁上に形成された第２絶縁膜（たとえばサイドウォール）と、(d) 前記第１導体片上に形成された第３絶

縁膜（たとえばパッシベーション膜）とからなり、前記第２及び第３絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第２絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないものである。

３４．前記項３３記載の半導体装置であって、更に（e）前記第２絶縁膜上に形成された第２導体片（たとえば配線）と、（ｆ）前記第２導体片に接続された外部接続用導体片（たとえばバンプ）とを有し、前記第３絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第２導体片と接続されているものである。

３５．本発明の半導体装置は、(a) 半導体基板上と、（ｂ）前記半導体基板上の第１絶縁膜（たとえば自己整合用膜）と、（ｃ）前記第１絶縁膜上の第２絶縁膜（たとえば配線溝形成用絶縁膜）と、（ｄ）前記第１、第２絶縁膜に形成された第１開孔内に形成された第１導体片（たとえば配線）と、(e) 前記第１導体片上の第３絶縁膜（たとえば層間絶縁膜）と、（ｆ）前記第３絶縁膜上の第２導体片（たとえば配線）と、（ｇ）前記第２導体片上の第４絶縁膜（たとえばパッシベーション膜）とを有し、前記第１及び第４絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の水素含有量は、前記第４絶縁膜の水素含有量よりも少ないものである。

３６．前記項３５記載の半導体装置であって、更に（ｈ）前記第２導体片に接続された外部接続用導体片を有し、前記第４絶縁膜は第２開孔を有し、前記第２開孔部において、前記外部接続用導体片と前記第２導体片とが接続されているものである。

３７．前記項３６記載の半導体装置であって、前記第２絶縁膜は酸化珪素膜である。

３８．前記項１２記載の半導体装置の製造方法であって、前記工程（ａ）と（ｂ）との間にシリコン材料からなる第１導体片（たとえばゲート電極）を形成する工程を有し、前記（ｃ）工程において前記第１導体片の表面に高融点金属のシリサイド層を形成するものである。

３９．前記項２５記載の半導体装置であって、前記第１導体片はシリコン材料からなり、前記第１導体片の表面には高融点金属のシリサイド層が形成されてい

るものである。

４０．本発明の半導体装置の製造方法は、自己整合加工用の第１窒化珪素膜を形成し、さらにパッシベーション用の第２窒化珪素膜を形成する半導体装置の製造方法であって、前記第１窒化珪素膜は、シランおよび窒素を原料ガスとするプラズマＣＶＤ法により形成され、前記第２窒化珪素膜は、シラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により形成される。

４１．前記項４０記載の半導体装置の製造方法であって、前記第１窒化珪素膜の形成は、前記第２窒化珪素膜の形成よりも高い温度で形成される。

４２．前記項４０記載の半導体装置の製造方法であって、前記第１窒化珪素膜の形成は、４００度以上の温度で行われる。

４３．本発明の半導体装置は、自己整合加工用の第１窒化珪素膜と、パッシベーション用の第２窒化珪素膜とを有する半導体装置であって、前記第１窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ１と、前記第２窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ２との間には、Ｒ１＜Ｒ２、の関係を有する。

４４．前記項４３記載の半導体装置であって、前記第１窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ結合は、$2\times10^{21}cm^{-3}$以下である。

なお、上記説明で括弧内に示した部材名称は例示であり、これに限定されるものではない。

以上開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

（１）自己整合用の窒化珪素膜を低温で、かつ、水素含有量を小さく形成できる。

（２）窒化珪素膜形成の際のプラズマダメージを低減できる。

（３）多結晶シリコン膜の抵抗値変動が少なく、ＭＩＳＦＥＴのしきい値変動が少ない半導体装置を提供できる。

（４）高性能で高信頼な半導体装置を提供できる。

図面の簡単な説明

図１～図１４は、本発明の実施の形態１である半導体装置の製造方法を工程順に示した断面図である。図１５は、窒化珪素膜の成膜温度を変化させた時の膜中水素含有量を示したグラフである。図１６は、窒化珪素膜のアニールによる水素量変化率とアニール前後の応力変位の関係を示したグラフである。図１７は、ボロンを含有する多結晶シリコン膜上の窒化珪素膜にアニールを施した場合の多結晶シリコン膜のシート抵抗値をアニール温度についてプロットしたグラフである。図１８は、ＭＩＳＦＥＴのＮＢＴＩ特性を示したグラフである。図１９は、フラットバンド電圧のシフト量を示したグラフである。図２０～図４２は、本発明の実施の形態２であるＤＲＡＭの製造方法を工程順に示した断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

（実施の形態１）

図１～図１４は、本発明の実施の形態１である半導体装置の製造方法を工程順に示した断面図である。

まず、図１（ａ）に示すように、たとえばｐ⁻型の単結晶シリコンからなる半導体基板１を用意し、半導体基板１の主面に素子分離領域２を形成する。素子分離領域２はたとえば以下のようにして形成できる。まず、半導体基板１の主面上に酸化珪素膜（ＳｉＯ）および窒化珪素膜（ＳｉＮ）を順次形成し、この窒化珪素膜をパターニングされたフォトレジスト膜を用いてエッチングし、このエッチングされた窒化珪素膜をマスクとして半導体基板１に浅溝を形成する。その後、浅溝を埋め込む絶縁膜たとえば酸化珪素膜を堆積し、ＣＭＰ（Chemical Mechanical Polishing）法等を用いて浅溝以外の領域の酸化珪素膜を除去し、さらにウェットエッチング法等により窒化珪素膜を除去する。これにより素子分離領域２（前記項１等の第１絶縁膜）が形成される。

次に、パターニングされたフォトレジスト膜をマスクとして不純物をイオン注入し、ｐウェル３およびｎウェル４を形成する。ｐウェル３にはｐ型の導電型を

示す不純物たとえばボロン（B）をイオン注入し、ｎウェル４にはｎ型の導電型を示す不純物たとえばリン（ｐ）をイオン注入する。ｐウェル３にはｎチャネル型ＭＩＳＦＥＴＱｎが形成され、ｎウェル４にはｐチャネル型ＭＩＳＦＥＴＱｐが形成される。

次に、図１（ｂ）に示すように、ｐウェル３、ｎウェル４の各領域に酸化珪素膜５（前記項１等の第２絶縁膜）を形成する。酸化珪素膜５はＭＩＳＦＥＴのゲート絶縁膜となるものであり、たとえば熱ＣＶＤ法により形成する。

次に、多結晶シリコン膜６を形成する。多結晶シリコン膜６は、ＭＩＳＦＥＴのゲート電極（前記項１等の第１導体片）となるものであり、たとえばＣＶＤ法により形成する。

次に、図１（ｃ）に示すように、ｎチャネル型ＭＩＳＦＥＴＱｎが形成される領域（ｐウェル３領域）の多結晶シリコン膜６にフォトレジスト膜（図示せず）をマスクにしてｎ型不純物（たとえばリン（Ｐ））をイオン注入する。これにより多結晶シリコン膜のｎ型領域６ｎが形成される。また、ｐチャネル型ＭＩＳＦＥＴＱｐが形成される領域（ｎウェル４領域）の多結晶シリコン膜６にフォトレジスト膜（図示せず）をマスクにしてｐ型不純物（たとえばボロン（Ｂ））をイオン注入する。これにより多結晶シリコン膜のｐ型領域６ｐが形成される。

このように多結晶シリコン膜６へのイオン注入を、領域を分けて行うことにより、ゲート電極の導電型がｎチャネル型ＭＩＳＦＥＴの場合にｎ型、ｐチャネル型ＭＩＳＦＥＴの場合にｐ型となるいわゆるデュアルゲート構造を構成できる。デュアルゲート構造を採用することにより、ＭＩＳＦＥＴのＶｔｈ（しきい値）を小さくすることができ、低電圧駆動のＭＩＳＦＥＴを構成できる。なお、ゲート電極の一部にボロンを含む多結晶シリコン膜を用いれば、ボロンの熱拡散係数が大きいため、ゲート電極（多結晶シリコン膜）から拡散したボロンがチャネル領域（ウェル）に達してＭＩＳＦＥＴしきい値電圧を変動させやすいという問題が従来存在したが、本実施の形態では、後に説明するように水素を多く含まない窒化珪素膜を自己整合加工用の被膜に用いるため、ボロンの拡散を抑制し、半導体装置の高い信頼性を維持できる。この点は後に詳述する。

次に、図２（ａ）に示すように、多結晶シリコン膜６，６ｎ，６ｐを所定のパ

ターンにパターニングし、ゲート電極７を形成する。なお、パターニングにはフォトレジスト膜（図示せず）をマスクとしたドライエッチング法を用いる。また、ゲート電極７は、配線としても機能させても良い。

次に、図２（ｂ）に示すように、フォトレジスト膜（図示せず）をマスクとしてｐウェル３にｎ型不純物（たとえばリンまたはヒ素（Ａｓ））をイオン注入し、ｎ型半導体領域８（前記項１等の半導体層）を形成する。ゲート電極７がマスクとしても機能するため、ｎ型半導体領域８はゲート電極７に対して自己整合的に形成される。また、フォトレジスト膜（図示せず）をマスクとしてｎウェル４にｐ型不純物（たとえばボロン）をイオン注入し、ｐ型半導体領域９（前記項１等の半導体層）を形成する。同様にゲート電極７がマスクとしても機能するため、ｐ型半導体領域９はゲート電極７に対して自己整合的に形成される。

次に、図２（ｃ）に示すように、サイドウォール１０をゲート電極７の側壁に形成する。サイドウォール１０は、たとえばゲート電極７の側壁に段差被覆性よく形成できる程度の膜厚の酸化珪素膜を堆積し、この酸化珪素膜を異方性エッチングすることにより形成する。

さらに、前記図２（ｂ）の工程と同様に、ｐウェル３領域にn^+型半導体領域１１、ｎウェル４領域にp^+型半導体領域１２を形成する。n^+型半導体領域１１、p^+型半導体領域１２は各々ｎ型半導体領域８、ｐ型半導体領域９よりも高い濃度で不純物を導入する。また、このイオン注入工程では、サイドウォール１０もマスクとして機能するため、n^+型半導体領域１１、p^+型半導体領域１２は、サイドウォール１０に対して自己整合的に形成される。これにより、ｎ型半導体領域８およびn^+型半導体領域１１からなる、あるいは、ｐ型半導体領域９およびp^+型半導体領域１２からなるＬＤＤ（Lightly Doped Drain）構造のソース・ドレインが形成される。

次に、図３（ａ）に示すように、広い素子分離領域２上に抵抗素子を形成する。抵抗素子は、素子分離領域２上の導体膜Ｒ、導体膜Ｒを覆う絶縁膜１３および絶縁膜１３上の引き出し電極１４からなる。導体膜Ｒには、比較的抵抗率の高い金属（たとえばタングステン等）あるいは比較的不純物の導入量の少ない半導体膜（たとえば多結晶シリコン膜）を用いることができる。絶縁膜１３には、たと

えば酸化珪素膜あるいは窒化珪素膜を適用できる。引き出し電極１４は、たとえば多結晶シリコン膜を適用できる。導体膜Ｒは、たとえば半導体基板１の全面に導体膜を堆積しこれをパターニングすることにより形成できる。その後、絶縁膜１３をＣＶＤ法、スパッタ法等により堆積し、接続孔を開口後、たとえば多結晶シリコン膜をＣＶＤ法により堆積し、この多結晶シリコン膜を所定の形状にパターニングして引き出し電極１４を形成する。

なお、上記では、引き出し電極１４を有する抵抗素子を例示しているが、引き出し電極１４を設けず、プラグで直接引き出すタイプの抵抗素子を構成しても良い。この場合、導体膜Ｒを多結晶シリコン膜で構成すれば、後に説明するサリサイド工程で多結晶シリコン膜表面の全面がシリサイド化されることを防止するため導体膜Ｒの表面を絶縁膜で覆う必要がある。

また、前記図２（ｃ）のサイドウォール１０形成工程の前に導体膜Ｒを形成（パターニング）し、サイドウォール１０を形成するための絶縁膜を導体膜Ｒを覆うように形成しても良い。この場合、パターニングされた導体膜Ｒを覆うフォトレジスト膜を形成し、これをマスクとして絶縁膜を異方性エッチングすることにより、導体膜Ｒの形成領域では導体膜Ｒを覆う絶縁膜１３を形成し、同時にサイドウォール１０を形成できる。

次に、図３（ｂ）に示すように、半導体基板１の全面に金属膜１５を堆積する。金属膜１５には、高融点金属を用い、たとえばチタン、タングステン、コバルト等を用いる。金属膜１５の堆積には、たとえばＣＶＤ法、スパッタ法を用いる。

次に、図３（ｃ）に示すように、半導体基板１に、たとえばＲＴＡ（Rapid Thermal Anneal）法を用いて熱処理を施す。この熱処理により金属膜１５がシリコン材料と接する領域で、シリサイド化反応が生じ、シリサイド層１６が形成される。シリサイド層１６は、たとえば金属膜１５がコバルトで構成される場合にはコバルトシリサイド（ＣｏＳｉ）となる。さらに、未反応の金属膜１５を選択的に除去する。この未反応金属膜の除去は、シリサイド層１６はエッチングされないが、金属膜１５がエッチングされる条件でのウェットエッチングにより行える。

このようにゲート電極７、n^+型半導体領域１１、p^+型半導体領域１２、引き

出し電極１４上にシリサイド層１６を形成することにより、コンタクトが形成される領域ではプラグ等との接続抵抗を低減でき、また、ゲート電極７、n^+型半導体領域１１、p^+型半導体領域１２等配線を構成する領域ではそのシート抵抗を低減できる。この結果、配線抵抗、配線間抵抗を低減して素子の応答速度を向上し、半導体装置の性能向上を図れる。

なお、シリサイド層１６は、それ自体耐熱性に乏しい性質を有する。すなわち、シリサイド層の結晶相によって抵抗値が相違し（特にコバルトシリサイドの場合）、抵抗値の小さな結晶相で構成してもその後の熱処理により抵抗値の高い結晶相に相変化する場合がある。また、その後の熱処理によりシリサイド層とシリサイド化されていないシリコン領域との界面でシリサイド化反応が進行し、シリサイド層内のシリコン元素比が低下して化学量論的に結晶構造からずれる場合がある。この場合もその抵抗値を上昇させる問題がある。さらに、未反応の金属領域が存在する場合には、未反応金属がその後の熱処理によりシリサイド化と同時にシリコン領域に移動し、未反応金属の存在していた領域に空洞（ボイド）を生じる。このような空洞がコンタクト部分に形成された場合にはコンタクト抵抗を上昇させ、著しい場合には接続不良を来す。

しかし、本実施の形態では、この後に説明するように、その後の高い温度での熱処理を抑制し、特に自己整合用膜（窒化珪素膜）を、熱ＣＶＤ法を用いずプラズマＣＶＤ法を用いて比較的低温で成膜するため、上記のようなシリサイド層１６の耐熱性の問題は生じない。すなわち、シリサイド層１６を耐熱性の問題を回避して用いることができ、半導体装置の性能を高くすることができる。

次に、図４（ａ）に示すように、半導体基板１の全面に窒化珪素膜１７（前記項１等の第３絶縁膜）を形成する。窒化珪素膜１７は、後に説明するように自己整合加工に用いられる。

窒化珪素膜１７は、３５０℃以上好ましくは４００℃以上の条件でプラズマＣＶＤ法により形成される。７００℃以上（たとえば７８０℃程度）の成膜温度が必要な熱ＣＶＤ法と比較して低温で窒化珪素膜が形成されるため、前記の通りシリサイド層１６の耐熱性を問題にする必要がない。

また、窒化珪素膜１７は、シラン（モノシラン（SiH_4））と窒素（N_2）を

原料ガスとして成膜し、原料ガスにアンモニア（NH_3）を用いない。この点、後に説明するパッシベーション膜とは相違する。パッシベーション膜の成膜は原料ガスにモノシラン、アンモニアおよび窒素を含み、成膜温度を約３５０℃程度の条件で行う。パッシベーション膜はステップカバレッジを重視するためアンモニアを含む原料ガスを用いるが、窒化珪素膜１７の成膜にはアンモニアを含まない原料ガスを用いる。また、パッシベーション膜は３５０℃程度の比較的低い温度で成膜するが、窒化珪素膜１７は３５０℃以上、好ましくは４００℃以上の温度で成膜する。すなわち、窒化珪素膜１７の形成にはアンモニアを用いないが、パッシベーション膜の形成にはアンモニアを用いる。また、窒化珪素膜１７は、パッシベーション膜よりも高い温度で成膜する。なお、本明細書では、温度は基板温度を意味する。

このようにアンモニアを含まない原料ガスを用いることにより、窒化珪素膜１７に含まれる水素量を低減することができる。窒化珪素膜１７中の水素量を低減することにより、その後に熱処理（たとえば層間絶縁膜にＰＳＧ（Phosphor Silicate Glass）、ＳＯＧ（Spin On Glass）等を用いる場合の７００℃程度での焼き締め（シンタリング）あるいは緻密化（デンシファイ））が加わっても、窒化珪素膜１７からの水素の離脱が抑制できる。前記の通り、水素の離脱が生じると、窒化珪素膜１７の応力が増加し、窒化珪素膜１７の剥離または接続孔底部での接続不良の原因となる可能性がある。また、離脱水素は、前記の通り、不純物が導入されたシリコン層（ゲート電極７、n^+型半導体領域１１、p^+型半導体領域１２、引き出し電極１４）内の不純物（特にボロン）を不活性化し、その抵抗値を上昇させる。また不純物（特にボロン）を移動させやすくし、拡散しやすくなった不純物（特にボロン）がＭＩＳＦＥＴのチャネル領域に移動してしきい値を変動させる。これら水素の離脱に起因する窒化珪素膜の応力増加、シリコン層の抵抗値変動および抵抗値上昇、あるいはＭＩＳＦＥＴのしきい値変動は、半導体装置の不良および性能劣化の原因となる。しかし、本実施の形態では、窒化珪素膜１７にはアズデポ状態で水素が多量に含まれないため、前記のような問題は生じない。

また、アンモニアを含まない原料ガスを用いることにより、窒化珪素膜１７を

形成する際のプラズマダメージを低減できる。すなわち、原料ガスにアンモニアを含む場合のプラズマでは、アンモニアを加えることによるペニング効果が生じ、プラズマ密度が上昇していると考えられる。しかし、本実施の形態ではアンモニアを原料ガスに加えないため、プラズマ密度が必要以上に上昇せず、プラズマダメージあるいはイオンのボンバードメントを抑制できる。この結果、窒化珪素膜１７の形成基板となるシリコン層（ゲート電極７、n^+型半導体領域１１、p^+型半導体領域１２、引き出し電極１４、あるいは、シリサイド層１６）へのダメージを低減し、ダングリングボンド発生の防止、ダングリングボンドに起因する抵抗の上昇を防止できる。

なお、前記したとおり、窒化珪素膜１７に含まれる水素量は比較的少ないが、少なくとも後に説明するパッシベーション膜（窒化珪素膜）に含まれる水素量よりも少ない。

ここで、窒化珪素膜１７に含まれる水素量あるいはこれに関連した窒化珪素膜の膜質に関する本発明者らの実験結果を説明する。

図１５は、窒化珪素膜の成膜温度（デポ温度）を変化させた時の膜中水素含有量を示したグラフである。菱形のデータポイントはアズデポ状態の膜中水素含有量を示し、四角のデータポイントは７８０℃で１０秒間アニールした後の膜中水素含有量を示す。ラインＡはアズデポ状態の膜中水素含有量を示した実験直線であり、ラインＢはアニール後の膜中水素含有量を示した実験直線である。ラインＡが示すとおり、デポ温度が高いほど膜中水素含有量が低下し、また、ラインＡとラインＢとの差（すなわちアニールにより離脱した水素量）はデポ温度が高いほど少なくなっている。このことからデポ温度を高くすることによりアズデポでの水素量を低減でき、またアニールによる離脱水素量を少なくできる。

図１６は、図１５の結果から得られるアニールによる水素量変化率とアニール前後の応力変位の関係を示したグラフである。ラインＣは各データポイントから得られる実験直線である。なお、ここで水素量変化率は、アニール後の水素量をアズデポ状態での水素量で除した値で示す。同図が示すように、アニールによる水素数変化率と応力変位との間には強い相関性があり、水素数変化率が大きいほど（すなわちデポ温度が高いほど）応力変位が小さいことがわかる。アニールに

よる水素数変化率がほぼ０．７（ラインD）を境にして、それより水素数変化率が小さい（すなわちデポ温度が低い）領域で膜剥離が生じ、それより大きい（すなわちデポ温度が高い）領域で膜剥離が生じない。実験的には、デポ温度を４００℃にすることにより窒化珪素膜の剥離をほぼ防止することができ、前記した窒化珪素膜１７を好ましくは４００℃以上で成膜する意義がここにある。

図１７は、ボロンを含有する多結晶シリコン膜上に窒化珪素膜を堆積し、その後アニールを施した場合の多結晶シリコン膜のシート抵抗値をアニール温度についてプロットしたグラフである。各データにはエラーバーを付している。

三角のデータポイントは原料ガスにモノシランおよび窒素（２元系）を用い、４００℃で窒化珪素膜を成膜した場合のデータであり、ラインＥはそのデータを結んだ実験曲線である。

黒丸のデータポイントは原料ガスにモノシラン、アンモニアおよび窒素（３元系）を用い、３６０℃で窒化珪素膜を成膜した場合のデータであり、ラインＦはそのデータを結んだ実験曲線である。

菱形のデータポイントＧは、リファレンスとして示すデータであり、窒化珪素膜の堆積およびアニールをしない場合の多結晶シリコン膜のシート抵抗（アズデポ状態）を示す。この場合がもっとも低い抵抗値を示しているのはもちろんである。

四角のデータポイントは、考察を得るための各種の比較データであり、ポイントＨは多結晶シリコン膜をNH_3プラズマで処理した場合のデータ、ポイントＩは多結晶シリコン膜をN_2プラズマで処理した場合のデータ、ポイントＪは多結晶シリコン膜をNH_3/N_2Oプラズマで処理した場合のデータ、ポイントＫは多結晶シリコン膜をN_2プラズマで処理した後、９５０℃、１０秒の熱処理を施した場合のデータを各々示す。

図１７に示す各データから、以下のことがわかる。すなわち、２元系ガスを用いて４００℃で窒化珪素膜を成膜した場合（ラインＥ）は、３元系ガスを用いて３６℃で窒化珪素膜を成膜した場合（ラインＦ）よりも多結晶シリコン膜のシート抵抗値が低く（すなわちアズデポ状態の多結晶シリコン膜に近く）、多結晶シリコン膜の劣化を受けていないといえる。このような２元系ガスによる窒化珪素

膜と３元系ガスによる窒化珪素膜の抵抗値の相違を説明するために、NH_3プラズマで処理した場合のデータ（ポイントH）及びN_2プラズマで処理した場合のデータ（ポイントＩ）と、NH_3／N_2Oプラズマで処理した場合のデータ（ポイントＪ）との比較が参考になる。すなわち、ポイントH，Ｉのデータは２元系ガスのデータ（ラインＥ）に対応し、ポイントＪのデータは３元系ガスのデータ（ラインＦ）に対応し、各対応するデータではシート抵抗値がほぼ同等である。一方、NH_3プラズマおよびN_2プラズマでは１元系ガスによるプラズマが生成しているのに対し、NH_3／N_2Oプラズマでは２元系ガスによるプラズマとなり、１元系の場合に比較してプラズマ解離度の高くなるペニング効果が生じていると考えられる。すなわち、ポイントH，Ｉのデータとポイント Ｊのデータとの差は、ペニング効果に起因する多結晶シリコン膜のプラズマダメージによると考えられる。同様の考察をラインＥとラインＦの場合に適用すれば、３元系ガスによる窒化珪素膜の堆積（ラインＦ）の際にはアンモニアに起因するペニング効果が生じており、２元系ガスの場合（ラインＥ）に比較して、その基板である多結晶シリコン膜がプラズマダメージを多く受け、この結果多結晶シリコン膜の抵抗値が上昇しているものと考察できる。本実施の形態において窒化珪素膜１７として、２元系ガスを用い４００℃以上の基板温度で成膜した窒化珪素膜を用いれば、ゲート電極７等の抵抗値を低く保ち、半導体装置の性能を高く維持できることを実験的に示している。

また、２元系ガスの窒化珪素膜はアニール温度を高くしてもシート抵抗値が大きく上昇しないが、３元系の窒化珪素膜ではアニール温度を高くするとより大きくシート抵抗が上昇する。このようなアニール温度によるシート抵抗変化の有無を説明するために、多結晶シリコン膜をN_2プラズマで処理した後、９５０℃、１０秒の熱処理を施した場合のデータ（ポイントK）が参考になる。ポイントKの場合には、多結晶シリコン膜をN_2プラズマで処理、熱処理を施したのみであるから、そのような処理による多結晶シリコン膜のシート抵抗上昇が生じていると考えられる。すなわち、水素の影響を受けないでもポイントKに示す程度の抵抗上昇は生じる。一方、９５０℃程度の熱処理（アニール）を施した場合の２元系ガスのデータ（ラインＥ）とポイントKのデータとはほぼ同等であるが、３元

系ガスの場合のデータ（ラインＦ）は大きく抵抗が上昇している。すなわち、２元系ガスの場合には水素の影響をほとんど受けていないが、３元系ガスの場合には水素が多く離脱することは図１５で示した通りであり、この水素に起因して多結晶シリコン膜の抵抗が上昇していると考えられる。つまり、アニール温度の上昇に伴って多結晶シリコン膜の抵抗が上昇（ラインＦの場合）するのは離脱水素に起因し、多結晶シリコン膜中の不純物（ボロン）が不活性化しているためと考え得る。本実施の形態の窒化珪素膜１７に２元系ガスを用いて４００℃以上で成膜した窒化珪素膜を用いれば、その後に処理温度の高い工程が介在しても、ゲート電極７等の抵抗値の変動を抑え、半導体装置の信頼性を高く維持できることを実験的に示している。

このように、４００℃以上の基板温度で、シランおよび窒素を原料ガスとするプラズマＣＶＤ法による窒化珪素膜を、本実施の形態の窒化珪素膜１７に適用することにより、窒化珪素膜１７の剥離を防止し、また、窒化珪素膜１７からの水素の離脱を抑制し、半導体装置の性能と信頼性を向上できる。

次に、図４（ｂ）に示すように、層間絶縁膜１８（前記項１等の第４絶縁膜）を形成する。層間絶縁膜１８は、たとえば酸化珪素膜からなる。酸化珪素膜は、たとえばＣＶＤ法により形成する。また、層間絶縁膜１８は、ＰＳＧ、ＳＯＧ等を用いても良い。ＰＳＧ、ＳＯＧ等自己流動的な膜を用いれば、微細に加工されたゲート電極７を良好に埋め込み、表面の平坦化が容易になる。なお、ＰＳＧ、ＳＯＧ等を用いる場合には、シンタリングあるいはデンシファイのための熱処理が行われるが、前記の通り窒化珪素膜１７からの水素の離脱は抑制されているから、窒化珪素膜１７の剥離、ゲート電極７等の抵抗上昇あるいは変動、ＭＩＳＦＥＴのしきい値電圧変動の問題は発生しない。

なお、層間絶縁膜１８の表面はたとえばＣＭＰ（Chemical Mechanical Polishing）法を用いて平坦化しても良い。

次に、図５（ａ）に示すように、層間絶縁膜１８上に接続孔パターンに開口が形成されたフォトレジスト膜１９を形成し、フォトレジスト膜１９をマスクとしてエッチング処理を施し、接続孔２０（前記項１等の第１開孔）の一部を形成する。このエッチング（第１のエッチング工程）は、酸化珪素膜がエッチングされ

、窒化珪素膜がエッチングされ難い条件で行う。このような条件を選択することにより、窒化珪素膜１７をエッチングストッパとして機能させることができる。これにより、深さの異なる接続孔であっても、窒化珪素膜１７の上面が露出するようにエッチングすることができる。すなわち、もっとも深い孔が確実に加工できるまで十分なオーバーエッチングを行うことができ、深さの異なる孔を確実に加工できる。また、ウェハ面内でのエッチング速度に不均一性が存在しても、もっとも遅くエッチングが終了する孔の加工が終了するまで十分なオーバーエッチングを施すことができ、接続孔の加工マージンを増すことができる。

次に、図５（ｂ）に示すように、第２のエッチングを行って、接続孔２０底部の窒化珪素膜１７を除去する。これにより接続孔２０を形成する。この第２のエッチングの条件は、窒化珪素膜がエッチングされやすく、酸化珪素膜がエッチングされ難い条件で行う。この第２のエッチングの際に、十分なオーバーエッチングを行っても、その下部（下地）である半導体基板１（素子分離領域２）の過剰なエッチングを抑制できる。すなわち、窒化珪素膜１７の厚さは、層間絶縁膜１８の厚さと比較して十分に薄く、このため、第２のエッチング工程でのオーバーエッチングは、せいぜい窒化珪素膜１７の厚さの２分の１に相当する程度で十分である。このため、第２のエッチング工程でのオーバーエッチングは素子分離領域２等が過剰にエッチングされる程度まで大きくなく、ほとんど障害を生じない程度に抑制することが可能となる。これにより、素子分離領域２等の過剰エッチングに起因するＭＩＳＦＥＴの性能低下、信頼性低下を生じず、半導体装置の性能と信頼性を高く維持できる。

なお、窒化珪素膜１７が前記したとおり剥離し難いため、この接続孔２０の開口工程で窒化珪素膜１７が剥離することはない。

次に、図６（ａ）に示すように、接続孔２０内にプラグ２１をたとえば以下のようにして形成する。まず、接続孔２０の内部を含む半導体基板１の全面に窒化チタン（ＴｉＮ）膜を形成する。窒化チタン膜はたとえばＣＶＤ法により形成できる。ＣＶＤ法は被膜の段差被覆性に優れるため、微細な接続孔２０内にも均一な膜厚で窒化チタン膜を形成できる。なお、窒化珪素膜１７が剥離し難いため、窒化チタン膜の段差被覆性が阻害されることがない。次に、接続孔２０を埋め込

むタングステン（W）膜を形成する。タングステン膜は、たとえばＣＶＤ法で形成できる。ＣＶＤ法であれば同様に微細な接続孔２０内をタングステンで埋め込むことができる。次に、接続孔２０以外の領域の窒化チタン膜およびタングステン膜をたとえばＣＭＰ法により除去してプラグ２１を形成できる。

次に、図６（ｂ）に示すように、層間絶縁膜１８およびプラグ２１上に、窒化珪素膜２２を形成し、さらに第１配線層形成用の絶縁膜２３を形成する。窒化珪素膜２２は、絶縁膜２３への溝加工の際にエッチングストッパとなる膜であり、絶縁膜２３に対してエッチング選択比を有する材料を用いる。絶縁膜２３は、配線間の線間容量を低く抑えるため、誘電率の小さな材料を用いる。絶縁膜２３は、たとえば酸化珪素膜とする。また、絶縁膜２３は、誘電率の小さな有機ＳＯＧ膜、あるいは、フッ素を含有するＳＯＧ膜であっても良い。なお、窒化珪素膜２２と絶縁膜２３には第２層配線が形成される。このため、その合計膜厚は第２配線層に必要な設計膜厚で決められる。また、配線間容量を低減することを考慮すれば、誘電率の高い窒化珪素膜からなる窒化珪素膜２２の膜厚はスットパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。

なお、窒化珪素膜２２には、前記した窒化珪素膜１７と同様、４００℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマＣＶＤ法による窒化珪素膜を適用できる。このような窒化珪素膜１７同様の膜を窒化珪素膜２２に適用することにより、熱ＣＶＤ法による場合のような高い温度での工程を経ることなく水素の離脱が少ない被膜をストッパ膜に適用できる。この結果、仮にこの工程後に水素離脱を生じ得るような工程が介在しても窒化珪素膜２２が剥離を生じず、また、水素の離脱が抑制されるので、離脱水素がＭＩＳＦＥＴの特性劣化等を生じる余地はない。

次に、図７（ａ）に示すように、絶縁膜２３上に第１配線層の配線パターンに開口が形成されたフォトレジスト膜２４をパターニングし、このフォトレジスト膜２４をマスクとして第１のエッチングを施す。この第１のエッチングにより絶縁膜２３に配線溝２５の一部を形成する。このエッチングの際には酸化珪素膜がエッチングされ易く窒化珪素膜がエッチングされ難い条件を選択する。これにより窒化珪素膜２２をエッチングストッパとして用いる。

次に、図７（ｂ）に示すように、窒化珪素膜がエッチングされる条件を選択して第２のエッチングを施す。前記したように窒化珪素膜２２の膜厚は十分に薄く形成されているため、第２のエッチングでのオーバーエッチングは少なくてよく、層間絶縁膜１８の過剰エッチングを抑制できる。このように２段階のエッチングを用いることにより、配線溝２５の深さを均一かつ確実に形成することができる。

次に、配線溝２５の内部に第１配線層の配線２６を形成する。配線２６は、バリア層および主導電層からなり、バリア層はたとえば窒化チタン膜、主導電層はたとえば銅である。バリア層は銅の周辺への拡散を防止する機能を有し、たとえば窒化チタン膜を例示できる。なお、窒化チタン膜には限られず、銅の拡散防止機能を有する限り他の金属膜であってもよい。たとえば、窒化チタンに代えてタンタル（Ｔａ）、窒化タンタル（ＴａＮ）を用いることもできる。次工程以下のバリア層については窒化チタン膜を例示して説明するが、タンタル、窒化タンタル等に代えることができることは前記と同様である。銅膜は主導電層として機能し、たとえばメッキ法で形成できる。メッキ膜の形成前にシード膜として薄い銅膜をスパッタ法により形成できる。また、銅膜は、スパッタ法により形成してもよい。この場合、スパッタにより銅膜を形成後、熱処理により銅膜を流動化させて、接続孔または配線溝へ埋め込み特性を向上するようにしてもよい。次工程以下の銅膜についてはメッキ法で形成する場合を例示するが、スパッタ法を用いてもよいことは前記と同様である。

配線２６の形成は以下のようにして行う。まず、配線溝２５の内部を含む半導体基板１の全面に窒化チタン膜を形成し、その後配線溝２５を埋め込む銅膜を形成する。これにより窒化チタン膜および銅膜からなる金属積層膜２７を形成し、この金属積層膜２７で配線溝２５を埋め込む（図８（ａ））。

窒化チタン膜の形成にはたとえばＣＶＤ法を、銅膜の形成にはたとえばメッキ法を用いる。メッキ法による銅膜の形成前にたとえばスパッタ法により銅のシード膜を形成できる。その後、配線溝２５以外の領域の銅膜および窒化チタン膜をＣＭＰ法により除去して配線２６を形成できる（図８（ｂ））。

次に、図９（ａ）に示すように、配線２６および絶縁膜２３上にストッパ絶縁

膜２８および層間絶縁膜２９を順次形成する。ストッパ絶縁膜２８は、層間絶縁膜２９に対してエッチング選択比を有する材料で構成され、たとえば窒化珪素膜とすることができる。一方層間絶縁膜２９は酸化珪素膜とすることができる。なお、ストッパ絶縁膜２８には、前記窒化珪素膜１７と同様の条件で形成された窒化珪素膜を適用できる。

次に、層間絶縁膜２９上に、接続孔パターンに開口が形成されたフォトレジスト膜をパターニングし、このフォトレジスト膜をマスクとして層間絶縁膜２９をエッチングする。このエッチングの際には、窒化珪素膜がエッチングされ難く、酸化珪素膜がエッチングされ易い条件を選択する。これによりストッパ絶縁膜２８をエッチングストッパとして層間絶縁膜２９をエッチングできる。さらに、窒化珪素膜がエッチングされる条件を選択してストッパ絶縁膜２８をエッチングする。これにより接続孔３０が形成される。２段階のエッチングにより下地の過剰エッチングを抑制できる点は前記した通りである。

次に、接続孔３０内にプラグ３１を形成する。プラグ３１は以下のようにして形成できる。まず、接続孔３０の内部を含む半導体基板１の全面にバリア層を形成し、さらに接続孔３０を埋め込む銅（Ｃｕ）膜を形成する。その後、接続孔３０以外の領域の銅膜およびバリア膜をＣＭＰ法により除去してプラグ３１を形成する。

次に、図９（ｂ）に示すように、配線２６の場合と同様に、窒化珪素膜３２および酸化珪素膜３３を形成し、この酸化珪素膜３３および窒化珪素膜３２に２段階のエッチングを行って配線溝３４を形成する。さらに配線２６と同様の配線３５を配線溝３４内に形成する。なお、窒化珪素膜３２には、前記窒化珪素膜２２と同様の窒化珪素膜を適用できる。

次に、図１０に示すように、プラグ３１の場合と同様に、ストッパ絶縁膜３６および層間絶縁膜３７を形成し、ストッパ絶縁膜３６および層間絶縁膜３７に２段階のエッチングにより形成した接続孔３８を加工する。そして接続孔３８内にプラグ３１と同様なプラグ３９を形成する。

さらに、層間絶縁膜３７上に配線４０を形成する。配線４０は、たとえばチタン膜、アルミニウム膜および窒化チタン膜の積層膜とする。配線４０は、たとえ

ばチタン膜、アルミニウム膜および窒化チタン膜を順次堆積し、フォトリソグラフィを用いてこれを所定のパターンにエッチングすることにより形成する。

次に、図１１に示すように、配線４０を覆う絶縁膜４１を形成し、さらに、絶縁膜４１上に絶縁膜４２を形成する。絶縁膜４１は、たとえば酸化珪素膜からなり、たとえばＣＶＤ法により形成する。絶縁膜４２は、たとえばＳＯＧからなる。ＳＯＧ膜で構成することにより配線４０により生じた表面の凹凸を平坦化できる。なお、このＳＯＧ膜の形成の際にＳＯＧ膜をリフローするための熱処理を施すが、前記窒化珪素膜１７、２２等に前記の通りの剥離耐性に優れた、また、水素離脱が抑制された窒化珪素膜を適用するため、半導体装置の性能と信頼性を高く維持できる。なお、絶縁膜４２上には、さらに酸化珪素膜を形成しても良い。

さらに、絶縁膜４２上に配線４３（項１等の第３導体片）を形成する。配線４３にはボンディングパッドが含まれ、外部接続用導体片（たとえばバンプ）が接続される。配線４３は、たとえばアルミニウム膜からなり、たとえばスパッタ法により形成される。

次に、図１２に示すように、配線４３を覆う窒化珪素膜４４（項１等の第５絶縁膜）を形成する。窒化珪素膜４４は、パッシベーション膜を構成する膜であり、半導体装置の外部から侵入する水分あるいは不純物をブロッキングする作用を有する。またα線等の透過を抑制し、半導体装置の誤動作を抑制する。これらの機能を担保するため、窒化珪素膜４４には、段差被覆性（ステップカバレッジ）が要求される。従って、窒化珪素膜４４に適用される窒化珪素膜は、３５０℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により形成される。このような条件で窒化珪素膜を形成することにより、段差被覆性に優れた膜を形成でき、有効に水分および不純物の侵入を防止できる。なお、このように、窒化珪素膜４４と窒化珪素膜１７，２２とは異なる条件で形成される。すなわち、窒化珪素膜４４は、窒化珪素膜１７，２２よりも低い温度で形成され、また、窒化珪素膜４４の形成にはアンモニアが用いられるが、窒化珪素膜１７，２２の形成にはアンモニアが用いられない。この点が本実施の形態の特徴の一つである。

次に、図１３に示すように、窒化珪素膜４４を覆う酸化珪素膜４５を形成する

。窒化珪素膜４４および酸化珪素膜４５はパッシベーション膜として機能する。さらに、図１４に示すように、酸化珪素膜４５および窒化珪素膜４４に接続孔４６を形成して配線４３を露出する。この接続孔４６を覆うようにバンプ下地金属４７を形成後、外部接続用導体片であるバンプ４８を形成する。なお、バンプ４８はほぼ球状に形成されるが、図では一部を省略している。接続孔４６は、フォトリソグラフィおよびエッチング技術を用いて形成でき、バンプ下地金属４７は半導体基板１全面への金属膜の堆積後、これをパターニングすることにより形成できる。バンプ下地金属４７としては、たとえば金を例示でき、バンプ４８としては金、半田を例示できる。

この後、パッケージ基板等に実装され半導体装置が完成するが、それらの説明は省略する。

なお、ここでは外部接続用導体片としてバンプ４８を例示しているが、ボンディングワイヤ等その他のインナーリードを用いても良い。金ワイヤを用いてリードフレームに接続する場合等は、後に樹脂等でモールドされるが、この工程の説明は省略する。

また、ポリイミド等の樹脂膜を介して再配置配線を形成し、この再配置配線のパッド領域上にバンプを形成し、その後ウェハを分断することにより個別の半導体装置を完成する、いわゆるＷＰＰ（ウェハプロセスパッケージ）にも本実施の形態の半導体装置を適用できる。

本実施の形態の効果を図１８および図１９を用いて説明する。図１８は、ＭＩＳＦＥＴのＮＢＴＩ（Negative Bias Temperature Instability）特性を示したグラフである。図中、ラインＬは本実施の形態の半導体装置について測定したデータである。ラインM，Ｎ，Ｏは、比較として示したデータであり、本実施の形態の窒化珪素膜１７に相当する膜に、３５０℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により形成された窒化珪素膜（窒化珪素膜４４と同様の条件で形成された膜）を適用した場合のデータである。ラインM，Ｎ，Ｏは、各々異なる装置を用いて窒化珪素膜を形成している。

図１８に示すように、ソース・ゲート間電圧（Ｖｇｓ）が実際に使用される状

況（たとえばＶｇｓ＝－１Ｖ）での寿命（ｔａｕ：オフ電流の上昇時間を示す特性値）は、ラインＬの示す値が最も大きい。すなわち、本実施の形態の半導体装置の信頼性が、他の場合（ラインＭ，Ｎ，Ｏ）よりも優れている。寿命ｔａｕは対数表示されていることから、本実施の形態の半導体装置の信頼性は桁違いに優れていることがわかる。

また、図１９は、フラットバンド電圧（Ｖｆｂ）のシフト量を示したグラフである。ＭＩＳＦＥＴとしてはｐ型不純物（ボロン）がゲート電極にドープされたｐチャネル型ＭＩＳＦＥＴを用いている。図中、右側（NH_3無し）のデータは本実施の形態の半導体装置の場合を示し、左側（NH_3有り）のデータは本実施の形態の窒化珪素膜１７に相当する膜に、５５０℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により形成された窒化珪素膜（窒化珪素膜４４と同様の条件で形成された膜）を適用した場合を示している。

図１９に示すように、NH_3有りの場合（左側）にＶｆｂシフトが１．４Ｖに達するのに対し、NH_3無しの場合（右側）ではＶｆｂシフトは０．４５Ｖ程度に止まる。Ｖｆｂシフトがゲート電極からの不純物（ボロン）拡散により生じることを考慮すれば、本実施の形態の半導体装置では、ゲート電極からのボロンの拡散が有効に抑制されていることがわかる。

本実施の形態によれば、窒化珪素膜１７，２２等に４００℃以上の基板温度で、モノシランおよび窒素（すなわちアンモニアを用いず）を原料ガスとするプラズマＣＶＤ法で形成した窒化珪素膜を適用するため、窒化珪素膜１７、２２等の剥離を抑制し、また、窒化珪素膜１７，２２等からの水素の離脱を抑制できる。この結果、半導体装置の性能と信頼性を高く維持できる。

なお、窒化珪素膜１７等に適用した窒化珪素膜（第１窒化珪素膜）と、窒化珪素膜４４に適用した窒化珪素膜（第２窒化珪素膜）とを比較すると、ＦＴ－ＩＲ法で測定したＳｉ－Ｈ結合、およびＳｉ－Ｎ結合の比率が相違する。すなわち、第１窒化珪素膜のＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ１と、第２窒化珪素膜のＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ２との間には、Ｒ１＜Ｒ２、の関係がある。本発明者らのＦＴ－ＩＲ測定によれば、第１窒化珪素膜のＳｉ－Ｈ結合数は$1\times10^{21}cm^{-3}$

であり、Ｓｉ－Ｎ結合数は１０×１０^{21}ｃｍ$^{-3}$であるのに対し、第２窒化珪素膜のＳｉ－Ｈ結合数は１１×１０^{21}ｃｍ$^{-3}$であり、Ｓｉ－Ｎ結合数は６×１０^{21}ｃｍ$^{-3}$である。第２窒化珪素膜からの水素脱離は、主にＳｉ－Ｈ結合から生じていると考え得る。

（実施の形態２）

本発明の実施の形態２であるＤＲＡＭ（Dynamic Random Access Memory）の製造方法を図２０～図４２を用いて工程順に説明する。なお、基板の断面を示す各図の左側部分はＤＲＡＭのメモリセルが形成される領域（メモリセルアレイ）を示し、右側部分は周辺回路領域を示している。

まず、図２０に示すように、ｐ型で比抵抗が１０Ωcm程度の単結晶シリコンからなる半導体基板（以下単に基板という）１０１を用意し、フォトリソグラフィおよびエッチング技術を用いて、基板１０１に深さ３５０nm程度の素子分離溝１０２を形成する。その後、たとえば８５０～９００℃程度のウェット酸化、あるいは約１０００℃でのドライ熱酸化により薄い（膜厚１０nm程度の）酸化珪素膜１０６を素子分離溝１０２の内壁に形成する。さらに、たとえばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法により酸化珪素膜（以下ＴＥＯＳ酸化膜という）を４００nm程度の膜厚で堆積し、素子分離溝１０２を埋め込む。この酸化珪素膜をＣＭＰ（Chemical Mechanical Polishing）法により研磨して素子分離溝１０２以外の領域の酸化珪素膜を除去し、素子分離溝１０２の内部に酸化珪素膜１０７を残して素子分離領域を形成する。

次に、図２１に示すように、基板１０１にｐ型不純物（ホウ素）およびｎ型不純物（例えばリン）をイオン打ち込みした後、約１０００℃の熱処理で上記不純物を拡散させることによって、メモリセルアレイの基板１０１にｐ型ウエル１０３およびｎ型ウエル１０５を形成し、周辺回路領域の基板１０１にｐ型ウエル１０３およびｎ型ウエル１０４を形成する。さらに、フッ酸系の洗浄液を用いて基板１０１（ｐ型ウエル１０３およびｎ型ウエル１０４）の表面をウェット洗浄した後、約８００℃の熱酸化でｐ型ウエル１０３およびｎ型ウエル１０４のそれぞれの表面に膜厚６nm程度の清浄なゲート酸化膜１０８を形成する。

次に、図２２に示すように、ゲート酸化膜１０８の上部にリン（Ｐ）をドープした膜厚１００nm程度の低抵抗多結晶シリコン膜１０９ａをＣＶＤ法で堆積し、続いてその上部にスパッタリング法で膜厚５nm程度のＷＮ膜１０９ｂと膜厚５０nm程度のＷ膜１０９ｃとを堆積し、さらにその上部にＣＶＤ法で膜厚１００nm程度の酸化珪素膜１１０ａを堆積する。

次に、上記Ｗ膜１０９ｃの応力緩和とＷＮ膜１０９ｂのデンシファイ（緻密化）とを目的として、窒素などの不活性ガス雰囲気中で約８００℃の熱処理を行う。Ｗ膜１０９ｃの上部の酸化珪素膜１１０ａは、この熱処理時におけるＷ膜１０９ｃの表面保護と、次の工程で酸化珪素膜１１０ａの上部に堆積する窒化珪素膜（１１０ｂ）と下層のＷ膜１０９ｃとの界面の応力緩和を目的として形成する。

次に、図２３に示すように、酸化珪素膜１１０ａの上部に膜厚１００nm程度の窒化珪素膜１１０ｂを堆積した後、フォトレジスト膜（図示せず）をマスクにして窒化珪素膜１１０ｂをドライエッチングすることにより、ゲート電極を形成する領域に窒化珪素膜１１０ｂを残す。

この窒化珪素膜１１０ｂは、実施の形態１で説明した窒化珪素膜１７と同様の条件で形成する。すなわち、４００℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマＣＶＤ法により形成する。窒化珪素膜１１０ｂは後に説明するようにメモリセル領域に形成される接続孔を自己整合加工する際に用いられるものであり、ゲート電極のキャップ絶縁膜として機能する。このようなキャップ絶縁膜から水素が脱離すれば、実施の形態１で説明したと同様の問題を生じる。すなわち、剥離による接続孔の加工不良、ゲート電極、ソース・ドレイン等の抵抗増加あるいは抵抗変動、さらには、ＭＩＳＦＥＴのしきい値変動の問題である。しかし、本実施の形態では、キャップ絶縁膜となる窒化珪素膜１１０ｂに水素脱離し難い窒化珪素膜を用いることにより、前記のような問題を回避できる。

次に、フォトレジスト膜を除去した後、図２４に示すように、窒化珪素膜１１０ｂをマスクにして酸化珪素膜１１０ａ、Ｗ膜１０９ｃ、ＷＮ膜１０９ｂおよび多結晶シリコン膜１０９ａをドライエッチングする。これにより、メモリセルアレイおよび周辺回路領域に多結晶シリコン膜１０９ａ、ＷＮ膜１０９ｂおよびＷ

膜１０９ｃからなるゲート電極１０９を形成し、これらのゲート電極１０９の上部に酸化珪素膜１１０ａおよび窒化珪素膜１１０ｂからなるキャップ絶縁膜１１０を形成する。なお、メモリセルアレイに形成されたゲート電極１０９は、ワード線ＷＬとして機能する。また、本実施の形態では、キャップ絶縁膜１１０に酸化珪素膜１１０ａが含まれる構成を説明しているが、酸化珪素膜１１０ａは必須ではない。つまり、キャップ絶縁膜１１０は窒化珪素膜１１０ｂからのみで構成されても良い。

次に、図２５に示すように、ゲート電極１０９の両側のｐ型ウエル１０３にｎ型不純物（リンまたはヒ素）をイオン打ち込みすることによってｎ⁻型半導体領域１１１を形成し、ｎ型ウエル１０４にｐ型不純物（ホウ素）をイオン打ち込みすることによってｐ⁻型半導体領域１１２を形成する。

次に、図２６に示すように、基板１０１上に膜厚５０nm程度の窒化珪素膜１１３を堆積する。その後、メモリセルアレイの基板１０１の上部をフォトレジスト膜（図示せず）で覆い、周辺回路領域の窒化珪素膜１１３を異方的にエッチングすることによって、周辺回路領域のゲート電極１０９の側壁にサイドウォールスペーサ１１３ａを形成する。

窒化珪素膜１１３は、窒化珪素膜１１０ｂと同様に、４００℃以上の基板温度で、モノシランおよび窒素を原料ガスとしたプラズマＣＶＤ法により形成する。窒化珪素膜１１３は、メモリセルアレイの領域では、窒化珪素膜１１０ｂとともにメモリセルアレイ領域に形成される接続孔を自己整合加工する際に用いられる。すなわち、メモリセルアレイのゲート電極のサイドウォールとして機能する。このような窒化珪素膜１１３から水素が脱離すれば、実施の形態１で説明したと同様の問題を生じる。すなわち、剥離による接続孔の加工不良、ゲート電極、ソース・ドレイン等の抵抗増加あるいは抵抗変動、さらには、ＭＩＳＦＥＴのしきい値変動の問題である。しかし、本実施の形態では、窒化珪素膜１１３に水素脱離し難い窒化珪素膜を用いることにより、前記のような問題を回避できる。

また、窒化珪素膜１１３から形成されるサイドウォールスペーサ１１３ａも同様に水素脱離し難い窒化珪素膜で構成される。従って、周辺回路領域においても前記と同様な効果が得られる。

次に、周辺回路領域のｐ型ウエル１０３にｎ型不純物（リンまたはヒ素）をイオン打ち込みすることによってn^+型半導体領域１１４（ソース、ドレイン）を形成し、ｎ型ウエル１０４にｐ型不純物（ホウ素）をイオン打ち込みすることによってp^+型半導体領域１１５（ソース、ドレイン）を形成する。ここまでの工程で、周辺回路領域にＬＤＤ(Lightly Doped Drain) 構造のソース、ドレインを備えたｎチャネル型ＭＩＳＦＥＴＱｎおよびｐチャネル型ＭＩＳＦＥＴＱｐが形成される。

次に、図２７に示すように、ゲート電極１０９の上部に酸化珪素膜１１６を形成し、酸化珪素膜１１６を化学的および機械的に研磨することによって、その表面を平坦化する。

次に、図２８に示すように、フォトレジスト膜（図示せず）をマスクにしてメモリセルアレイの酸化珪素膜１１６をドライエッチングした後、図２９に示すように、酸化珪素膜１１６の下層の窒化珪素膜１１３をドライエッチングすることによって、n^-型半導体領域１１１の上部にコンタクトホール１１８、１１９を形成する。

上記酸化珪素膜１１６のエッチングは、窒化珪素に比べて酸化珪素（酸化珪素膜１１６）のエッチング速度が大きくなるような条件で行い、窒化珪素膜１１３が完全には除去されないようにする。また、窒化珪素膜１１３のエッチングは、シリコン（基板）や酸化珪素に比べて窒化珪素のエッチング速度が大きくなるような条件で行い、基板１０１や酸化珪素膜１０７が深く削れないようにする。さらに、窒化珪素膜１１３のエッチングは、窒化珪素膜１１３が異方的にエッチングされるような条件で行い、ゲート電極１０９（ワード線ＷＬ）の側壁に窒化珪素膜１１３を残すようにする。これにより、微細な径を有するコンタクトホール１１８、１１９がゲート電極１０９（ワード線ＷＬ）に対して自己整合（セルフアライン）で形成される。

次に、図３０に示すように、上記コンタクトホール１１８、１１９を通じてメモリセルアレイのｐ型ウエル１０３（n^-型半導体領域１１１）にｎ型不純物（リンまたはヒ素）をイオン打ち込みすることによって、n^+型半導体領域１１７（ソース、ドレイン）を形成する。ここまでの工程で、メモリセルアレイにｎチ

ャネル型で構成されるメモリセル選択用ＭＩＳＦＥＴＱｓが形成される。

次に、図３１に示すように、コンタクトホール１１８、１１９の内部にプラグ１２０を形成する。プラグ１２０を形成するには、まずフッ酸を含んだ洗浄液を使ってコンタクトホール１１８、１１９の内部をウェット洗浄した後、コンタクトホール１１８、１１９の内部を含む酸化珪素膜１１６の上部にリン（Ｐ）などのｎ型不純物をドープした低抵抗多結晶シリコン膜をＣＶＤ法で堆積し、続いてこの多結晶シリコン膜をエッチバック（またはＣＭＰ法で研磨）してコンタクトホール１１８、１１９の内部のみに残すことによって形成する。

次に、図３２に示すように、酸化珪素膜１１６の上部にＣＶＤ法で膜厚２０nm程度の酸化珪素膜１２１を堆積した後、フォトレジスト膜（図示せず）をマスクにしたドライエッチングで周辺回路領域の酸化珪素膜１２１およびその下層の酸化珪素膜１１６をドライエッチングすることによって、ｎチャネル型ＭＩＳＦＥＴＱｎのソース、ドレイン（n^+型半導体領域１１４）の上部にコンタクトホール１２２を形成し、ｐチャネル型ＭＩＳＦＥＴＱｐのソース、ドレイン（p^+型半導体領域１１５）の上部にコンタクトホール１２３を形成する。また、このとき同時に、周辺回路領域のｐチャネル型ＭＩＳＦＥＴＱｐのゲート電極１０９（およびｎチャネル型ＭＩＳＦＥＴＱｐの図示しない領域のゲート電極１０９）の上部にコンタクトホール１２４を形成し、メモリセルアレイのコンタクトホール１１８の上部にスルーホール１２５を形成する。

次に、図３３に示すように、ｎチャネル型ＭＩＳＦＥＴＱｎのソース、ドレイン（n^+型半導体領域１１４）の表面、ｐチャネル型ＭＩＳＦＥＴＱｐのソース、ドレイン（p^+型半導体領域１１５）の表面およびコンタクトホール１１８の内部のプラグ１２０の表面にそれぞれシリサイド膜１２６を形成した後、コンタクトホール１２２、１２３、１２４の内部およびスルーホール１２５の内部にプラグ１２７を形成する。

上記シリサイド膜１２６は、例えばコンタクトホール１２２、１２３、１２４の内部およびスルーホール１２５の内部を含む酸化珪素膜１２１の上部にスパッタリング法で膜厚３０nm程度のＴｉ膜と膜厚２０nm程度のＴｉＮ膜とを堆積した後、基板１０１を約６５０℃で熱処理することによって形成する。また、プラグ

１２７は、例えばコンタクトホール１２２、１２３、１２４の内部およびスルーホール１２５の内部を含む上記ＴｉＮ膜の上部にＣＶＤ法で膜厚５０nm程度のＴｉＮ膜および膜厚３００程度のW膜を堆積した後、酸化珪素膜１２１の上部のW膜、ＴｉＮ膜およびＴｉ膜をＣＭＰ法で研磨し、これらの膜をコンタクトホール１２２、１２３、１２４の内部およびスルーホール１２５の内部のみに残すことによって形成する。

ソース、ドレイン（n^+型半導体領域１１４、p^+型半導体領域１１５）とその上部に形成されたプラグ１２７との界面にＴｉシリサイドからなる上記シリサイド膜１２６を形成することにより、ソース、ドレイン（n^+型半導体領域１１４、p^+型半導体領域１１５）とプラグ１２７とのコンタクト抵抗を低減することができるので、周辺回路を構成するＭＩＳＦＥＴ（ｎチャネル型ＭＩＳＦＥＴＱｎ、ｐチャネル型ＭＩＳＦＥＴＱｐ）の動作速度が向上する。

次に、図３４に示すように、メモリセルアレイの酸化珪素膜１２１の上部にビット線ＢＬを形成し、周辺回路領域の酸化珪素膜１２１の上部に第１層目の配線１３０～１３３を形成する。ビット線ＢＬおよび第１層目の配線１３０～１３３は、例えば酸化珪素膜１２１の上部にスパッタリング法で膜厚１００nm程度のW膜を堆積した後、フォトレジスト膜をマスクにしてこのW膜をドライエッチングすることによって形成する。このとき、ビット線ＢＬおよび配線１３０～１３３の下層の酸化珪素膜１１６が平坦化されているので、ビット線ＢＬおよび配線１３０～１３３を高い寸法精度でパターニングすることができる。

次に、図３５に示すように、ビット線ＢＬおよび第１層目の配線１３０～１３３の上部に膜厚３００nm程度の酸化珪素膜１３４を形成する。この酸化珪素膜１３４は、前記酸化珪素膜１１６と同様の方法で形成する。

次に、図３６に示すように、酸化珪素膜１３４の上部にＣＶＤ法で膜厚２００nm程度の多結晶シリコン膜１３５を堆積した後、フォトレジスト膜をマスクにしてメモリセルアレイの多結晶シリコン膜１３５をドライエッチングすることによって、コンタクトホール１１９の上方の多結晶シリコン膜１３５に溝１３６を形成する。

次に、図３７に示すように、上記溝１３６の側壁にサイドウォールスペーサ１

３７を形成した後、このサイドウォールスペーサ１３７と多結晶シリコン膜１３５とをマスクにして酸化珪素膜１３４およびその下層の酸化珪素膜１２１をドライエッチングすることによって、コンタクトホール１１９の上部にスルーホール１３８を形成する。溝１３６の側壁のサイドウォールスペーサ１３７は、溝１３６の内部を含む多結晶シリコン膜１３５の上部にＣＶＤ法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングして溝１３６の側壁に残すことによって形成する。

側壁にサイドウォールスペーサ１３７が形成された上記溝１３６の底部にスルーホール１３８を形成することにより、スルーホール１３８の径は、その下部のコンタクトホール１１９の径よりも小さくなる。これにより、メモリセルサイズを縮小しても、ビット線ＢＬとスルーホール１３８との合わせマージンが確保されるので、次の工程でスルーホール１３８の内部に埋め込まれるプラグ１３９とビット線ＢＬとの短絡を確実に防止することができる。

次に、上記多結晶シリコン膜１３５とサイドウォールスペーサ１３７とをドライエッチングで除去した後、図３８に示すように、スルーホール１３８の内部にプラグ１３９を形成する。プラグ１３９は、スルーホール１３８の内部を含む酸化珪素膜１３４の上部にｎ型不純物（リン）をドープした低抵抗多結晶シリコン膜をＣＶＤ法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール１３８の内部のみに残すことによって形成する。

次に、図３９に示すように、酸化珪素膜１３４の上部にＣＶＤ法で膜厚１００nm程度の窒化珪素膜１４０を堆積し、続いて窒化珪素膜１４０の上部にＣＶＤ法で酸化珪素膜１４１を堆積した後、フォトレジスト膜（図示せず）をマスクにしてメモリアレイの酸化珪素膜１４１をドライエッチングし、続いてこの酸化珪素膜１４１の下層の窒化珪素膜１４０をドライエッチングすることにより、スルーホール１３８の上部に溝１４２を形成する。情報蓄積用容量素子の下部電極は、この溝１４２の内壁に沿って形成されるので、下部電極の表面積を大きくして蓄積電荷量を増やすためには、溝１４２を形成する酸化珪素膜１４１を厚い膜厚（例えば１．３μm程度）で堆積する必要がある。

なお、窒化珪素膜１４０には、４００℃以上の基板温度で、モノシランおよび

窒素を原料ガスとしたプラズマＣＶＤ法により形成した窒化珪素膜を用いても良い。

次に、図４０に示すように、溝１４２の内部を含む酸化珪素膜１４１の上部に、ｎ型不純物（リン）をドープした膜厚５０nm程度のアモルファスシリコン膜１４３ａをＣＶＤ法で堆積した後、酸化珪素膜１４１の上部のアモルファスシリコン膜１４３ａをエッチバックすることにより、溝１４２の内壁に沿ってアモルファスシリコン膜１４３ａを残す。その後、溝１４２の内部に残った上記アモルファスシリコン膜１４３ａの表面をフッ酸系の洗浄液でウェット洗浄した後、減圧雰囲気中でアモルファスシリコン膜１４３ａの表面にモノシラン（SiH_4）を供給し、続いて基板１０１を熱処理してアモルファスシリコン膜１４３ａを多結晶化すると共に、その表面にシリコン粒を成長させる。これにより、表面が粗面化された多結晶シリコン膜１４３が溝１４２の内壁に沿って形成される。この多結晶シリコン膜１４３は、情報蓄積用容量素子の下部電極として使用される。

次に、図４１に示すように、溝１４２の内部を含む酸化珪素膜１４１の上部にＣＶＤ法で膜厚１５nm程度の酸化タンタル（Ta_2O_5）膜１４４を堆積した後、酸素雰囲気中、約８００℃、３分の熱処理を施すことによって、酸化タンタル膜１４４を結晶化すると共に、膜に酸素を供給することによって欠陥を修復する。この酸化タンタル膜１４４は、情報蓄積用容量素子の容量絶縁膜として使用される。さらに、溝１４２の内部を含む酸化タンタル膜１４４の上部にＣＶＤ法とスパッタリング法とを併用して膜厚１５０nm程度のＴｉＮ膜１４５を堆積した後、フォトレジスト膜（図示せず）をマスクにしてＴｉＮ膜１４５と酸化タンタル膜１４４とをドライエッチングすることにより、ＴｉＮ膜１４５からなる上部電極、酸化タンタル膜１４４からなる容量絶縁膜および多結晶シリコン膜１４３からなる下部電極で構成される情報蓄積用容量素子Ｃを形成する。ここまでの工程により、メモリセル選択用ＭＩＳＦＥＴＱｓとこれに直列に接続された情報蓄積用容量素子ＣとからなるＤＲＡＭのメモリセルが完成する。

情報蓄積用容量素子Ｃの容量絶縁膜は、上記酸化タンタル膜１４４だけでなく、ＰＺＴ、ＰＬＴ、ＰＬＺＴ、$PbTiO_3$、$SrTiO_3$、$BaTiO_3$、ＢＳＴ、ＳＢＴまたはTa_2O_5など、ペロブスカイト型または複合ペロブスカイ

ト型の結晶構造を有する高誘電体または強誘電体を主成分とする膜によって構成してもよい。

次に、図４２に示すように、情報蓄積用容量素子Ｃの上部に、以下のような方法で第２配線層の配線を形成する。

まず、情報蓄積用容量素子Ｃの上部にＣＶＤ法で膜厚１００nm程度の酸化珪素膜１５０を堆積する。次に、フォトレジスト膜（図示せず）をマスクにして周辺回路領域の第１層配線１３０、１３３の上部の酸化珪素膜１５０、１４１、窒化珪素膜１４０および酸化珪素膜１３４をドライエッチングすることによってスルーホール１５１、１５２を形成した後、スルーホール１５１、１５２の内部にプラグ１５３を形成する。プラグ１５３は、例えば酸化珪素膜１５０の上部にスパッタリング法で膜厚１００nm程度のＴｉＮ膜を堆積し、さらにその上部にＣＶＤ法で膜厚５００nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール１５１、１５２の内部に残すことにより形成する。さらに、酸化珪素膜１５０の上部に、例えばスパッタリング法で膜厚５０nm程度のＴｉＮ膜、膜厚５００nm程度のＡｌ（アルミニウム）合金膜および膜厚５０nm程度のＴｉ膜を堆積した後、フォトレジスト膜（図示せず）をマスクにしてこれらの膜をドライエッチングすることにより配線１５４～１５６を形成する。

その後、配線１５４～１５６を覆う層間絶縁膜、第３層目の配線、その上部に酸化珪素膜と窒化珪素膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のＤＲＡＭが略完成する。

なお、本実施の形態のパッシベーション膜は、実施の形態１のパッシベーション膜と同様である。すなわち、３５０℃程度の基板温度で、モノシラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により窒化珪素膜を形成し、これをパッシベーション膜に用いる。

また、本実施の形態のインナーリードは、実施の形態１と同様に構成できる。よって、その図示と説明は省略する。

本実施の形態によれば、キャップ絶縁膜となる窒化珪素膜１１０ｂ、窒化珪素膜１１３（サイドウォールスペーサ１１３ａ）に４００℃以上の基板温度で、モノシランおよび窒素（すなわちアンモニアを用いず）を原料ガスとするプラズマ

ＣＶＤ法で形成した窒化珪素膜を適用するため、これら窒化珪素膜の剥離を抑制し、また、窒化珪素膜からの水素の離脱を抑制できる。この結果、ＤＲＡＭの性能と信頼性を高く維持できる。

なお、本実施の形態では、ＤＲＡＭのキャパシタとして多結晶シリコン膜を下部電極とする例を示したが、白金（Ｐｔ）、ルテニウム（Ｒｕ）、イリジウム（Ｉｒ）あるいはこれらの酸化物を用いても良い。また、キャパシタ下部電極の構造を溝内に形成される筒型構造で例示したが、単純スタック型の構造を用いても良い。

また、実施の形態２のＤＲＡＭにおいて、周辺回路領域のＭＩＳＦＥＴを、実施の形態１で説明したようなデュアルゲート構造としても良い。すなわち、ｐチャネル型ＭＩＳＦＥＴのゲート電極をｐ型多結晶シリコン膜で、ｎチャネル型ＭＩＳＦＥＴのゲート電極をｎ型多結晶シリコン膜で構成しても良い。

さらに、実施の形態１のＭＩＳＦＥＴと実施の形態２のＤＲＡＭとを１つの基板上に形成し、システムＬＩＳに本発明を適用しても良い。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

たとえば、実施の形態１、２では窒化珪素膜のシリコン系原料ガスとしてモノシランを例示したが、ジクロルシラン（$SiCl_2H_2$）、あるいはジシラン（Si_2H_6）等を用いても良い。

産業上の利用可能性

以上のように、本発明の半導体装置およびその製造方法は、半導体装置の性能向上および信頼性の向上に適用して有効なものであり、産業上の利用可能性を有するものである。

請 求 の 範 囲

1．(a) 半導体基板表面に選択的に第１絶縁膜を形成する工程と、

(b) 前記半導体基板表面に第２絶縁膜を介して、第１導体片を形成する工程と、

(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層を形成する工程と、

(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜を形成する工程と、

(e) 前記第３絶縁膜上に、第４絶縁膜を形成する工程と、

(f) 前記第４及び第３絶縁膜に第１開孔を形成する工程と、

(g) 前記第１開孔内に第２導体片を形成する工程と、

(h) 前記第４絶縁膜上に第５絶縁膜を形成する工程とを有し、

前記第３絶縁膜及び第５絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の形成温度は、前記第５絶縁膜の形成温度よりも高いことを特徴とする半導体装置の製造方法。

2．請求項１記載の半導体装置の製造方法であって、前記第１及び第４絶縁膜は酸化珪素膜であり、前記第１開孔の形成工程は、前記第３絶縁膜に対する前記第４絶縁膜のエッチング量が大である条件で、前記第４絶縁膜をエッチングする工程と、前記第１絶縁膜に対する前記第３絶縁膜のエッチング量が大である条件で、前記第３絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

3．請求項１記載の半導体装置の製造方法であって、前記第５絶縁膜は反応ガスにアンモニアガスを含み、前記第３絶縁膜は反応ガスにアンモニアを含まないことを特徴とする半導体装置の製造方法。

4．請求項１記載の半導体装置の製造方法であって、前記工程（ｃ）と（ｄ）の間に、前記半導体層の表面にシリサイド層を形成する工程を有することを特徴とする半導体装置の製造方法。

5．請求項４記載の半導体装置の製造方法であって、前記第２導体片は第１導体

層と第２導体層を含み、前記第１導体層は、前記第２導体層よりも薄く、前記第２導体層の下に位置していることを特徴とする半導体装置の製造方法。

６．請求項１記載の半導体装置の製造方法であって、前記工程（ｇ）と（ｈ）の間に、

（ｉ）第３導体片を形成する工程と、

（ｊ）前記第５絶縁膜は前記第３導体片の一部を露出する第２開孔を有し、前記第２開孔において前記第３導体片に外部接続用導体片を接続する工程とを有することを特徴とする半導体装置の製造方法。

７．請求項１記載の半導体装置の製造方法であって、前記第１導体片はボロンを含むシリコン層からなることを特徴とする半導体装置の製造方法。

８．請求項１記載の半導体装置の製造方法であって、前記導体片はシリコンからなる第１導体層、第２導体層、高融点金属からなる第３導体層の３層からなることを特徴とする半導体装置の製造方法。

９．(a) 半導体基板表面に選択的に第１絶縁膜を形成する工程と、

(b) 前記半導体基板表面に第２絶縁膜を介して、第１導体片を形成する工程と、

(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層を形成する工程と、

(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜を形成する工程と、

(e) 前記第３絶縁膜上に、第４絶縁膜を形成する工程と、

(f) 前記第４及び第３絶縁膜に第１開孔を形成する工程と、

(g) 前記第１開孔内に第２導体片を形成する工程と、

(h) 前記第４絶縁膜上に第５絶縁膜を形成する工程とを有し、

前記第３絶縁膜及び第５絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の水素含有量は、前記第５絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置の製造方法。

１０．（ａ）半導体基板上に第１絶縁膜を形成する工程と、

（ｂ）前記第１絶縁膜上に第２絶縁膜を形成する工程と、

（ｃ）前記第２及び第１絶縁膜に開孔を形成する工程と、

（ｄ）前記開孔内に導体層を形成する工程と、

（ｅ）前記導体層上に第３絶縁膜を形成する工程とを有し、

前記第１絶縁膜及び第３絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の形成温度は、前記第３絶縁膜の形成温度よりも高いことを特徴とする半導体装置の製造方法。

１１．（ａ）半導体基板上に第１絶縁膜を形成する工程と、

（ｂ）前記第１絶縁膜上に第２絶縁膜を形成する工程と、

（ｃ）前記第２及び第１絶縁膜に開孔を形成する工程と、

（ｄ）前記開孔内に導体層を形成する工程と、

（ｅ）前記導体層上に第３絶縁膜を形成する工程とを有し、

前記第１絶縁膜及び第３絶縁膜はプラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置の製造方法。

１２．(a) 半導体基板表面に選択的に第１絶縁膜を形成する工程と、

(b) 前記半導体基板の表面であって、前記第１絶縁膜が存在しない領域に半導体層を形成する工程と、

(c) 前記半導体層の表面に高融点金属のシリサイド層を形成する工程と、

(d) 前記高融点金属のシリサイド層及び前記第１絶縁膜を覆うように第２絶縁膜を形成する工程と、

(e) 前記第２絶縁膜上に、第３絶縁膜を形成する工程と、

(f) 前記第３及び第２絶縁膜に開孔を形成する工程と、

(g) 前記開孔内に導体片を形成する工程とを有し、

前記第２絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

１３．請求項１２記載の半導体装置の製造方法であって、前記第２絶縁膜は、モノシランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたことを特徴とする半導体装置の製造方法。

１４．請求項１２記載の半導体装置の製造方法であって、前記第３絶縁膜は酸化

珪素膜であり、前記開孔の形成工程は、前記第２絶縁膜に対するエッチング量が大である条件で、前記第３絶縁膜をエッチングする工程と、前記第１絶縁膜に対するエッチング量が大である条件で、前記第２絶縁膜をエッチングする工程とを有することを特徴とする半導体装置の製造方法。

１５．請求項１２記載の半導体装置の製造方法であって、前記シリサイド層の形成工程は、

（ｈ）前記半導体層及び第１絶縁膜上に高融点金属膜を堆積する工程と、

（ｉ）前記半導体基板に熱処理を施し、前記半導体層の表面にシリサイド層を形成する工程と、

（ｊ）前記第１絶縁膜上の高融点金属膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

１６．請求項１２記載の半導体装置の製造方法であって、前記導体片は第１導体層と第２導体層を含み、前記第１導体層は前記第２導体層よりも薄く、前記第２導体層の下に位置していることを特徴とする半導体装置の製造方法。

１７．請求項１６記載の半導体装置の製造方法であって、前記第１導体層は窒化チタン層であり、前記第２導体層はタングステン層であることを特徴とする半導体装置の製造方法。

１８．(a) 半導体基板表面に選択的に第１絶縁膜を形成する工程と、

(b) 前記半導体基板表面に第２絶縁膜を介して、第１導体片を形成する工程と、

(c) 前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片が存在しない領域に半導体層を形成する工程と、

(d) 前記第１導体片、前記半導体層及び前記第１絶縁膜を覆うように第３絶縁膜を形成する工程と、

(e) 前記第３絶縁膜上に、第４絶縁膜を形成する工程とを有し、

前記第１導体片はボロンを含んだシリコン膜であり、

前記第３絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

１９．請求項１８記載の半導体装置の製造方法であって、前記第３絶縁膜はモノ

シランと窒素を反応ガスとして用い、アンモニアは用いないで形成されたことを特徴とする半導体装置の製造方法。

２０．（ａ）半導体基板上に第１絶縁膜を形成する工程と、

（ｂ）前記第１絶縁膜上に第２絶縁膜を形成する工程と、

（ｃ）前記第２及び第１絶縁膜に開孔を形成する工程と、

（ｄ）前記開孔内に導体層を形成する工程とを有し、

前記第１絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

２１．請求項２０記載の半導体装置の製造方法であって、前記第２絶縁膜は酸化珪素膜であることを特徴とする半導体装置の製造方法。

２２．請求項２０記載の半導体装置の製造方法であって、前記導体層の形成工程は、下層の第１導体層と上層の第２導体層の形成工程からなり、前記第２導体層は銅からなり、前記第１導体層は銅の拡散防止機能を有することを特徴とする半導体装置の製造方法。

２３．（ａ）半導体基板上に第１絶縁膜を介して、シリコンからなる第１導体層、第２導体層、高融点金属からなる第３導体層、第２絶縁膜を堆積する工程と、

（ｂ）前記第２絶縁膜、第３、第２、及び第１導体層を所定のパターンに加工する工程と、

（ｃ）前記第２絶縁膜上に第３絶縁膜を形成する工程とを有し、

前記第２絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

２４．請求項２３記載の半導体装置の製造方法であって、前記第３絶縁膜は４００度以上のプラズマＣＶＤ法により形成された窒化珪素膜であることを特徴とする半導体装置の製造方法。

２５．（ａ）半導体基板と、

（ｂ）前記半導体基板の表面に選択的に形成された第１絶縁膜と、

（ｃ）前記半導体基板上に第２絶縁膜を介して形成された第１導体片と、

（ｄ）前記半導体基板の表面であって、前記第１絶縁膜と前記第１導体片との間に位置する半導体層と、

(e) 前記第１導体片、第１絶縁膜及び半導体層上に形成された第３絶縁膜と、

（ｆ）前記第３絶縁膜上に形成された第４絶縁膜と、

（ｇ）前記第３，第４絶縁膜に形成された開孔内に形成された第２導体片と、

（ｈ）前記第２導体片上に形成された第５絶縁膜とからなり、

前記第３及び第５絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第３絶縁膜の水素含有量は、前記第５絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

２６．請求項２５記載の半導体装置であって、前記第２導体片は第１導体層と第２導体層を含み、前記第１導体層は、前記第２導体層よりも薄く、前記第２導体層の下に位置していることを特徴とする半導体装置。

２７．請求項２６記載の半導体装置であって、前記第１導体層は窒化チタン層であり、前記第２導体層はタングステン層であることを特徴とする半導体装置。

２８．請求項２５記載の半導体装置であって、前記半導体層の表面には高融点金属のシリサイド層が形成されていることを特徴とする半導体装置。

２９．請求項２５記載の半導体装置であって、前記第１導体片はボロンを含むシリコン層からなることを特徴とする半導体装置。

３０．(a) 半導体基板と、

（ｂ）半導体基板上に第１絶縁膜を介して形成された第１導体片と、

（ｃ）前記第１導体片上に形成された第２絶縁膜と、

（ｄ）前記第２絶縁膜上に形成された第３絶縁膜とからなり、

前記第２及び第３絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第２絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

３１．請求項３０記載の半導体装置であって、更に、

(e) 前記第１導体片の両端であって、前記半導体基板の表面に位置する第１及び第２半導体領域とを有し、前記第１導体片はトランジスタのゲートとして、前記第１及び第２半導体領域はトランジスタのソース、ドレインとして機能し、前記ソースからドレインに向かう方向において、前記第２絶縁膜は前記第１導体片とほぼ等しい幅を有することを特徴とする半導体装置。

３２．請求項３０記載の半導体装置であって、更に

(e) 前記第２絶縁膜上に形成された第２導体片と、

（ｆ）前記第２導体片に接続された外部接続用導体片とを有し、

前記第３絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第２導体片と接続されていることを特徴とする半導体装置。

３３．(a) 半導体基板と、

（ｂ）半導体基板上に第１絶縁膜を介して形成され、側壁を有する第１導体片と、

（ｃ）前記第１導体片の側壁上に形成された第２絶縁膜と、

（ｄ）前記第１導体片上に形成された第３絶縁膜とからなり、

前記第２及び第３絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第２絶縁膜の水素含有量は、前記第３絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

３４．請求項３３記載の半導体装置であって、更に

(e) 前記第２絶縁膜上に形成された第２導体片と、

（ｆ）前記第２導体片に接続された外部接続用導体片とを有し、

前記第３絶縁膜は開孔を有し、前記開孔部において、前記外部接続用導体片が前記第２導体片と接続されていることを特徴とする半導体装置。

３５．(a) 半導体基板上と、

（ｂ）前記半導体基板上の第１絶縁膜と、

（ｃ）前記第１絶縁膜上の第２絶縁膜と、

（ｄ）前記第１、第２絶縁膜に形成された第１開孔内に形成された第１導体片と、

(e) 前記第１導体片上の第３絶縁膜と、

（ｆ）前記第３絶縁膜上の第２導体片と、

（ｇ）前記第２導体片上の第４絶縁膜とを有し、

前記第１及び第４絶縁膜は、プラズマＣＶＤ法により形成された窒化珪素膜であり、前記第１絶縁膜の水素含有量は、前記第４絶縁膜の水素含有量よりも少ないことを特徴とする半導体装置。

３６．請求項３５記載の半導体装置であって、更に

（ｈ）前記第２導体片に接続された外部接続用導体片を有し、

前記第４絶縁膜は第２開孔を有し、前記第２開孔部において、前記外部接続用導体片と前記第２導体片とが接続されていることを特徴とする半導体装置。

３７．請求項３６記載の半導体装置であって、前記第２絶縁膜は酸化珪素膜であることを特徴とする半導体装置。

３８．請求項１２記載の半導体装置の製造方法であって、前記工程（ａ）と（ｂ）との間にシリコン材料からなる第１導体片を形成する工程を有し、前記（ｃ）工程において前記第１導体片の表面に高融点金属のシリサイド層を形成することを特徴とする半導体装置の製造方法。

３９．請求項２５記載の半導体装置であって、前記第１導体片はシリコン材料からなり、前記第１導体片の表面には高融点金属のシリサイド層が形成されていることを特徴とする半導体装置。

４０．自己整合加工用の第１窒化珪素膜を形成し、さらにパッシベーション用の第２窒化珪素膜を形成する半導体装置の製造方法であって、

前記第１窒化珪素膜は、シランおよび窒素を原料ガスとするプラズマＣＶＤ法により形成され、前記第２窒化珪素膜は、シラン、アンモニアおよび窒素を原料ガスとするプラズマＣＶＤ法により形成されることを特徴とする半導体装置の製造方法。

４１．請求項４０記載の半導体装置の製造方法であって、前記第１窒化珪素膜の形成は、前記第２窒化珪素膜の形成よりも高い温度で形成されることを特徴とする半導体装置の製造方法。

４２．請求項４０記載の半導体装置の製造方法であって、前記第１窒化珪素膜の形成は、４００度以上の温度で行われることを特徴とする半導体装置の製造方法。

４３．自己整合加工用の第１窒化珪素膜と、パッシベーション用の第２窒化珪素膜とを有する半導体装置であって、

前記第１窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ１と、前記第２窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ／Ｓｉ－Ｎ結合比Ｒ２と

の間には、Ｒ１＜Ｒ２、の関係を有することを特徴とする半導体装置。

４４．請求項４３記載の半導体装置であって、

前記第１窒化珪素膜のＦＴ－ＩＲ分析によるＳｉ－Ｈ結合は、$2\times10^{21}cm^{-3}$以下であることを特徴とする半導体装置。