

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2023/197400 A1

(43) 国际公布日

2023 年 10 月 19 日 (19.10.2023)

(51) 国际专利分类号:

H01L 27/02 (2006.01)

H01L 21/66 (2006.01)

H01L 23/544 (2006.01)

G01R 31/26 (2014.01)

388 号, Anhui 230601 (CN)。 李宁(LI, Ning); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(21) 国际申请号:

PCT/CN2022/093395

(22) 国际申请日:

2022 年 5 月 17 日 (17.05.2022)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202210382204.0

2022 年 4 月 12 日

(12.04.2022) CN

(71) 申请人: 长鑫存储技术有限公司(CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 王翔宇(WANG, Xiangyu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道

(74) 代理人: 上海晨皓知识产权代理事务所(普通合伙)(SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: SEMICONDUCTOR LAYOUT STRUCTURE AND SEMICONDUCTOR TEST STRUCTURE

(54) 发明名称: 半导体版图结构及半导体测试结构

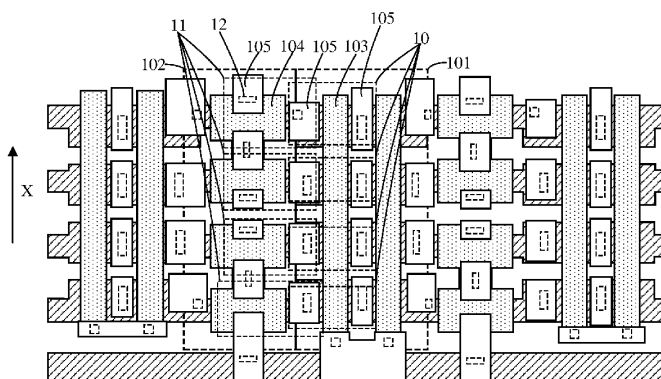


图 3

(57) Abstract: The embodiments of the present disclosure relate to the technical field of semiconductors, in particular to a semiconductor layout structure and a semiconductor test structure. The semiconductor layout structure comprises: active layers, the active layers comprising a first active region and a second active region arranged adjacent to the first active region, the first active region comprising a plurality of first transistor regions arranged at intervals, the second active region comprising a plurality of second transistor regions arranged at intervals, and the active layers corresponding to the adjacent first transistor regions being separated from each other; and a gate layer, located above the active layers and comprising at least one first gate structure extending in a first direction and a plurality of second gate structures arranged at intervals in the first direction, the first gate structure and the second gate structures being adjacently arranged, the first gate structure corresponding to the first transistor regions, and the second gate structures corresponding to the second transistor regions.

[见续页]

WO 2023/197400 A1

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本公开实施例涉及半导体技术领域, 特别涉及一种半导体版图结构及半导体测试结构, 半
导体版图结构包括: 有源层, 有源层包括第一有源区和与第一有源区相邻设置的第二有源区; 第一有
源区包括多个间隔设置的第一晶体管区, 第二有源区包括多个间隔设置的第二晶体管区, 相邻的第
一晶体管区对应的有源层相互分离; 栅极层, 位于有源层上方, 包括至少一条沿第一方向延伸的第
一栅极结构, 以及在第一方向上间隔设置的多个第二栅极结构, 第一栅极结构和第二栅极结构相邻
设置, 第一栅极结构对应于第一晶体管区, 第二栅极结构对应于第二晶体管区。