

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2022年11月24日(24.11.2022)



(10) 国際公開番号

WO 2022/244207 A1

(51) 国際特許分類:  
H01L 27/11565 (2017.01) H01L 27/11582 (2017.01)

(21) 国際出願番号: PCT/JP2021/019228

(22) 国際出願日: 2021年5月20日(20.05.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

(72) 発明者: 中木 寛(NAKAKI, Hiroshi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 内山 泰宏(UCHIYAMA, Yasuhiro); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP).

(74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目23番1

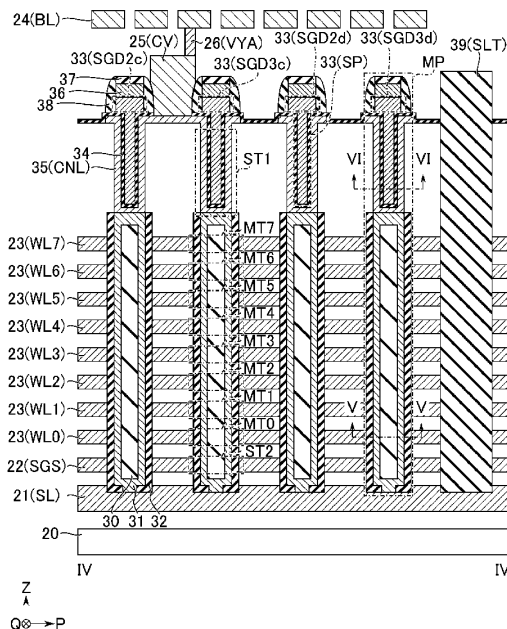
号 セレスティン芝三井ビルディング 11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: MEMORY DEVICE

(54) 発明の名称: メモリデバイス



(57) Abstract: The present invention improves the density of a memory cell. A memory device according to one embodiment comprises a first conductor layer (23), a first conductor film (33), a first semiconductor film (31), a second semiconductor film (35), a first insulator film (32), and a second insulator film (34). The first conductor film extends in a first direction above the first conductor layer. The first semiconductor film extends in the first direction between the first conductor layer and the first conductor film, and intersects with the first conductor layer. The second semiconductor film is in contact with the first semiconductor film, extends in the first direction between the first conductor layer and the first conductor film, and opposes the first conductor film. The first insulator film is provided between the first conductor layer and the first semiconductor film. The second insulator film is provided between the first semiconductor film and the second semiconductor film, and the first conductor film.

WO 2022/244207 A1

[続葉有]

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,  
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,  
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

---

(57) 要約：メモリセルの集積度を向上させる。一実施形態のメモリデバイスは、第1導電体層（23）と、第1導電体膜（33）と、第1半導体膜（31）と、第2半導体膜（35）と、第1絶縁体膜（32）と、第2絶縁体膜（34）と、を備える。第1導電体膜は、第1導電体層の上方において第1方向に延びる。第1半導体膜は、第1導電体層と第1導電体膜との間において第1方向に延び、第1導電体層と交差する。第2半導体膜は、第1半導体膜に接し、第1導電体層と第1導電体膜との間において第1方向に延び、第1導電体膜と対向する。第1絶縁体膜は、第1導電体層と第1半導体膜との間に設けられる。第2絶縁体膜は、第1半導体膜及び第2半導体膜と第1導電体膜との間に設けられる。