

半导体结构的制作方法

相关申请的交叉引用

5 本公开要求基于 2021 年 3 月 18 日提交的申请号为 202110291828.7 的中国申请“半
导体结构的制作方法”的优先权，通过援引将其全部内容并入本文中。

技术领域

10 本公开涉及半导体技术领域，尤其涉及一种半导体结构的制作方法。

背景技术

15 现有的 DRAM 半导体结构中存在硬件漏洞，即高频率地访问或者攻击内存中的一行
（row）数据，会导致临近行的数据发生位反转（bit flipping）。该漏洞提升了整块内存区
域的访问权限。由于 DRAM 的制造精度越来越高，部件所占物理空间也就越小。当在一
块芯片上集成较大的内存容量时，各个内存单元之间发生电磁干扰也就难以避免。

20 对 DRAM 半导体结构而言，位反转主要是由于临近的隔离区内形成的字线（邻近字
线，Passing Word Line）对有源区内形成的字线（活动字线，Active Word line）的影响导
致，而在 DRAM 实际工作时，真正起作用的是活动字线，为了减小位反转影响，可以
通过减小邻近字线的宽度从而增大两种字线结构之间的距离。然而，现有的邻近字线和活
动字线是同时形成的，难以通过蚀刻等现有工艺产生较大的尺寸差异。

发明内容

25 本公开实施例的一个方面，提供一种半导体结构的制作方法；其中，包括：提供衬底，
所述衬底包括有源区和隔离区，所述隔离区包括第一沟槽和形成于所述第一沟槽内的隔离
层，所述有源区上具有牺牲层；去除部分所述隔离层，以形成第一凹槽；形成第一掩膜层，
所述第一掩膜层覆盖所述有源区的上表面并填充满所述第一凹槽；平坦化所述第一掩膜
层，使位于所述有源区上方的所述第一掩膜层的上表面与位于所述隔离区上方的所述第一
掩膜层的上表面齐平；去除部分所述第一掩膜层、部分所述隔离层和部分所述衬底，以形
成第二沟槽和第三沟槽；其中，所述第二沟槽位于所述隔离区内，所述第三沟槽位于所述
30 有源区内，所述第三沟槽的宽度大于所述第二沟槽的宽度；于所述第二沟槽和所述第三沟
槽内形成字线结构。

本公开实施例的另一个方面，提供一种半导体结构；其中，包括衬底、第二沟槽和第三沟槽以及字线结构；所述衬底包括有源区和隔离区，所述隔离区包括第一沟槽和形成于所述第一沟槽内的隔离层；所述第二沟槽位于所述隔离区内，所述第三沟槽位于所述有源区内，且所述第三沟槽的宽度大于所述第二沟槽的宽度；所述字线结构设置于所述第二沟槽和所述第三沟槽内。

附图说明

图 1~图 9 是本公开提出的制作方法的几个步骤中的半导体结构的示意图；
图 10 是图 9 示出的步骤中的半导体结构的局部放大图；
图 11~图 14 是本公开提出制作方法的另几个步骤中的半导体结构的示意图。

具体实施例

现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的实施例；相反，提供这些实施例使得本公开将全面和完整，并将示例实施例的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

参阅图 1 至图 9 和图 11，其分别代表性地示出了本公开提出的半导体结构的制作方法的几个步骤下的半导体结构的示意图。在该示例性实施例中，本公开提出的半导体结构的制作方法是应用于例如 DRAM 的半导体结构为例进行说明的。本领域技术人员容易理解的是，为将本公开的相关设计应用于其他类型的半导体结构或其他工艺中，而对下述的具体实施例做出多种改型、添加、替代、删除或其他变化，这些变化仍在本公开提出的半导体结构的制作方法的原理的范围内。

如图 1 至图 13 所示，在本实施例中，本公开提出的半导体结构的制作方法包括：
提供衬底 100，衬底 100 包括有源区 101 和隔离区 102，隔离区 102 包括第一沟槽 111 和形成于第一沟槽 111 内的隔离层 120，有源区 101 上具有牺牲层 130；
去除部分隔离层 120，以形成第一凹槽 210；
形成第一掩膜层 300，第一掩膜层 300 覆盖有源区 101 的上表面并填满第一凹槽 210；
平坦化第一掩膜层 300，使位于有源区 101 上方的第一掩膜层 300 的上表面与位于隔离区 102 上方的第一掩膜层 300 的上表面齐平；
去除部分第一掩膜层 300、部分隔离层 120 和部分衬底 100，以形成第二沟槽 112 和

第三沟槽 113；其中，第二沟槽 112 位于隔离区 102 内，第三沟槽 113 位于有源区 101 内，第三沟槽 113 的宽度大于第二沟槽 112 的宽度；

于第二沟槽 112 和第三沟槽 113 内形成字线结构。

通过上述设计，本公开能够使有源区 101 的掩膜厚度比隔离区 102 的掩膜厚度更薄，
5 使得后续制程中的隔离区 102 形成的字线沟槽的宽度比有源区 101 形成的字线沟槽的宽度更小，使得邻近字线 702 的宽度小于活动字线 701 的宽度，进而实现减小邻近字线 702 影响和位反转不良的功效。

如图 1 所示，其示出了半导体结构在“提供衬底 100”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100（硅基底，Si substrate）以及隔离层 120。其中，
10 衬底 100 包括有源区 101 和隔离区 102，隔离区 102 包括第一沟槽 111 和隔离层 120，隔离层 120 形成于第一沟槽 111，有源区 101 的上表面具有牺牲层 130。在此基础上，第一沟槽 111 开口于牺牲层 130 的上表面，且隔离层 120 的上表面适于牺牲层 130 的上表面齐平。

可选地，对于“提供衬底 100”的步骤而言，在本实施例中，隔离层 120 的材质可以
15 包括 SiO_2 。

可选地，对于“提供衬底 100”的步骤而言，在本实施例中，牺牲层 130 的材质可以包括 Si_3N_4 。

如图 2 所示，其示出了半导体结构在“形成第一凹槽 210”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100 以及经由部分去除后的隔离层 120。其中，
20 第一凹槽 210 是经由去除部分隔离层 120 而形成，且牺牲层 130 在去除部分隔离层 120 的同时被去除。隔离层 120 经由部分去除后，隔离层 120 的上表面低于衬底 100 的上表面，从而形成第一凹槽 210。即，第一凹槽 210 的底壁是由经由部分去除后的隔离层 120 的上表面定义，且第一凹槽 210 的侧壁是由因上述去除工艺而暴露出的第一沟槽 111 的部分槽壁定义。

25 可选地，图 2 所示，对于“形成第一凹槽 210”的步骤而言，在本实施例中，牺牲层 130 和部分隔离层 120 可以通过干法刻蚀工艺去除。

可选地，图 2 所示，对于“形成第一凹槽 210”的步骤而言，在本实施例中，第一凹槽 210 的深度 h_1 可以为 3nm~10nm，例如 3nm、5nm、8nm、10nm 等。在其他实施例中，第一凹槽 210 的深度 h_1 亦可小于 3nm，或可大于 10nm，例如 2.5nm、11nm 等，并不以
30 本实施例为限。

如图 3 所示，其示出了半导体结构在“形成第一掩膜层 300”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100、隔离层 120 以及第一掩膜层 300。其中，第一掩膜层 300 覆盖于有源区 101 的上表面，且第一掩膜层 300 填充第一凹槽 210，换言之，第一掩膜层 300 同时覆盖于隔离层 120 的上表面和第一沟槽 111 的暴露出的部分槽壁。

可选地，如图 3 所示，对于“形成第一掩膜层 300”的步骤而言，在本实施例中，第一掩膜层 300 的材质可以包括 Si_3N_4 。

可选地，如图 3 所示，对于“形成第一掩膜层 300”的步骤而言，在本实施例中，第一掩膜层 300 可以通过原子层沉积工艺形成。

10 可选地，如图 3 和图 4 所示，对于“形成第一掩膜层 300”的步骤而言，在本实施例中，第一掩膜层 300 在平坦化之前的厚度为 15nm~30nm，例如 15nm、20nm、25nm、30nm 等。在其他实施例中，第一掩膜层 300 在平坦化之前的厚度亦可小于 15nm，或可大于 30nm，例如 14nm、35nm 等，并不以本实施例为限。另外，以第一凹槽 210 的深度 h1 为 3nm~10nm，且第一掩膜层 300 在平坦化之前的厚度为 15nm~30nm 为例，当第一掩膜层 300 经由平坦化之后，第一掩膜层 300 的覆盖于有源区 101 的部分的第二厚度 h3 大致为 5nm~27nm，第一掩膜层 300 的覆盖于隔离层 120 的部分的第一厚度 h2 仍保持第一掩膜层 300 在平坦化之前的厚度，即 15nm~30nm。

20 如图 4 所示，其示出了半导体结构在“平坦化第一掩膜层 300”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100、隔离层 120 以及上表面经由平坦化后的第一掩膜层 300。其中，第一掩膜层 300 的上表面经由平坦化后大致形成平面，即第一掩膜层 300 的对应于有源区 101 的部分和对应于隔离区 102（第一沟槽 111）的部分的上表面齐平。在此基础上，由于第一掩膜层 300 的对应于隔离区 102 的部分填充第一沟槽 111，因此第一掩膜层 300 的该部分的第一厚度 h2 大于其对应于有源区 101 的部分的第二厚度 h3。

25 可选地，如图 4 所示，对于“平坦化第一掩膜层 300”的步骤而言，在本实施例中，第一掩膜层 300 的上表面可以通过化学机械抛光工艺（CMP，Chemical-Mechanical Polishing）进行平坦化。

30 如图 5 至图 9 所示，其分别示出了半导体结构在“形成第二沟槽 112 和第三沟槽 113”时的几个步骤中的结构示意图。具体而言，对于“形成第二沟槽 112 和第三沟槽 113”的步骤而言，可以具体包括：

于第一掩膜层 300 上形成第二掩膜层 400，第二掩膜层 400 覆盖第一掩膜层 300 的表面；

于第二掩膜层 400 上形成具有图形的光刻胶层 600；

以光刻胶层 600 作为掩膜，刻蚀部分第一掩膜层 300、部分隔离层 120 和部分衬底 100。

5 进一步地，在本实施例中，于第二掩膜层 400 上形成具有图形的光刻胶层 600 的步骤包括：

于第二掩膜层上形成光刻胶材料层；

如图 6 所示，采用曝光显影技术去除部分光刻胶材料层 601，剩余的光刻胶材料层 601 构成光刻胶层 600。

10 进一步地，如图 5 和图 6 所示，在本实施例中，可以在第二掩膜层 400 上形成介质层 500，该介质层 500 覆盖第二掩膜层 400 的上表面。在此基础上，对于“形成光刻胶材料层 601”的步骤而言，光刻胶材料层 601 是覆盖在介质层 500 的上表面。在其他实施例中，光刻胶材料层 601 亦可以其他工艺手段形成于第二掩膜层 400 上，且可以直接覆盖第二掩膜层 400 的上表面，或者间隔有例如本实施例的介质层 500 的其他结构。

15 如图 5 所示，其代表性地示出了半导体结构在“形成光刻胶材料层 601”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300、第二掩膜层 400、介质层 500 以及光刻胶材料层 601。其中，第二掩膜层 400 形成于第一掩膜层 300 的上表面。介质层 500 形成于第二掩膜层 400 的上表面。光刻胶材料层 601 涂覆于介质层 500 的上表面。

20 如图 6 所示，其代表性地示出了半导体结构在“形成光刻胶层 600”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300、第二掩膜层 400、介质层 500 以及图案化后的光刻胶层 600。其中，第二掩膜层 400 形成于第一掩膜层 300 的上表面。介质层 500 形成于第二掩膜层 400 的上表面。光刻胶层 600 涂覆于介质层 500 的上表面，可以在曝光工艺中以介质层 500 作为底层。经由图案化后的
25 光刻胶层 600 具有开口 610，这些开口 610 与后续制程中形成的第二沟槽 112 和第三沟槽 113 的位置（即字线结构的位置）一一对应，且这些开口 610 的宽度大致相同。

可选地，如图 5 所示，对于“形成第二掩膜层 400”的步骤而言，在本实施例中，第二掩膜层 400 的材质可以包括碳（C）。

30 可选地，如图 5 所示，对于“形成第二掩膜层 400”的步骤而言，在本实施例中，第二掩膜层 400 可以通过化学气相沉积工艺形成。

可选地，如图 5 所示，对于“形成第二掩膜层 400”的步骤而言，在本实施例中，第二掩膜层 400 的厚度可以为 150nm~200nm，例如 150nm、160nm、175nm、200nm 等。在其他实施例中，第二掩膜层 400 的厚度亦可小于 150nm，或可大于 200nm，例如 140nm、210nm 等，并不以本实施例为限。

- 5 可选地，如图 5 所示，对于“形成介质层 500”的步骤而言，在本实施例中，介质层 500 的材质可以包括 Si、Si₃N₄ 或者 SiON。

进一步地，如图 7 至图 9 所示，在本实施例中，以光刻胶层 600 作为掩膜，刻蚀部分第一掩膜层 300、部分隔离层 120 和部分衬底 100 的步骤包括：

- 10 以光刻胶层 600 作为掩膜，刻蚀部分第二掩膜层 400，以在第二掩膜层 400 内形成第四沟槽 220；
去除光刻胶层 600；
沿第四沟槽 220 向下刻蚀部分第一掩膜层 300、部分隔离层 120 和部分衬底 100；
去除第二掩膜层 400。

- 15 如图 7 所示，其示出了半导体结构在“形成第四沟槽 220”的步骤中的结构示意图。
具体而言，该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300、经由部分去除后的第二掩膜层 400 以及经由部分去除后的介质层 500。其中，利用图案化后的光刻胶层 600 作为掩膜，将光刻胶层 600 的开口 610 图案转移至介质层 500 和部分第二掩膜层 400，并在曝光过程中将光刻胶层 600 全部去除。形成的第四沟槽 220 开口于介质层 500 的上表面，并延伸至第二掩膜层 400。

- 20 如图 8 所示，其示出了半导体结构在“形成第三凹槽 230 和第四凹槽 240”的步骤中的结构示意图。具体而言，该步骤中的半导体结构包括有源区 101 经由部分去除后的衬底 100、经由部分去除后的隔离层 120、经由部分去除后的第一掩膜层 300 以及继续经由部分去除后的第二掩膜层 400。其中，自第四沟槽 220 的底部继续刻蚀第二掩膜层 400、第一掩膜层 300、有源区 101 和隔离层 120，并利用间距倍增工艺，使得该刻蚀过程中在第一掩膜层 300 中形成的沟道的截面大致呈宽度上大下小的梯形，由于第一掩膜层 300 的覆盖隔离层 120 的部分（即填满第一凹槽 210 的部分）的第一厚度 h₂ 大于其覆盖有源区 101 的部分的第二厚度 h₃，因此上述截面呈梯形的孔道在有源区 101 的上表面的开口宽度大于其在隔离层 120 的上表面的开口宽度，从而使得自该开口继续向下刻蚀形成的位于有源区 101 的第四凹槽 240 的宽度大于位于隔离层 120 的第三凹槽 230 的宽度。换言之，第三凹槽 230 形成于位于隔离层 120 的第四沟槽 220 的下方，第四凹槽 240 形成于位于有源
- 25
- 30

区 101 的第四沟槽 220 的下方。

如图 9 和图 10 所示，图 9 示出了半导体结构在“形成第二沟槽 112 和第三沟槽 113”的步骤中的结构示意图，图 10 代表性地示出了图 9 示出的半导体结构的局部放大图。具体而言，该步骤中的半导体结构包括有源区 101 继续经由部分去除后的衬底 100、继续经由部分去除后的隔离层 120 以及经由部分去除后的第一掩膜层 300。其中，自第三凹槽 230 的底部继续刻蚀隔离层 120 而形成第二沟槽 112，自第四凹槽 240 的底部继续刻蚀有源区 101 而形成第三沟槽 113，且第二掩膜层 400 在上述刻蚀过程中被全部去除。其中，由于第四凹槽 240 的宽度大于第三凹槽 230 的宽度，且第三沟槽 113 是自第四凹槽 240 的底部继续刻蚀形成，第二沟槽 112 是自第三凹槽 230 的底部继续刻蚀形成，因此，如图 10 所示，第三沟槽 113 的第一宽度 d1 大于第二沟槽 112 的第二宽度 d2。

可选地，如图 10 所示，对于“形成第二沟槽 112 和第三沟槽 113”的步骤而言，在本实施例中，第三沟槽 113 的第一宽度 d1 与第二沟槽 112 的第二宽度 d2 的差值可以为 1nm~5nm，例如 1nm、2nm、3.5nm、5nm 等。在其他实施例中，第三沟槽 113 的第一宽度 d1 与第二沟槽 112 的第二宽度 d2 的差值亦可大于 5nm，例如 5.5nm 等，并不以本实施例为限。

可选地，如图 10 所示，对于“形成第二沟槽 112 和第三沟槽 113”的步骤而言，在本实施例中，第二沟槽 112 的深度可以为 180nm~200nm，例如 180nm、190nm、195nm、200nm 等。在其他实施例中，第二沟槽 112 的深度亦可小于 180nm，或可大于 200nm，例如 175nm、205nm 等，并不以本实施例为限。

可选地，如图 10 所示，对于“形成第二沟槽 112 和第三沟槽 113”的步骤而言，在本实施例中，第三沟槽 113 的深度可以为 150nm~170nm，例如 150nm、155nm、160nm、170nm 等。在其他实施例中，第三沟槽 113 的深度亦可小于 150nm，或可大于 170nm，例如 145nm、175nm 等，并不以本实施例为限。

可选地，在本实施例中，于第二沟槽 112 和第三沟槽 113 内形成字线结构的步骤包括：如图 11 所示，形成金属阻挡材料层 721，金属阻挡材料层 721 覆盖第一掩膜层 300 的上表面、第二沟槽 112 和第三沟槽 113 的底部及侧壁；

如图 12 所示，形成导电材料层 711，导电材料层 711 覆盖金属阻挡材料层的表面，且导电材料层 711 填充第二沟槽 112 和第三沟槽 113；

如图 13 所示，去除部分金属阻挡材料层 721 和部分导电材料层 721，剩余的金属阻挡材料层 721 为阻挡层 720，剩余的导电材料层 711 为导电层 710，阻挡层 720 和导电层

710 构成字线结构;

其中,阻挡层 720 的上表面和导电层 710 的上表面低于有源区 101 的上表面。

进一步地,对于“形成字线结构”的步骤而言,在本实施例中,阻挡层 720 的上表面低于导电层 710 的上表面。据此,能够减小栅诱导漏极泄漏电流(gate-induced drain leakage,

5 GIDL)。

进一步地,对于“形成字线结构”的步骤而言,在本实施例中,于第二沟槽 112 和第三沟槽 113 内形成字线结构的步骤之后,还包括:

形成保护层 800,保护层 800 覆盖字线结构的表面并填充满第二沟槽 112 和第三沟槽 113。

10 如图 11 所示,其示出了半导体结构在“形成金属阻挡材料层 721”的步骤中的结构示意图,具体示出了类似图 10 示出的半导体结构的局部放大图。具体而言,该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300 以及金属阻挡材料层 721。其中,金属阻挡材料层 721 覆盖第一掩膜层 300 的上表面、第二沟槽 112 和第三沟槽 113 的底部及侧壁。

15 如图 12 所示,其示出了半导体结构在“形成导电材料层 711”的步骤中的结构示意图,具体示出了类似图 10 示出的半导体结构的局部放大图。具体而言,该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300、金属阻挡材料层 721 以及导电材料层 711。其中,导电材料层 711 覆盖金属阻挡材料层的表面,且导电材料层 711 填充满第二沟槽 112 和第三沟槽 113

20 如图 13 所示,其示出了半导体结构在“形成字线结构”的步骤中的结构示意图,具体示出了类似图 10 示出的半导体结构的局部放大图。具体而言,该步骤中的半导体结构包括衬底 100、隔离层 120、第一掩膜层 300 以及字线结构。其中,字线结构分别形成于第二沟槽 112 和第三沟槽 113 中,由于第三沟槽 113 的第一宽度 d_1 大于第二沟槽 112 的第二宽度 d_2 ,因此形成在第三沟槽 113 中的字线结构(即活动字线 701)的宽度,大于形成在第二沟槽 112 中的字线结构(即邻近字线 702)的宽度。另外,字线结构包括导电层 25 710 和阻挡层 720,阻挡层 720 形成于导电层 710 与沟槽的槽壁之间。

综上所述,本公开提出的半导体结构的制作方法,通过在衬底上覆盖掩膜,并使有源区的掩膜厚度比隔离区的掩膜厚度更薄,使得后续制程中的隔离区形成的字线沟槽的宽度比有源区形成的字线沟槽的宽度更小,使得邻近字线的宽度小于活动字线的宽度,进而 30 实现减小邻近字线影响和位反转不良的功效。

并且，为验证本公开提出的半导体结构的制作方法及其制作的半导体结构的功效，申请人进行了实验论证，实验结果表明，第一凹槽的深度为 5nm 时，第二沟槽与第三沟槽之间会有产生 0.55nm 的宽度差异，且通过大量实验得出第一凹槽的深度与沟槽宽度差异之间的线性关系大致为：0.1nm 宽度差/1nm 深度。在实际生产中，申请人将第一凹槽的深度做到约 8nm~10nm，则产生了约 1nm 的沟槽宽度差异。

基于上述对本公开提出的半导体结构的制作方法的一示例性实施例的详细说明，以下将结合图 13，对本公开提出的半导体结构的一示例性实施例进行说明。

如图 13 所示，在本实施例中，本公开提出的半导体结构包括衬底 100，衬底 100 包括有源区 101 和隔离区 102，隔离区 102 包括第一沟槽 111 和形成于第一沟槽 111 的隔离层 120，隔离层 120 的上表面设置有第二沟槽 112，有源区 101 的上表面设置有第三沟槽 113，第三沟槽 113 的宽度大于第二沟槽 112 的宽度，第三沟槽 113 和第二沟槽 112 中分别设置有字线结构。

可选地，如图 14 所示，在本实施例中，半导体结构还包括保护层 800，该保护层 800 覆盖字线结构的表面并填充第二沟槽 112 和第三沟槽 113。

可选地，如图 13 所示，在本实施例中，字线结构包含导电层 710 和阻挡层 720，导电层 710 设置于第二沟槽 112 和第三沟槽 113 中，阻挡层 720 设置在导电层 710 与沟槽的槽壁之间，且阻挡层 720 的上表面和导电层 710 的上表面低于有源区 101 的上表面。

进一步地，基于字线结构包含导电层 710 的设计，在本实施例中，导电层 710 的材质可以包含 W（金属钨）。

进一步地，基于字线结构包含阻挡层 720 的设计，在本实施例中阻挡层 720 的材质可以包含 TiN。

可选地，如图 13 所示，在本实施例中，隔离层 120 的材质可以包括 SiO₂。

可选地，如图 13 所示，在本实施例中，第一掩膜层 300 的材质可以包括 Si₃N₄。

可选地，如图 13 所示，在本实施例中，第一掩膜层 300 的覆盖隔离层 120 的部分的第一厚度 h2 可以为 15nm~30nm，例如 15nm、20nm、25nm、30nm 等。在其他实施例中，第一掩膜层 300 的覆盖隔离层 120 的部分的第一厚度 h2 亦可小于 15nm，或可大于 30nm，例如 14nm、35nm 等，并不以本实施例为限。另外，以第一凹槽 210 的深度 h1 为 3nm~10nm，且第一掩膜层 300 的覆盖隔离层 120 的部分的第一厚度 h2 为 15nm~30nm 为例，第一掩膜层 300 的覆盖于有源区 101 的部分的第二厚度 h3 大致为 5nm~27nm。

可选地，如图 13 所示，在本实施例中，第三沟槽 113 的第一宽度 d1 与第二沟槽 112

的第二宽度 d2 的差值可以为 1nm~5nm, 例如 1nm、2nm、3.5nm、5nm 等。在其他实施例中, 第三沟槽 113 的第一宽度 d1 与第二沟槽 112 的第二宽度 d2 的差值亦可大于 5nm, 例如 5.5nm 等, 并不以本实施例为限。

5 可选地, 如图 13 所示, 在本实施例中, 第二沟槽 112 的深度可以为 180nm~200nm, 例如 180nm、190nm、195nm、200nm 等。在其他实施例中, 第二沟槽 112 的深度亦可小于 180nm, 或可大于 200nm, 例如 175nm、205nm 等, 并不以本实施例为限。

可选地, 如图 13 所示, 在本实施例中, 第三沟槽 113 的深度可以为 150nm~170nm, 例如 150nm、155nm、160nm、170nm 等。在其他实施例中, 第三沟槽 113 的深度亦可小于 150nm, 或可大于 170nm, 例如 145nm、175nm 等, 并不以本实施例为限。

10 综上所述, 本公开提出的半导体结构的隔离区形成的字线沟槽的宽度比有源区形成的字线沟槽的宽度更小, 使得邻近字线的宽度小于活动字线的宽度, 进而实现减小邻近字线影响和位反转不良的功效。

15 虽然已参照几个典型实施例描述了本公开, 但应当理解, 所用的术语是说明和示例性、而非限制性的术语。由于本公开能够以多种形式具体实施而不脱离公开的精神或实质, 所以应当理解, 上述实施例不限于任何前述的细节, 而应在随附权利要求所限定的精神和范围内广泛地解释, 因此落入权利要求或其等效范围内的全部变化和改型都应随附权利要求所涵盖。

权 利 要 求

- 1.一种半导体结构的制作方法，包括：
- 提供衬底，所述衬底包括有源区和隔离区，所述隔离区包括第一沟槽和形成于所述第
- 5 一沟槽内的隔离层，所述有源区上具有牺牲层；
- 去除部分所述隔离层，以形成第一凹槽；
- 形成第一掩膜层，所述第一掩膜层覆盖所述有源区的上表面并填充满所述第一凹槽；
- 平坦化所述第一掩膜层，使位于所述有源区上方的所述第一掩膜层的上表面与位于所述隔离区上方的所述第一掩膜层的上表面齐平；
- 10 去除部分所述第一掩膜层、部分所述隔离层和部分所述衬底，以形成第二沟槽和第三沟槽；其中，所述第二沟槽位于所述隔离区内，所述第三沟槽位于所述有源区内，所述第三沟槽的宽度大于所述第二沟槽的宽度；
- 于所述第二沟槽和所述第三沟槽内形成字线结构。
- 15 2.根据权利要求 1 所述的半导体结构的制作方法，所述第二沟槽的深度为 180nm~200nm。
- 3.根据权利要求 1 所述的半导体结构的制作方法，所述第三沟槽的深度为 150nm~170nm。
- 20 4.根据权利要求 1 所述的半导体结构的制作方法，所述第三沟槽的宽度与所述第二沟槽的宽度的差值为 1nm~5nm。
- 5.根据权利要求 1 所述的半导体结构的制作方法，所述形成所述第一凹槽的步骤包括：
- 25 利用刻蚀工艺去除所述牺牲层和部分所述隔离层，以使所述隔离层的上表面低于所述有源区的上表面。
- 6.根据权利要求 1 所述的半导体结构的制作方法，所述第一掩膜层的材质包括 Si_3N_4 。
- 30 7.根据权利要求 1 所述的半导体结构的制作方法，所述第一掩膜层的厚度为

15nm~30nm。

8.根据权利要求1所述的半导体结构的制作方法，所述第一掩膜层是通过原子层沉积工艺形成。

5

9.根据权利要求1所述的半导体结构的制作方法，所述平坦化所述第一掩膜层的步骤包括：

采用化学机械抛光工艺平坦化所述第一掩膜层。

10 10.根据权利要求1所述的半导体结构的制作方法，所述去除部分所述第一掩膜层、部分所述隔离层和部分所述衬底，以形成第二沟槽和第三沟槽的步骤包括：

于所述第一掩膜层上形成第二掩膜层，所述第二掩膜层覆盖所述第一掩膜层的表面；

于所述第二掩膜层上形成具有图形的光刻胶层；

15 以所述光刻胶层作为掩膜，刻蚀部分所述第一掩膜层、部分所述隔离层和部分所述衬底。

11.根据权利要求10所述的半导体结构的制作方法，所述于所述第二掩膜层上形成具有图形的光刻胶层包括：

于所述第二掩膜层上形成光刻胶材料层；

20 采用曝光显影技术去除部分所述光刻胶材料层，剩余的所述光刻胶材料层构成所述光刻胶层。

12.根据权利要求10所述的半导体结构的制作方法，所述以所述光刻胶层作为掩膜，刻蚀部分所述第一掩膜层、部分所述隔离层和部分所述衬底的步骤包括：

25 以所述光刻胶层作为掩膜，刻蚀部分所述第二掩膜层，以在所述第二掩膜层内形成第四沟槽；

去除所述光刻胶层；

沿所述第四沟槽向下刻蚀部分所述第一掩膜层、部分所述隔离层和部分所述衬底；

去除所述第二掩膜层。

30

13.根据权利要求 1 所述的半导体结构的制作方法，所述于所述第二沟槽和所述第三沟槽内形成字线结构的步骤包括：

形成金属阻挡材料层，所述金属阻挡材料层覆盖所述第一掩膜层的上表面、所述第二沟槽和所述第三沟槽的底部及侧壁；

5 形成导电材料层，所述导电材料层覆盖所述金属阻挡材料层的表面且所述导电材料层填充满所述第二沟槽和所述第三沟槽；

去除部分所述金属阻挡材料层和部分所述导电材料层，剩余的所述金属阻挡材料层为阻挡层，剩余的所述导电材料层为导电层，所述阻挡层和所述导电层构成所述字线结构；

其中，所述阻挡层的上表面和所述导电层的上表面低于所述有源区的上表面。

10

14.根据权利要求 13 所述的半导体结构的制作方法，包括：

所述阻挡层的上表面低于所述导电层的上表面。

15.根据权利要求 1 所述的半导体结构的制作方法，所述于所述第二沟槽和所述第三沟槽内形成字线结构的步骤之后，还包括：

形成保护层，所述保护层覆盖所述字线结构的表面并填充满所述第二沟槽和所述第三沟槽。

16.一种半导体结构，包括：

20 衬底，所述衬底包括有源区和隔离区，所述隔离区包括第一沟槽和形成于所述第一沟槽内的隔离层；

第二沟槽和第三沟槽，所述第二沟槽位于所述隔离区内，所述第三沟槽位于所述有源区内，且所述第三沟槽的宽度大于所述第二沟槽的宽度；

字线结构，所述字线结构设置于所述第二沟槽和所述第三沟槽内。

25

17.根据权利要求 16 所述的半导体结构，所述隔离层的上表面低于所述有源区的上表面。

30 18.根据权利要求 17 所述的半导体结构，所述字线结构包括阻挡层和导电层，所述阻挡层的上表面和所述导电层的上表面低于所述有源区的上表面。

19.根据权利要求 18 所述的半导体结构，还包括：
保护层，所述保护层覆盖所述字线结构的表面并填满所述第二沟槽和所述第三沟槽。

5