

明 細 書

熱電素子の製造方法

技 術 分 野

この発明はゼーベック効果を利用した発電装置に用いる熱電素子、あるいはペルチェ効果を利用した冷却装置に用いる熱電素子の製造方法に関し、特に小型で多数の熱電対で構成される熱電素子の製造方法に関する。

背 景 技 術

熱電素子の熱電対は、その両端に温度差を与えることにより電圧を発生する。これがゼーベック効果であり、この電圧を電気エネルギーとして取り出すことようにしたものが熱電発電装置である。このような熱電発電装置によれば、熱エネルギーから電気エネルギーへの変換が直接できるため、廃熱利用に代表されるような熱エネルギーの有効的な利用方法として注目されている。

一方、熱電対に電流を流すと一端で発熱、他端で吸熱が起こる。これがペルチェ効果であり、この吸熱現象を利用して冷却装置が得られる。このような冷却装置は、機構部品を含まずかつ小型化も可能なことから、ポータブルな冷蔵庫あるいはレーザや集積回路などの局部冷却器として活用されている。

このように、熱電素子は構造が簡単で他の発電装置や冷却装置に比べて小型化にも有利な条件を備えており、有用性が高い。例えば、発電装置としては酸化還元電池のような電解液の漏洩や消耗の問題がないことから、電子式の腕時計などの携帯型電子機器への応用が期待される。

この熱電素子における従来の一般的な構造およびその製造方法は、たとえば、特開昭63-20880号公報あるいは特開平8-43555号公報に開示されている。ここで開示されているのは、発電用の熱電素子であるが、基本構造は冷却用の

熱電素子も同様である。そこで、以下の説明は煩雑さを避けて、発電用の熱電素子について行うものとする。

上記公報に開示されている従来の熱電素子は、多数の熱電対が平面的に形成されるようにp型とn型の熱電半導体を交互に規則的に配置し、それによって形成される熱電対を電氣的に直列に接続するものである。

このように熱電対を平面的に設けることにより熱電素子が板状になり、その表と裏とはそれぞれ熱電対の温接点が位置する面と冷接点が位置する面となる。そして、その熱電素子の発電は板状の素子の表裏の温度差によって行われる。

ところで、現在、熱発電の性能指数が最も高いと言われているBiTe系材料を用いた熱電対の出力電圧は、1対あたり $400\mu\text{V}/^{\circ}\text{C}$ ほどである。

このような熱電対を電子時計のような室温近辺で使用される携帯型電子機器に用いる場合、機器の内部での温度差はあまり期待できない。たとえば腕時計の場合、体温と外気温とにより生じる時計内部での温度差はせいぜい 2°C である。

そのため、電子時計の時計駆動に必要な 1.5V 以上の電圧を得るためには、およそ2000対以上のBiTe系の熱電対が必要となる。

さらに、腕時計の場合は、元々の内容積が小さい上に機械部品や電気回路部品を収納しなくてはならないので、使用する熱電発電素子は非常に小さいことが必須条件となる。

従来において、このような熱電対の数が多くかつ小型である熱電素子の製造方法としては、前述の特開昭63-20880号公報に開示された方法がある。

その方法は、まず薄い板状のp型とn型の熱電半導体をそれぞれの間に断熱材を挟みながら次々に積み重ねて接合した積層体を形成する。続いて、その積層体に一定間隔で溝を形成し、その後、この溝に断熱材を充填し、同一熱電材料の連結部を除去することにより、断熱材に囲まれ孤立したn型及びp型の熱電対を形成する。

そして、この熱電対同志を電氣的に直列接続して熱電素子を完成する。

また、特開平 8-43555 号公報に開示された方法では、まず板状の p 型と n 型の熱電半導体を別々の基板に接合した上で、それぞれの熱電半導体に縦方向と横方向とに細かい間隔で多数の溝入れ加工を行う。

この溝入れ加工により基板上に柱状の熱電半導体が規則的に立った、剣山状の形状のものができる。この剣山状のものを、n 型の熱電半導体によるものと p 型の熱電半導体によるものとを準備し、柱状の熱電半導体が互いに間にはいり合うように組み合わせ、絶縁性物質をその熱電半導体間に充填する。

最後に、上記基板を除去して、熱電対同志を電氣的に直列接続して熱電素子を完成する。

しかしながら、これらの熱電素子の製造方法によると、熱電半導体の材料そのものが非常に脆いために、熱電半導体を薄い板状に形成する工程や溝入れ加工により剣山状に形成する工程などにおいて、熱電半導体材料の破損が起こりやすいという問題がある。

特に、腕時計内に収容可能な超小型の熱電素子に 2000 対以上という多数の熱電対を形成しようとする、板状の熱電半導体の厚みや柱状の熱電半導体の太さを $100\mu\text{m}$ 程度以下にする必要があり、上述した脆弱性の問題はきわめて深刻となる。

そこでこの発明は、このような従来の熱電素子の製造方法による問題を解決するためになされたものであり、その目的は小型でかつ出力電圧を大きくするために多数の熱電対を有する熱電素子を、容易かつ効率よく製造する方法を提供することにある。

発明の開示

この発明による熱電素子の製造方法は、上記の目的を達成するため、次の各工程

を有する。

それぞれ厚さ方向の一部を残して同一ピッチで複数本の溝が平行に形成された n 型の熱電半導体の溝入りブロックおよび p 型の熱電半導体の溝入りブロックを作製する溝入りブロック作製工程、

該工程によってそれぞれ作製された n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックとを互いにその溝を形成した面が対向するように嵌合させる嵌合工程、

該工程によって互いに嵌合された前記 n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、一体化ブロックを形成する固着工程、

該工程によって形成された一体化ブロックにおける前記 n 型の熱電半導体と p 型の熱電半導体とが互いに嵌合している嵌合部以外の部分を除去して、n 型および p 型の熱電半導体素片を露出させる熱電半導体素片露出工程、

このような工程によって、熱電素子を製造することにより、脆弱性の問題がある熱電半導体材料をつねに塊（ブロック）として扱って加工するため、熱電半導体材料を破損することなく細密な加工を行なうことができ、極めて小さい多数の熱電半導体素片による多数の熱電対からなる熱電素子を容易に効率よく作製することが可能になる。

さらに、上記固着工程によって形成された一体化ブロックに、上溝入りブロック作製工程によって形成された溝の方向と交差する方向に複数本の溝加工を厚さ方向の一部を残して施す第 2 の溝加工工程と、該工程における溝加工部に絶縁部材を充填し固化させる固化工程とを行なった後、

該工程において絶縁部材を充填し固化させた一体化ブロックにおける n 型の熱電半導体と p 型の熱電半導体とが互いに嵌合している嵌合部以外の部分を除去して、

n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程を行なうようにするとよい。

このようにすれば、同じ大きさの熱電素子を構成する熱電対の数が大幅に増加し、熱電発電素子として使用する場合の出力電圧を高めることができる。

さらにまた、上述の溝入りブロック作製工程と嵌合工程と固着工程とによって、2個の一体化ブロックを作製し、そのそれぞれに上記溝入りブロック作製工程で形成された溝の方向と交差する方向に同一ピッチで複数本の溝加工を厚さ方向の一部を残して施し、2個の溝入り一体化ブロックとする溝加工工程と、

その2個の溝入り一体化ブロックを互いに溝加工された面が対向するように嵌合させる第2の嵌合工程と、

該工程によって互いに嵌合された2個の溝入り一体化ブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、第2の一体化ブロックとする第2の固着工程とを行なった後、

その第2の一体化ブロックの上記嵌合部以外の厚さ部分を除去して、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程を行なうようにするとさらによい。

このようにすれば、同じ大きさの熱電素子を構成する熱電対の数がさらに大幅に増加し、熱電発電素子として使用する場合の出力電圧を一層高めることができる。

これらの熱電素子の製造方法において、上記溝入りブロック作製工程として、n型の熱電半導体ブロックおよびp型の熱電半導体ブロックに、それぞれ同一ピッチで複数本の溝加工を厚さ方向の一部を残して施す溝加工によって、上記n型の熱電半導体の溝入りブロックおよびp型の熱電半導体の溝入りブロックを作製する工程を採用することができる。

あるいは、上記溝入りブロック作製工程として、それぞれ溝入りブロックの成形

型を用いて、n型の熱電半導体材料とp型の熱電半導体材料を個別に成形および焼結することによって、上記n型の熱電半導体の溝入りブロックおよびp型の熱電半導体の溝入りブロックを作製する工程を採用することもできる。

これらの熱電素子の製造方法において、上記熱電半導体素片露出工程後に、露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成する電極形成工程を行なえば、熱電素子を完成することができる。

あるいはまた、n型の熱電半導体ブロックとベースとを接合したn型の熱電半導体複合ブロックと、p型の熱電半導体ブロックとベースとを接合したp型の熱電半導体複合ブロックとを用意し、その各熱電半導体複合ブロックに対して、熱電半導体ブロックおよびp型の熱電半導体ブロックに、それぞれ同一ピッチで複数本の溝加工を前記各ベースとの界面付近までの深さで施す溝加工工程によって、n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックとを作製し、その対の熱電半導体複合ブロックを使用して、上述した嵌合工程、固着工程、溝加工工程、固化工程等を実施したり、さらにそれらの工程によって2個の一体化ブロックを作製し、それらに第2の溝加工を施して互いに嵌合させ、第2の一体化ブロックとした後、上記各ベースの部分を除くして、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程を行なうようにしてもよい。

このようにすることにより、熱電半導体材料を無駄なく利用することができる。

この場合、上記各ベースとして、熱電半導体ブロックの固着面より大きな面積を有するものを用い、嵌合工程において、n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックのそれぞれ熱電半導体ブロックが存在しない部分のベース間にスペーサを介挿し、該ベース間の間隔を略熱電半導体ブロックの厚さに相当する間隔に制御（規制）するとよい。

図面の簡単な説明

第1図から第6図は、この発明による熱電素子の製造方法の第1実施例を説明するための各製造工程を示す斜視図ある。

第7図および第8図は、それぞれ第3図一体化ブロック3における仮想線で囲んで示すAの部分の異なる接着例を示す拡大図である。

第9図は、同じく第1実施例における電極構成を説明するための完成した熱電素子の平面図である。

第10図から第14図は、この発明による熱電素子の製造方法の第2実施例を説明するための各製造工程を示す斜視図ある。

第15図から第17図は、この発明による熱電素子の製造方法の第3実施例を説明するための後半の製造工程を示す斜視図である。

第18図は、同じく第3実施例における電極構成を説明するための完成した熱電素子の平面図である。

第19図から第21図は、この発明による熱電素子の製造方法の第4実施例を説明するための一部の製造工程を示す斜視図である。

第22図から第24図は、この発明による熱電素子の製造方法の第5実施例を説明するための前半の製造工程を示す斜視図である。

第25図および第26図は、この発明による熱電素子の製造方法の第6実施例を説明するための一部の製造工程を示す斜視図である。

第27図から第29図は、この発明による熱電素子の製造方法の第7実施例を説明するための一部の製造工程を示す断面図である。

第30図および第31図は、この発明による熱電素子の製造方法の第8実施例のを説明するための一部の製造工程を示す断面図である。

第32図および第33図は、この発明による熱電素子の製造方法の第9実施例のを説明するための一部の製造工程を示す断面図である。

第34図は、熱電半導体の溝入りブロックを射出成形によって作製する場合に使用する金型の一例を示す断面図である。

発明を実施するための最良の形態

以下、この発明による熱電素子の製造方法を実施するための最良の形態としての各実施例を説明する。

〔第1実施例：第1図～第9図〕

まず、この発明による熱電素子の製造方法の第1実施例を第1図から第9図を参照して説明する。

この第1実施例では、まず第1図に示すように、n型熱電半導体ブロック1とp型熱電半導体ブロック2とを用意する。この両ブロック1と2は厚さを含む全てのサイズが同一であるのが望ましい。そして、両ブロックを区別し易くするために、n型熱電半導体ブロック1には、その全表面に斜線を施して示す。以後の各図においても同様である。

続いて第2図に示すように、溝入りブロック作製工程として第1の溝加工工程を実施し、n型熱電半導体ブロック1に一定のピッチで複数本の縦溝16を厚さ方向の一部15を残して平行に形成し、縦隔壁17を所定の間隔で形成したn型溝入りブロック11を作製する。同様にp型熱電半導体ブロック2にも、上記と同じ一定のピッチで複数本の縦溝26を厚さ方向の一部25を残して平行に形成し、縦隔壁27を所定の間隔で形成したp型溝入りブロック21を作製する。

このとき、n型溝入りブロック11とp型溝入りブロック21とを嵌合可能にするために、両ブロック11、21の縦隔壁17、27を櫛型に形成し、かつ縦溝16と26のピッチを同一にすると共に、接着用のスペースを確保するため各縦溝16、26の幅が縦隔壁17、27の幅より若干広くなるようにする。また、縦溝16と縦溝26の深さを等しくするのが望ましい。

この第1の溝加工工程におけるn型熱電半導体ブロック1およびp型熱電半導体ブロック2への縦溝16, 26の加工は、例えば、ワイヤソーを用いた研磨加工又はダイシングソーを用いた研削加工により行う。

なお、この第1実施例においては、n型熱電半導体ブロック1としてBiTeSeの焼結体を、p型熱電半導体ブロック2としてBiTeSbの焼結体を用い、大きさはともに12mm×12mm×4mmとした。そして、各溝入りブロック11, 21には、厚さ4mmに対して深さ3mmで、ピッチ寸法120μm、幅70μmの縦溝16, 26を形成しているものとする。したがって、縦隔壁17, 27の幅は50μmとなる。

この熱電半導体の溝入りブロック11, 12を作製する方法としては、上述のように機械加工によって細かい溝加工をする方法に限らず、射出成形等の成形加工によって作製することも可能であるが、その場合の溝入りブロック作製工程の例については、後で説明する。

次に、第3図に示す嵌合工程と固着工程を実施して、n型溝入りブロック11とp型溝入りブロック21で、互いに縦溝16, 26に相手側の縦隔壁27, 17を挿入し合って嵌合させ、その嵌合部の空隙に接着性のある絶縁材を充填して固着し、一体化ブロック3を形成する。

この一体化ブロック3を形成する工程は、n型溝入りブロック11とp型溝入りブロック21を嵌合させて絶縁材によって固着する工程であるが、その接着層には2つのブロックの接合の他に、n型溝入りブロック11とp型溝入りブロック21との間の電氣的絶縁性を確保する作用を持たせる必要がある。

たとえば、ワイヤソーを用いた研磨加工によって縦溝16, 26の内壁が非常に平滑に加工できた場合には、単に流動性の高い接着剤中に固着前の一体化ブロック3を部分的に浸漬し、毛細管現象により接着剤を縦溝16, 26と縦隔壁27, 1

7との隙間に充填すれば絶縁性は確保できる。

一方、縦溝16, 26の内壁がやや粗面となった場合には、確実に絶縁性を保つために、第3図の一体化ブロック3の仮想線で示した部分Aを拡大して第7図又は第8図に示すようにして絶縁性を確保する。

第7図に示す方法は、n型溝入りブロック11の縦隔壁17および縦溝16の表面に絶縁膜31を形成し、これにp型溝入りブロック21を嵌合させ、その縦隔壁27および縦溝26の表面と絶縁膜31との隙間に、接着剤を上述のように毛細管現象を利用して充填し硬化させて接着層32とし、一体化ブロック3を完成する。

絶縁膜31としては、酸化シリコン、酸化アルミニウム、窒化シリコンなどの無機膜、あるいはポリイミドなどの有機膜の何れをも用いることができる。

なお、絶縁膜31はp型溝入りブロック21の縦隔壁27および縦溝26の表面に形成してもよい。さらに、n型溝入りブロック11およびp型溝入りブロック21の双方の互いに嵌合する表面に形成すれば、一層確実に絶縁性を確保できる。

第8図に示す方法は、絶縁性スペーサ33を分散させた接着剤を用いて一体化ブロック3を作製する方法である。たとえば絶縁性スペーサ33として平均粒径8 μ mの球形のガラスビーズをエポキシ接着剤に5重量%添加する。この結果、ガラスビーズは接着層32内にほぼ均一に分散され、n型溝入りブロック11とp型溝入りブロック21とはこのガラスビーズよりなる絶縁性スペーサ33によって空間的に強制的に隔てられ、電気的な絶縁が確保されることになる。

このように、嵌合工程と固着工程を実施し、第3図に示したように完成した一体化ブロック3に対し、つぎに第4図に示すように第2の溝加工工程を実施して、横溝46を形成する。このように、一体化ブロック3に横溝46を形成した第4図に示すブロックを溝入り一体化ブロック4と称す。

横溝46の加工は、第3図によって説明した第1の溝加工工程における溝加工方

向と交差する方向に、複数本の横溝 4 6 を所定のピッチで厚さ方向の一部 4 5 を残して形成し、所定の間隔を置いて横隔壁 4 7 を形成することになる。なお、この工程での横溝 4 6 は、第 1 の溝加工工程で形成した縦溝 1 6, 2 6 と任意の角度で交差する方向に形成すればよいが、第 4 図に示すように直交させるのが最適である。

この実施例では、横溝 4 6 は第 4 図に示すように一体化ブロック 3 の p 型溝入りブロック 2 1 側の面から形成する。しかし、これとは逆に n 型溝入りブロック 1 1 側の面から形成してもよいし、あるいは、第 3 図に示した一体化ブロック 3 の前面側又は背面側から嵌合部分に形成しても構わない。

横溝 4 6 の深さは、一体化ブロック 3 での n 型溝入りブロック 1 1 と p 型溝入りブロック 2 1 の嵌合部分を切断する所まで形成するのが好ましい。

横溝 4 6 の幅は縦溝 1 6, 2 6 とは異なり、なるべく狭くするのがよい。これは次の工程で判るとおり、熱電素子としての発電能力に寄与するのは横隔壁 4 7 の部分であり、横溝 4 6 の領域をできるだけ小さくするのが素子性能面から好ましいからである。

したがって、この第 1 実施例ではピッチ $120\ \mu\text{m}$ 、幅 $40\ \mu\text{m}$ 、深さ $4\ \text{mm}$ の横溝 4 6 を形成する。なお、溝幅 $40\ \mu\text{m}$ はワイヤソー加工での溝幅としてのほぼ限界値である。

この工程に続いて、第 5 図に示す固化工程を実施する。すなわち、第 4 図に示した溝入り一体化ブロック 4 の各横溝 4 6 に絶縁性の樹脂（絶縁部材）を充填して硬化し、絶縁樹脂層 5 4 を形成する。この絶縁樹脂層 5 4 で固めたブロックを溝入り一体化ブロック 4' とする。

その後、この絶縁樹脂層 5 4 で固めた溝入り一体化ブロック 4' に対して、熱電半導体素片露出工程を実施し、前述の第 1 および第 2 の溝加工工程において溝加工されずに残された部分（第 5 図に a, b で示す厚さの部分）を、上下面からの研磨

あるいは研削によって除去し、n型熱電半導体とp型熱電半体の第3図に示した縦溝16、26と縦隔壁27、17との嵌合部分で且つ横溝46が形成された部分のみを残すように仕上げ、第6図に示す熱電素子ブロック5を得る。

この熱電素子ブロック5には、多数のn型熱電半導体素片51およびp型熱電半導体素片52が絶縁樹脂層54によって互いに絶縁されて一体に固着され、その各上下面を露出している。

最後に、第6図に示した熱電素子ブロック5のn型熱電半導体素片51とp型熱電半導体素片52を交互に電氣的に直列に接続するように、その上下面に電極を形成する電極形成工程を実施して、第9図に示す熱電素子6を得る。

第9図はその熱電素子6を真上方向から見た平面図であり、その上面側と下面側とに種々の電極を形成している。

実線の円形で示す上面電極61aと破線の円形で示す下面電極62aが、隣り合ったn型熱電半導体素片51とp型熱電半導体素片52とを直列に接続し、多数の熱電対を形成する電極である。また、L字状の上面電極61bと下面電極62bとは熱電素子80の周縁部で必要な電極で、無駄な意味はあるがn型またはp型の熱電半導体素片を並列に接続している。各熱電半導体素片51、52は接着層32および絶縁樹脂層54によって互いに絶縁されている。なお、小さい破線の円形で示す下面電極63、64は外部への電圧取り出し電極である。

これらの電極は、いずれも図5に示した熱電素子ブロック5の上面と下面とに金(Au)膜を真空蒸着法、スパッタリング法、または無電解メッキ法などにより形成し、フォトリソグラフィ技術とエッチング技術によってその金膜をパターンニングして形成する。

なお、電極を形成する熱電素子ブロック5の上面と下面とが、前述のような研削だけでは表面粗さとして問題となる場合には、ラッピングなどでより平滑な表面と

するのよく、それによって各電極の断線などの不良の発生を防止できる。

また、電極としては、金膜だけでなく他の金属膜、たとえばCu膜、Al膜、Ni膜、Fe膜、あるいはこれらの組み合わせよりなる積層膜（例えばAl/Ni膜）なども利用できる。また、電極の形成方法も、印刷法やマスク蒸着法、あるいはガラスやセラミックなどの絶縁性の板状材料にあらかじめ電極をパターンニングしておき、それを板状材料ごと張り付けるなどの方法も用いることができる。

上述してきたこの発明の第1実施例によれば、第2図及び第4図に示した第1及び第2の溝加工工程において、熱電半導体材料による非常に薄い縦隔壁17、27や横隔壁47が形成され、その隔壁はきわめて薄くて脆いことにはなるが、全体としては一体のブロックとなっており、個々の隔壁を持って移動したり重ねるなどの微妙な操作をする必要がなく、ブロック全体として操作すればよいので、従来の特開昭63-20880号公報に開示されている方法に比べて、脆弱性の問題を解決でき、且つ容易に効率よく小型で多数の熱電対を有する熱電素子を作製することができる。

また、従来の特開平8-43555号公報に開示されている方法の場合には、一体のブロックが示されているが、熱電半導体を別の基体に接着して柱状に加工しているために、依然脆さの問題が深刻で製造は困難を極める。これに対して、本発明の第1実施例によれば、常に熱電半導体を一体のブロックの状態で加工する製造方法であり、脆性材である熱電半導体材料の微細加工や組立てが容易にできるのである。したがって、小型でかつ出力電圧を大きくするために多数の熱電対を有する熱電素子を、容易にかつ効率よく製造することができる。

なお、熱電素子を構成する熱電対の数は少なくなるが、上述した第1実施例における第2の溝加工工程と、その溝加工部（第4図の横溝47）に絶縁部材を充填して固化させ、第5図の絶縁樹脂層48を形成する固化工程とを省略して、第3図に

示した一体化ブロック 3 から直接熱電半導体素片露出工程を実施してもよい。

その場合は、第 3 図に示した嵌合工程および固着工程によって作製された一体化ブロック 3 に対して、その上下面から研削加工等を行なって、n 型溝入りブロック 11 および p 型溝入りブロック 21 の縦隔壁 17、27 と縦溝 26、16 とが嵌合した部分以外の部分を除去して、n 型および p 型の熱電半導体素片を露出させた熱電素子ブロックを作製する。

その後、電極形成工程を実施して、その熱電素子ブロックの露出された n 型と p 型の熱電半導体素片 (n 型溝入りブロック 11 の縦隔壁 17 および p 型溝入りブロック 21 の縦隔壁 27 による) を交互に直列に接続する電極を、熱電素子ブロックの上面および下面に形成すれば、熱電素子を得ることができる。

〔第 2 実施例：第 10 図～第 14 図〕

次に、この発明による熱電素子の製造方法の第 2 実施例を、第 10 図～第 14 図を用いて説明する。これらの図において、前述の第 1 実施例の第 1 図～第 5 図と対応する部分には同一の符号を付している。

この第 2 実施例では、まず第 10 図に示すように、n 型熱電半導体ブロック 1 とベース 10 とを接合した n 型熱電半導体複合ブロック 12、および p 型熱電半導体ブロック 2 とベース 20 とを接合した p 型熱電半導体複合ブロック 22 とを用意する。なお、n 型熱電半導体ブロック 1 と p 型熱電半導体ブロック 2 は厚さを含む全てのサイズが等しいのが望ましい。

それぞれの熱電半導体ブロック 1、2 とベース 10、20 との接合は、接着剤あるいはワックスにより行なう。また、ベース 10、20 としてはガラス、セラミックス、プラスチック、金属など、ある程度の硬度を有する材料ならば種々のものを用いることができる。

続いて、これらの熱電半導体複合ブロック 12、22 に対して、その熱電半導体ブ

ロック 1, 2 の部分に、それぞれ第 1 実施例における第 1 の溝加工工程と同様な溝加工を実施して、第 11 図に示すように櫛型に縦溝 16, 26 と縦隔壁 17, 27 を形成し、n 型溝入り複合ブロック 13 と p 型溝入り複合ブロック 23 とを作製する。縦溝 16, 26 のピッチと幅については第 1 実施例と同じであるが、深さについてはおおむね熱電半導体ブロック 1 又は 2 とベース 10 又は 20 との界面付近までとする。すなわち、この界面の少し手前まで、丁度界面まで、あるいは少しベース 10 又は 20 に切り込むまでの何れかを状況により選択する。

その後、この n 型溝入り複合ブロック 13 と p 型溝入り複合ブロック 23 とを、互いに溝加工された面が対向するように嵌合させる嵌合工程と、その互いに嵌合された n 型溝入り複合ブロック 13 と p 型溝入り複合ブロック 23 の嵌合部の空隙に接着性のある絶縁部材を充填して固着し、第 12 図に示す一体化ブロック 3' を作製する固着工程を実施する。

次いで、この一体化ブロック 3' に対して第 13 図に示すように、第 1 実施例の第 4 図で示した第 2 の溝加工工程と同様に溝加工を施し、横溝 46 と横隔壁 47 を形成して溝入り一体化ブロック 14 を作る。このとき、横溝 46 は一方の複合ブロック側から他方の複合ブロックのベース 10 又は 20 との界面付近までの深さで、第 1 の溝加工で形成した縦溝 16, 26 および縦隔壁 17, 27 と交差する方向（この実施例では直交する方向）に形成する。

そして、第 14 図に示すように、溝加工部である横溝 46 に絶縁性の樹脂（絶縁部材）を充填して固化させる固化工程を実施し、絶縁樹脂層 54 を形成する。この絶縁樹脂層 54 で固めたブロックを溝入り一体化ブロック 14' とする。

その後、この第 14 図に示す溝入り一体化ブロック 14' に対して、上下のベース 10 及び 20 の部分を除去する熱電半導体素片露出工程を実行し、第 1 実施例の第 6 図に示したのと同じ熱電素子ブロック 5 を得る。なお、横溝 46 を形成する前

に、加工する側のベース（第13図に示した例ではベース20）を除去しておいてもよい。

さらに、この熱電素子ブロック5のn型熱電半導体素片51とp型熱電半導体素片52を交互に電氣的に直列に接続するように、その上下面に電極を形成する電極形成工程を実施すれば、第9図に示したのと同じ熱電素子6を得ることができる。

この第2実施例によれば、前述の第1実施例において、最終的に研磨して除去される熱電半導体ブロック1、2の溝加工をせずに残す部分（第2図に示した部分15、25）の代わりに、ベース10、20を用いて各縦隔壁17、27および横隔壁47を一体的に支持するようにしたことにより、熱電半導体材料の上面又は下面近傍部分も有効に利用できるため、熱電半導体材料が無駄になる部分を少なくすることができ、材料の利用効率が大幅に向上するという利点がある。

その他の効果は第1実施例と同様である。

〔第3実施例：第15図～第18図〕

つぎに、この発明による熱電素子の製造方法の第3実施例を、第15図～第18図を用いて説明する。なお、この第3実施例の前半の工程は第1図から第3図によって説明した第1実施例の工程と同様であるので、これらの図を用いて簡単に説明する。

この第3実施例では、第1図に示したn型の熱電半導体ブロック1及びp型の熱電半導体ブロック2をそれぞれ2個ずつ用意し、そのそれぞれに第2図に示したように第1の溝加工を施して、同一ピッチで複数本の深さと高さが等しい縦溝16、26及び縦隔壁17、27を平行に形成して、n型溝入りブロック11とP型溝入りブロック21を2組作製する。

この場合も、その2組のn型溝入りブロック11とP型溝入りブロック21を、後述する成形加工による溝入りブロック作製工程によつて作製することもできる。

その各n型溝入りブロック11とP型溝入りブロック21とを第3図に示したようにそれぞれ嵌合させる嵌合工程と、その嵌合部の空隙にそれぞれ接着性のある絶縁部材を充填して固着し、一体化ブロックとする第1の固着工程とを実行して2個の一体化ブロック3を作製する。

その後、2個の一体化ブロック3の一方には、第3図におけるP型溝入りブロック21側から、他方にはn型溝入りブロック11側から、それぞれ第1の溝加工工程の加工方向と交差する方向（この実施例では直交する方向）に同一ピッチで平行な複数本の溝加工を施す第2の溝加工工程を実施し、第15図に示すように、複数の深さと高さが等しい横溝46と横隔壁47を形成した一对の溝入り一体化ブロック43A、43Bを作製する。

この場合の横溝46と横隔壁47は互いに嵌合できるように、第1実施例における第2図で説明した縦溝16、26と縦隔壁17、27と同様な仕様にする。すなわち、第15図に示す溝入り一体化ブロック43Aと43Bにおいて、横溝46のピッチを同一にし、且つ横溝46の幅が横隔壁47の幅よりも広くなるようにする。

そして、この2個の溝入り一体化ブロック43Aと43Bを、第16図に示すように、互いにその横溝46と横隔壁47とを嵌合させて組み合わせる第2の嵌合工程と、その嵌合部の空隙に接着性のある絶縁部材を充填して一体化し固着する第2の固着工程とを実施する。この一体化したブロックを二重一体化ブロック44とする。

なお、この溝入り一体化ブロック43Aと43Bの接合と固着に関しては、前述した第1実施例における第3図と第7図および第8図によって説明した方法を適用する。

その後、この二重一体化ブロック44に対して熱電半導体素片露出工程を実施する。すなわち、二重一体化ブロック44の上下面から研磨あるいは研削を行なって、

第16図にdで示す厚さ部分以外の部分を除去し、n型熱電半導体とp型熱電半導体の縦溝16、26および横溝46と縦隔壁17、27および横隔壁47のすべてが嵌合している領域を残すように仕上げて、第17図に示すようにn型熱電半導体素片51とp型熱電半導体素片52とが交互に整列した熱電素子ブロック50を得る。

この実施例において、溝入り一体化ブロック43Aと43Bの一体化に際しての好ましい製造条件として、第17図に示すように、n型熱電半導体素片51とp型熱電半導体素片52とが市松模様状に規則的に配列されるようにする必要がある、そのために相互の位置合わせをする。このような位置合わせは、外形に基準面を設けて、その面を基準に治具を用いて組み合わせればよい。

このような位置合わせを行なうと、以下に説明する電極配線において、第18図に示すように電極形状や配置が統一単純化され、配線工程が容易になる。また、そればかりでなく、第9図の左右の端部にある直列接続に寄与しない熱電半導体素片が無くなることによって、熱電半導体の利用効率が向上する。

そして、第17図に示した熱電素子ブロック50のn型熱電半導体素片51とp型熱電半導体素片52を交互に電氣的に直列に接続するように、その上下面に電極を形成する電極形成工程を実施して、第18図に示す熱電素子60を得る。

第18図はその熱電素子60を真上方向から見た平面図であり、その上面側と下面側とに各電極を形成している。

熱電素子ブロック50上面に形成した実線の円形で示す上面電極61と下面に形成した破線の円形で示す下面電極62は、隣り合ったn型熱電半導体素片51とp型熱電半導体素片52とを直列に接続して多数の熱電対を形成する電極であり、下面電極63と64は外部への電圧取り出し電極である。

これらの電極61～64は、いずれも第17図に示した熱電発電素子ブロック5

0の上面と下面とに金膜を真空蒸着法、スパッタリング法、無電解メッキ法などにより形成し、フォトリソグラフィ技術とエッチング技術によって、その金膜をパターンニングして形成する。なお、この電極の材料としては、金に限らず前述した第1実施例において例示したような種々の材料を使用することができる。

また、電極61～64を形成する上面と下面とは、第1実施例と同様に、表面粗さが問題となる場合には、ラッピング法などにより平滑面とすれば断線不良を防止できる。

したがって、この第3実施例の製造方法によれば、第1または第2実施例において必要であった第9図に示したL字状の上面電極61bと下面電極62bとが不要になり、配線工程が容易で且つかつ熱電半導体材料も有効に利用できるという利点がある。

また、この第3実施例の熱電素子によれば、単位体積あたりの熱電半導体素片の数を第1あるいは第2実施例での熱電素子の約2倍にすることができるため、より小型で高出力電圧の熱電素子が得られることになる。

なお、この第3実施例の製造方法では、第15図に示した横溝46の加工の前に、第3図に示した一体化ブロック3の溝加工面側をあらかじめ削って、n型熱電半導体とp型熱電半導体の縦溝16、26及び縦隔壁17、27の嵌合部分を露出させるようにしてもよい。

このようにしてから横溝46を形成すれば、第16図に示した第2の嵌合工程を行なったときに、n型熱電半導体とp型熱電半導体の縦溝16、26及び横溝46と縦隔壁17、27及び横隔壁47とがその全体で嵌合する。そのため、熱電半導体素片露出工程において、縦隔壁17、27の高さ全体に相当する部分を残して熱電半導体素片とすることができ、結果として熱電半導体材料の利用効率が向上する。

〔第4実施例：第19図～第21図〕

次に、この発明の第4実施例を、第19図から第21図を用いて説明する。なお、この第4実施例の前半の工程は第10図から第12図によって説明した第2実施例の工程と同様であるので、これらの図を用いて簡単に説明する。

この第4実施例では、第10図に示したn型の熱電半導体ブロック1とベース10とを接合したn型の熱電半導体複合ブロック12と、p型の熱電半導体ブロック2とベース20とを接合したp型の熱電半導体複合ブロック22とを2個ずつ用意する。

そして、その各熱電半導体複合ブロック12，22に対して、第11図に示したように、そのn型の熱電半導体ブロック1およびp型の熱電半導体ブロック2の部分に、それぞれ同一ピッチで複数本の溝加工を各ベース10，20との界面付近までの深さで施す第1の溝加工工程を実施し、櫛形に縦溝16，26と縦隔壁17，27を形成し、n型溝入り複合ブロック13とP型溝入り複合ブロック23を二組作製する。なお、n型溝入り複合ブロック13の縦溝16とP型溝入り複合ブロック23の縦溝26とはその位置を1/2ピッチずらしておくことが好ましい。

このようにそれぞれ溝加工された二組のn型の熱電半導体複合ブロック13とp型の熱電半導体複合ブロック23とをそれぞれ互いにその溝加工された面が対向するように嵌合させる第1の嵌合工程と、それによって互いに嵌合された二組のn型の熱電半導体複合ブロック13とp型の熱電半導体複合ブロック23の嵌合部の空隙にそれぞれ接着性のある絶縁部材を充填して固着する第1の固着工程とを実施して、第12図に示したような一体化ブロック3'を2個作製する。

その2個の一体化ブロック3'の一方はp型の熱電半導体ブロック側のベース20を除去し、他方はn型の熱電半導体ブロック側のベース10を除去して、第19図に示すように、それぞれ上面あるいは下面にn型熱電半導体の縦隔壁17とp型

熱電半導体の縦隔壁27が露出した一対の一体化ブロック142A, 142Bとを得る。

そして、この一対の一体化ブロック142A, 142Bに、ベース10又は20を除去した側の面から、前述の第2実施例において第13図によって説明した第2の溝加工工程と同様な工程を実施して、第1の溝加工工程の加工方向と交差する方向（この実施例では直交する方向）に同一ピッチで複数本の溝加工を除去していない方のベース20又は10との界面付近までの深さで施し、複数の横溝46および横隔壁47を形成した2個の溝入り一体化ブロック143Aと143Bを作製する。なお、一方の溝入り一体化ブロック143Aの横溝46と他方の溝入り一体化ブロック143Bの横溝46とは、その位置を1/2ピッチずらして形成することが好ましい。

この2個の溝入り一体化ブロック143Aと143Bとを、互いに溝加工された面が対向するように嵌合させる第2の嵌合工程と、その互いに嵌合された2個の溝入り一体化ブロック143Aと143Bの嵌合部の空隙に接着性のある絶縁部材を充填して固着する第2の固着工程とを実施して、第21図に示す二重一体化ブロック144を得る。

この場合も、前述の第3実施例で説明したのと同様に、2個の溝入り一体化ブロック143Aと143Bを嵌合させる際に、第17図に示したようにn型熱電半導体素片51とp型熱電半導体素片52と市松模様状に配列されるように、相互の位置関係を制御する必要がある。

この位置合わせに関しては、第3実施例で説明したように、外形基準で行なうことができる。また、この第4実施例においては、ベース10および20としてガラスなどの透明部材を用いれば、顕微鏡を用いて各熱電半導体素片51, 52を直接観察しながら、精密に位置合わせを行なうこともできる。

そして、この二重一体化ブロック144のベース10および20を除去すると、第3実施例の第17図に示した熱電素子ブロック50と同様な熱電素子ブロックとなる。これに第18図で説明した電極61～64を同様に設けることによって、第18図に示した熱電素子60と同様な熱電素子が得られる。

なお、この実施例では、2個の一体化ブロック3'に第2の溝加工を行なう前に、第19図に示したようにそれぞれ横溝46の加工を施す側のベース20又は10を除去して、横溝46の加工を行った一对の溝入り一体化ブロック143Aと143Bとを嵌合したとき、その熱電半導体の全体が互いに嵌合できるようにしたので、残っている熱電半導体をすべて無駄なく熱電半導体素片として利用できる。

しかし、これは必須ではないので、ベース10又は20を除去せずに第2の溝加工（横溝加工）を行なった後に、ベース10又は20を除去するようにしてもよい。

〔第5実施例：第22図～第24図〕

次に、この発明の第5実施例について第22図から第24図を用いて説明する。

この第5実施例の製造方法では、まず、第22図に示すように、2枚の大きなベース（以下、大ベースと記す）110、120に、それぞれn型の熱電半導体ブロック1又はp型の熱電半導体ブロック2を第2実施例の場合と同様にして固着し、一对のn型熱電半導体複合ブロック91とp型熱電半導体複合ブロック92を作製する。

すなわち、この実施例で使用する大ベース110、120は、熱電半導体ブロック1、2の固着面積より大きな面積を有する。

そして、第1の溝加工工程により、第2実施例と同様にその各半導体ブロック1、2に縦溝16、26および縦隔壁17、27を形成し、第23図に示すn型溝入り複合ブロック181とp型溝入り複合ブロック182を作製する。このとき形成する縦溝16、26は、いずれも大ベース110又は120の一部に切り込む深さと

することが好ましい。これは後述する第24図で行なう嵌合工程で、n型およびp型熱電半導体を効率よく利用できるようにするように、スペーサ190の効果を引き出すためである。

そして、第24図に示すように、第23図に示したn型溝入り複合ブロック181とp型溝入り複合ブロック182とを組み合わせることで嵌合させて第1の嵌合工程を行なう。この時、大ベース110と120を利用してスペーサ190を挿入することにより、2枚の大ベース110と120との間の間隔Dを熱電半導体ブロック1, 2の厚さに相当する熱電半導体の縦隔壁17, 27の高さに正確に制御（規制）する。

たとえば、n型熱電半導体ブロック1と、p型熱電半導体ブロック2と、スペーサ190との厚さを同一にすることで、第24図に示すようにベース110と120との間の間隔Dを一定に保つことができ、n型およびp型の熱電半導体よりなる縦隔壁17, 27を凹凸無なく配列させることができる。

すなわち、このスペーサ190を用いることで、形成される縦溝26の深さに均一性がない場合でも、n型およびp型熱電半導体を互いに凹凸の無いように配列させることができ、n型およびp型熱電半導体が無駄に研磨あるいは研削されることがなくなるので、その利用効率を高めることができる。

このスペーサ190を用いた第1嵌合工程の後、n型溝入り複合ブロック181とp型溝入り複合ブロック182の嵌合部の空隙に接着性のある絶縁部材を充填して固着し、第24図に示す一体化複合ブロック193を得る。

その後、第2実施例における第13図に示した溝入り一体化ブロック14と同様に、第2の溝加工を行なって横溝および横隔壁を形成した溝入り一体化ブロックを作製し、その各横溝に絶縁性の樹脂を充填して硬化し、第14図に示した絶縁樹脂層54と同様な絶縁樹脂層を形成する。そして、各大ベース110, 120を除去

すると、第6図に示したのと同様な熱電素子ブロックが得られる。さらに、第9図に示したようにその熱電素子ブロックの上下面に各電極を形成して各熱電半導体素片を交互に直列に接続すれば、熱電素子6を得ることができる。

〔第6実施例：第25図および第26図〕

次に、上記第5実施例の一体化複合ブロックを使用するこの発明の第6実施例を第25図および第26図を用いて説明する。

この第6実施例の製造方法では、前述の第5実施例において第22図から第24図によって説明した各工程と同様にして、2個の一体化複合ブロック193を作製する。

その後、その2個の一体化複合ブロック193に対して、前述の第4実施例における第19図に示した工程と同様にして、それぞれ第2の溝加工を行なう側の大ベース110又は120を除去して、第2の溝加工（横溝加工）を行ない、第25図に示すように互いに嵌合し得る複数の横溝46と横隔壁47を形成した一对の溝付き一体化複合ブロック203A、203Bを作製する。

その後、第26図に示すように、この一对の溝付き一体化複合ブロック203Aと203Bをスペーサー190を用いて、大ベース110と120の間の間隔を一定（残っている熱電半導体の高さと同じ値）に保持して互いに嵌合させ、その嵌合部の空隙に接着性のある絶縁部材を充填して、二重一体化ブロック213を得る。

この二重一体化ブロック213の各大ベース110及び120を除去することにより、n型およびp型の熱電半導体素片51、52を露出させると、第3実施例の第17図に示したのと同様な熱電素子ブロックが得られる。

さらに、第18図に示したように、その熱電素子ブロックの上下面に電極81～84を形成して、各熱電半導体素片51、52を交互に直列に接続することにより、

熱電素子60を得ることができる。

これら第3, 第4, 第6実施例で作製した熱電素子60は12mm×12mmのブロックの外周部を除去して、10mm×10mm×2mmの大きさとした場合、熱電対が約3400対集積化される。

この熱電素子60に1.5℃の温度差を与えたところ、2.0Vの開放電圧が得られた。

このため、この熱電素子80は腕時計などの小型携帯型電子機器の中に十分に収納可能な大きさであり、かつ得られた開放電圧は腕時計を駆動するには十分な値であり、昇圧回路と組み合わせることによって種々の携帯型機器の駆動も可能である。

〔第7実施例：第27図～第29図〕

次に、この発明の第7実施例について第27図から第29図を用いて説明する。

この第7実施例の製造方法では、まず、第1実施例の第1図に示したn型熱電半導体ブロック1とp型熱電半導体ブロック2とを用意し、その各熱電半導体ブロック1, 2の少なくともベースとの接合面およびその反対側の面（後の電極形成工程において電極を形成する面）に、メッキ、蒸着あるいはスパッタなどにより、第27図に示すように金属被覆層223を形成する。こうして、被覆n型熱電半導体ブロック221と被覆p型熱電半導体ブロック222とを得る。

この金属被覆層223は、Ni（ニッケル）、Cu（銅）、Au（金）等の単一層、あるいはこれらを積層した複合層とする。この金属被覆層223を設ける目的は、後述する各種の配線用電極と熱電半導体との電気的な接続を良好にするためである。そのために、金属被覆層223形成する時あるいは形成後に適度の熱処理を施して、金属被覆層223とn型またはp型熱電半導体ブロック1, 2とのオーミックな接続をより確実にすることが望ましい。

また、金属被覆層223の厚さは、0.1～50μm程度の範囲にあればよいが、

後の工程において、被覆n型熱電半導体ブロック221と被覆p型熱電半導体ブロック222との高さの揃えを、この金属被覆層223の面を研磨工程などで若干除去して行なう場合が考えられる。そのため、金属被覆層223があまり薄すぎると研磨代が少なすぎて扱いにくくなり、また、厚すぎると応力的な問題が発生しやすくなる。したがって、好ましい厚さは2~10 μ mであり、この程度の厚さの膜の形成方法としては、電解あるいは無電解のメッキ法が最適である。

この実施例ではNiとAuの合計5 μ mの厚さの積層膜を電解メッキ法により形成するものとする。

第27図以降の工程は、第2、第4、第5、第6実施例に準じたいずれかの製造方法を選択して行なう。この第7実施例においては、ほぼ第5実施例に準じた工程をとるものとして説明していく。

このため、第28図は第23図に対応する。すなわち、大ベース110に被覆n型熱電半導体ブロック221を接合したn型熱電半導体複合ブロックと、大ベース120に被覆p型熱電半導体ブロック222を接合したp型熱電半導体複合ブロックとを用意し、ダイシングソーを用いた研削加工やワイヤーソーによる研磨加工により縦溝16、26と縦隔壁17、27を形成する。こうして被覆n型溝入り複合ブロック231と被覆p型溝入り複合ブロック232を得る。このとき、縦隔壁17、27の上下両端には金属被覆層223が金属層233となって残ることになる。

各被覆熱電半導体ブロック221、222と大ベース110又は120との接合は、接着剤あるいはワックスにより行なう。また、ベース110、120は、ガラス、セラミックス、プラスチック、金属などある程度の硬度を有する材料ならばいずれでも用いることができる。

縦溝26のピッチと幅と深さについてはほぼ第23図において説明したとおりであるが、深さについては若干異なる。この実施例の場合には被覆熱電半導体ブロッ

ク 2 2 1 または 2 2 2 と大ベース 1 1 0 又は 1 2 0 との界面丁度までか、さらに少し大ベース 1 1 0 又は 1 2 0 に切り込むまでのいずれかで縦溝 2 6 を形成する。

このようにする理由は、被覆 n 型溝入り複合ブロック 2 3 1 と被覆 p 型溝入り複合ブロック 2 3 2 との組み合わせ工程の際に、両ブロックの金属層 2 3 3 同志が同一面を形成できるようにするためである。

続いて、第 5 実施例の第 2 4 図によって説明したのと同様に、この被覆 n 型溝入り複合ブロック 2 3 1 と被覆 p 型溝入り複合ブロック 2 3 2 とを組み合わせさせて嵌合させ、その嵌合部の空隙に接着性のある絶縁部材を充填し、第 2 9 図に示す接着層 3 2 を形成して固着した一体化複合ブロックを得る。

その後、その一体化複合ブロックに第 2 の溝加工を行なって横溝および横隔壁を形成した溝入り一体化ブロックを作製し、その各横溝に絶縁性の樹脂を充填して硬化し、第 5 図に示した絶縁樹脂層 5 4 と同様な絶縁樹脂層を形成する。

そして、各大ベース 1 1 0, 1 2 0 を除去して、第 6 図に示したような熱電素子ブロックを得る。さらに、その熱電素子ブロックの上下面に第 2 9 図に示すように各電極 8 1, 8 2 を形成して n 型熱電半導体素片 5 1 と p 型熱電半導体素片 5 2 を交互に直列に接続すれば、熱電素子 8 0 を得ることができる。

第 2 9 図は、この第 7 実施例の熱電素子 8 0 の断面形状であり、第 9 図、第 1 8 図の平面図に対応するものである。ここで、上面電極 8 1 と下面電極 8 2 としては通常は既に述べたような蒸着膜などを用いるが、この実施例での特徴は銀ペーストのような導電性ペーストを用いることができる。

一般に、導電性ペーストとこの発明で用いるような半導体との電氣的な接続は、接触抵抗が高くなって問題となりやすいため、導電性ペーストはこの発明のような構成においては配線用電極には適さない。しかしながら、この第 7 実施例で示すように金属層 2 3 3 を設けることにより、このような接触抵抗を無視できるレベルま

で低減でき、導電性ペーストを上面電極 8 1 や下面電極 8 2 として使用できる。

このように導電性ペーストが使用できると、スクリーン印刷によるパターンニングで電極を形成できるため、生産性が非常に高くなる利点がある。

〔第 8 実施例：第 3 0 図および第 3 1 図〕

次に、この発明の第 8 実施例について第 3 0 図および第 3 1 図を用いて説明する。

この第 8 実施例の製造方法の説明の出発点は、第 1 ～第 5 実施例で示した配線工程の前の段階の熱電素子ブロック（例えば、第 6 図に示した熱電素子ブロック 5）である。したがって、ここまでの各工程は上記各実施例の場合と同様である。

このような熱電素子ブロックを形成した後、上述の第 7 実施例の場合と同様な金属層 2 3 3 を n 型熱電半導体素片 5 1 および p 型熱電半導体素片 5 2 の少なくとも配線電極形成面に形成する。

これにより、第 3 0 図に断面図として示すような熱電素子ブロック 2 5 3 を得る。

この実施例における金属層 2 3 3 の形成方法としては、メッキ法が好ましく、Ni、Au、Cu などの単層膜やこれらの積層膜を形成する。とくに、熱電半導体素片 5 1、5 2 の面と接着層 3 2 及び絶縁樹脂層 5 4 の面とで触媒となる Pd（パラジウム）の付着率に選択性があることを利用して、熱電半導体素片 5 1、5 2 の露出面への選択的なメッキを行なえる無電解メッキ法が最適である。

なお、出発点となる配線工程前の熱電素子ブロック（例えば第 6 図に示した熱電素子ブロック 5）の最外周部の熱電半導体素片の側面にはこの金属層 2 3 3 を形成しないのが好ましい。そのため、この実施例では、熱電素子ブロックの外周面（側面）に接着層 3 2 又は絶縁樹脂層 5 4 と同じ材質による被覆層 2 5 4 形成している。

第 3 1 図は、第 3 0 図に示した熱電素子ブロック 2 5 3 に第 7 実施例で述べたように、導電性ペーストを用いて上面電極 8 1 と下面電極 8 2 を形成し、熱電素子 8 0 として完成したものである。

このように金属膜 233 を後から形成しても、第 7 実施例と同様に導電性ペーストを使用でき、スクリーン印刷によるパターンニングで電極を形成できるので、生産性が非常に高くなる利点がある。

〔第 9 実施例：第 32 図および第 33 図〕

次に、この発明の第 9 実施例について第 32 図および第 33 図を用いて説明する。

第 32 図に示すのはこの第 9 実施例によって作製した仮熱電素子 270 であり、これは上述してきた各実施例で説明した熱電素子 6, 60, 80 と概ね同じ物であり、工程的にも殆ど同じ工程で作製される。ただし、前述の各実施例における接着層 32 及び絶縁樹脂層 54 に代わって仮固定層 271 を設けている。

これまでの実施例では、接着層 32 及び絶縁樹脂層 54 を最終的な熱電素子の構成要素の一部としたのに対し、この第 9 実施例では、この絶縁樹脂層 54 の部分を取り除いたものを最終的な熱電素子の構成要素とする。

したがって、接着層 32 及び絶縁樹脂層 54 に代わって、n 型熱電半導体素片 51 と p 型熱電半導体素片 52 を仮固定し、後で除去可能な仮固定層 271 を形成する。この仮固定層 271 の形成は、接着層 32 及び絶縁樹脂層 54 の形成と同様に、対の溝入りブロックの嵌合工程後の嵌合部の空隙、および第 4 図、第 13 図等にした横溝 47 を形成した後その溝 47 への仮固定材料の充填により行なう。その仮固定材料としては、接着性があり且つ熱あるいは溶剤により除去可能なワックスなどを用いる。

この第 9 実施例の製造工程は、第 32 図に示した仮熱電素子 270 の上下面全体に第 33 図に示すようにエポキシ樹脂などの接着性のある樹脂を塗布して絶縁固定層 284 を形成し、その仮熱電素子 270 を放熱板 281 と吸熱板 282 とによって挟んで絶縁固定層 284 により一体化して固定する。

この放熱板 281 と吸熱板 282 としては、熱伝導度のよい物質すなわち金属や

セラミックスを用いる。

特に金属を選んだ場合、絶縁固定層 284 を薄くすると上面電極 81 や下面電極 82 と放熱板 281 や吸熱板 282 との間の事故的な短絡の恐れが生じることがあるため、金属表面に絶縁性の酸化膜を形成するような処理を行なうとよい。

そして、第 33 図に示すように、仮熱電素子 270 を放熱板 281 および吸熱板 282 に固定した後、仮固定層 271 を熱あるいは溶剤により除去し、この領域を空隙 283 にした熱電素子 280 を得る。

この実施例の熱電素子 280 の構造によれば、空隙 283 内の空気は熱伝導率が極めて小さいため、放熱板 281 側と吸熱板 282 側との間の熱電半導体以外による熱伝導が大幅に抑制されて、熱電素子としての性能が向上する。

なお、上述の実施例では、n 型と p 型の熱電半導体の溝入りブロックの嵌合部に設ける接着層 32 と、その対の溝入りブロックを一体化した後形成する横溝に設ける絶縁樹脂層 54 の両方に代えて仮固定層 271 を設けたが、そのいずれか一方のみを仮固定層 271 に代えて、仮熱電素子 270 を放熱板 281 と吸熱板 282 とによって挟んで絶縁固定層 284 により一体化して固定した後、その仮固定層 271 を除去して、接着層 32 又は絶縁樹脂層 54 が残るようにしてもよい。

このようにすることにより、熱電素子としての性能を向上させながら、十分な強度を保つことが可能になる。

また、第 33 図の熱電素子 280 は、これを発電用として使用する場合には吸熱板 282 が低温側となる。

[熱電半導体の溝入りブロック作製工程の他の例：第 34 図]

ここで、熱電半導体の溝入りブロック作製工程の他の例を第 34 図によって説明する。

前述の第 1 実施例あるいは第 3 実施例では、n 型および p 型の熱電半導体の溝入

りブロック作製工程では、n型およびp型の熱電半導体ブロック1および2に、ワイヤーソーなどを使用する機械加工によって複数の溝を平行に形成して、n型溝入ブロック11およびp型溝入りブロック21を作製した。

しかし、このn型溝入ブロック11およびp型溝入りブロック21を、溝入りブロックの成型型（金型）を使用して、n型の熱電半導体材料とp型の熱電半導体材料を個別に成形した後、それを焼結して作製することもできる。

この溝入りブロック作製工程では、まず、平均粒径1 μ m程度の熱電半導体材料の微粉末（p型の例では、第1実施例と同じBiTeSb結晶の微粉末）に対して、有機バインダとして、例えば、エチレン酢酸ビニル／ポリブチルメタクリレート／ポリスチレン共重合体、アタクチックポリプロピレン、パラフィンワックス、フタル酸ジブチルからなる混合物を添加し、加圧ニーダーにて混練して射出成形用組成物を作成する。微粉末と有機バインダとの混合比は、微粉末100重量部に対して有機バインダ5～15重量部程度が適当である。

このようにして作製した射出成形用組成物を射出成形機を用いて成形するが、この時の金型の断面図を第34図に示す。

ここで、射出成形用組成物は、ノズル304から固定金型303のスプール306および中間金型302のゲート307を通して、可動金型301に溝入ブロックの形状に形成された金型成形部308に加圧して充填される。

こうして、金型成形部308に形成された成形体は、可動金型301を中間金型302から移動分離させた後に、エジェクタピン305で押し出して取り出す。金型成形部308の寸法は成形体の焼結による収縮を考慮して、溝入りブロックの寸法に対して約20%大きく設計する。

その成形体をアルミナ製の平板上に並べ、真空炉中で400℃で1時間保持して有機バインダをほぼ除去した仮焼結体を得る。最後に、やはりアルミナ製の平板上

に仮焼結体を並べ、これを水素フロー雰囲気電気炉中にて、470℃の温度で3時間の焼成を行ってn型又はp型の熱電半導体よりなる焼結体を得る。この焼結体が前述のn型溝入りブロック11又はp型溝入りブロック21である。

〔補足説明〕

以上、熱電素子の製造方法の様々な実施例について述べてきたが、いずれも熱電半導体素片51、52が全てマトリックス状に並列された構造を前提としてきた。すなわち、縦溝加工のあとに必ず横溝加工を施し、その後に熱電半導体素片露出工程を行ない、さらに配線などの電極を形成して熱電素子を完成していた。

しかしながら、熱電対の数が比較的少なくても利用可能である場合には、上述した各実施例において、横溝加工を実施することなく熱電半導体素片露出工程を行ない、配線などの電極を形成して熱電素子として完成させてもよい。

このような工程を行った場合には、n型とp型の熱半導体の薄い層が交互に配列され、その各層が直列接続された構造の熱電素子を得られることになる。

この本発明による熱電素子の製造方法が、このような構造の熱電素子に対しても十分に有効であることは明白である。

また、上述した各実施例の説明では、縦溝や横溝の加工をワイヤソー又はダイシングソーで加工すると説明したが、ワイヤソーを用いる研磨加工によって溝加工を行なう場合には、実際には縦溝や横溝の底面は円弧状になる。

そしてn型溝入りブロックとp型溝入りブロックとを組み合わせるときの場合は、縦溝の底面が円弧状で縦隔壁の先端部が矩形状であっても、その間に接着層の接着剤が充填されるので特に問題を生じない。

さらに、一体化ブロック形成後、横溝を形成するときにワイヤソーを用いると、その底面は円弧状となるが、横溝に絶縁性樹脂を充填するため、これもなんら問題を生じない。

したがって、以上の説明で明らかなように、この発明の熱電素子の製造方法によれば、熱電半導体部材に精密な機械加工あるいは熱電半導体材料による精密な成形加工を行なって、 n 型及び p 型の熱電半導体の溝入りブロックを作製し、それを組み合わせて嵌合させて一体化する工程により、熱電半導体部材を常に一つの塊（ブロック）として扱うので、熱電半導体を薄い板状に形成する工程や細かい溝入れ加工により熱電半導体を剣山状にする工程などのような熱電半導体材料の破損が起こりやすい加工を行わずに、多数の熱電半導体素片からなる熱電対を有する熱電素子を作製することができる。

したがって、超小型で高出力電圧の熱電発電素子を容易かつ効率的に作製でき、腕時計などの携帯型電子機器において温度差発電が利用できるようになる。

産業上の利用可能性

この発明による熱電素子の製造方法によれば、超小型で多数の熱電対を形成した高出力電圧の熱電素子を容易かつ効率的に作製できる。そのため、その熱電素子を小型の熱電発電装置として使用すれば高い出力電圧が得られるようになるので、腕時計などの小型の携帯型電子機器に内蔵して、温度差発電による電源として使用することが可能になる。

また、この熱電素子を用いて小型の高性能な冷却装置を作製することもでき、ポータブルな冷蔵庫あるいはレーザーや集積回路などの局部冷却器として極めて有用である。

請求の範囲

1. それぞれ厚さ方向の一部を残して同一ピッチで複数本の溝が平行に形成された n 型の熱電半導体の溝入りブロックおよび p 型の熱電半導体の溝入りブロックを製作する溝入りブロック作製工程と、

該工程によってそれぞれ作製された n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックとを互いにその溝を形成した面が対向するように嵌合させる嵌合工程と、

該工程によって互いに嵌合された前記 n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、一体化ブロックを形成する固着工程と、

該工程によって形成された一体化ブロックにおける前記 n 型の熱電半導体と p 型の熱電半導体とが互いに嵌合している嵌合部以外の部分を除去して、n 型および p 型の熱電半導体素片を露出させる熱電半導体素片露出工程と、

を有することを特徴とする熱電素子の製造方法。

2. それぞれ厚さ方向の一部を残して同一ピッチで複数本の溝が平行に形成された n 型の熱電半導体の溝入りブロックおよび p 型の熱電半導体の溝入りブロックを製作する溝入りブロック作製工程と、

該工程によってそれぞれ作製された n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックとを互いにその溝を形成した面が対向するように嵌合させる嵌合工程と、

該工程によって互いに嵌合された前記 n 型の熱電半導体の溝入りブロックと p 型の熱電半導体の溝入りブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、一体化ブロックを形成する固着工程と、



該固着工程で形成された一体化ブロックに、前記溝入りブロック作製工程によって形成された溝の方向と交差する方向に複数本の溝加工を厚さ方向の一部を残して施す第2の溝加工工程と、

該工程における溝加工部に接着性のある絶縁部材を充填し固化させる固化工程と、
該工程において絶縁部材を充填し固化させた一体化ブロックにおける前記n型の熱電半導体とp型の熱電半導体とが互いに嵌合している嵌合部以外の部分を除去して、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程と、
を有することを特徴とする熱電素子の製造方法。

3. それぞれ厚さ方向の一部を残して同一ピッチで複数本の溝が平行に形成されたn型の熱電半導体の溝入りブロックおよびp型の熱電半導体の溝入りブロックを二組作製する溝入りブロック作製工程と、

該工程によってそれぞれ作製された二組のn型の熱電半導体の溝入りブロックとp型の熱電半導体の溝入りブロックとを、各組ごとに互いにその溝を形成した面が対向するように嵌合させる第1の嵌合工程と、

該工程によって互いに嵌合された二組のn型の熱電半導体の溝入りブロックとp型の熱電半導体の溝入りブロックの嵌合部の空隙にそれぞれ接着性のある絶縁部材を充填して固着し、2個の一体化ブロックとする第1の固着工程と、

その2個の一体化ブロックのそれぞれに前記溝入りブロック作製工程で形成された溝の方向と交差する方向に同一ピッチで複数本の溝加工を厚さ方向の一部を残して施し、2個の溝入り一体化ブロックとする溝加工工程と、

その2個の溝入り一体化ブロックを互いに溝加工された面が対向するように嵌合させる第2の嵌合工程と、

該工程によって互いに嵌合された2個の溝入り一体化ブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、第2の一体化ブロックとする第2の固着



工程と、

その第2の一体化ブロックの前記嵌合部以外の厚さ部分を除去して、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程と、
を有することを特徴とする熱電素子の製造方法。

4. 請求の範囲第1項乃至第3項のいずれか一項に記載の熱電素子の製造方法において、

前記溝入りブロック作製工程が、n型の熱電半導体ブロックおよびp型の熱電半導体ブロックに、それぞれ同一ピッチで複数本の溝加工を厚さ方向の一部を残して施す溝加工によって、前記n型の熱電半導体の溝入りブロックおよび前記p型の熱電半導体の溝入りブロックを作製する工程である熱電素子の製造方法。

5. 請求の範囲第1項乃至第3項のいずれか一項に記載の熱電素子の製造方法において、

前記溝入りブロック作製工程が、それぞれ溝入りブロックの成型型を用いて、n型の熱電半導体材料とp型の熱電半導体材料を個別に成形した後焼結することによって、前記n型の熱電半導体の溝入りブロックおよび前記p型の熱電半導体の溝入りブロックを作製する工程である熱電素子の製造方法。

6. 請求の範囲第1項乃至第5項のいずれか一項に記載の熱電素子の製造方法において、前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成する電極形成工程を有することを特徴とする熱電素子の製造方法。

7. n型の熱電半導体ブロックとベースとを接合したn型の熱電半導体複合ブロックと、p型の熱電半導体ブロックとベースとを接合したp型の熱電半導体複合プロ



ックとを用意し、その各熱電半導体複合ブロックに対して、前記n型の熱電半導体ブロックおよびp型の熱電半導体ブロックに、それぞれ同一ピッチで複数本の溝加工を前記各ベースとの界面付近までの深さで施す第1の溝加工工程と、

該工程においてそれぞれ溝加工されたn型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックとを互いにその溝加工された面が対向するように嵌合させる嵌合工程と、

該工程にによって互いに嵌合された前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、一体化ブロックを形成する固着工程と、

該固着工程で形成された一体化ブロックに、前記第1の溝加工工程における溝加工方向と交差する方向に複数本の溝加工を、前記ベースとの界面付近までの深さで施す第2の溝加工工程と、

該工程における溝加工部に絶縁部材を充填し固化させる固化工程と、

該工程において絶縁部材を充填し固化させた一体化ブロックにおける前記各ベースの部分除去して、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程と、

を有することを特徴とする熱電素子の製造方法。

8. 請求の範囲の第7項記載の熱電素子の製造方法において、

前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックの前記各ベースとして、前記熱電半導体ブロックの固着面より大きな面積を有するものを用い、

前記嵌合工程において、前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックのそれぞれ熱電半導体ブロックが存在しない部分のベース間にスペーサを介挿し、該ベース間の間隔を略前記熱電半導体ブロックの厚さに相当する間隔に制御することを特徴とする熱電素子の製造方法。



9. n型の熱電半導体ブロックとベースとを接合したn型の熱電半導体複合ブロックと、p型の熱電半導体ブロックとベースとを接合したp型の熱電半導体複合ブロックとを2個ずつ用意し、その各熱電半導体複合ブロックに対して、前記n型の熱電半導体ブロックおよびp型の熱電半導体ブロックに、それぞれ同一ピッチで複数本の溝加工を前記各ベースとの界面付近までの深さで施す第1の溝加工工程と、

該工程においてそれぞれ溝加工された二組のn型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックとをそれぞれ互いにその溝加工された面が対向するように嵌合させる第1の嵌合工程と、

該工程によって互いに嵌合された二組の前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックの嵌合部の空隙にそれぞれ接着性のある絶縁部材を充填して固着し、2個の一体化ブロックを形成する第1の固着工程と、

その2個の一体化ブロックのそれぞれに前記第1の溝加工工程の加工方向と交差する方向に同一ピッチで複数本の溝加工を前記ベースとの界面付近までの深さで施し、2個の溝入り一体化ブロックとする第2の溝加工工程と、

その2個の溝入り一体化ブロックを互いに溝加工された面が対向するように嵌合させる第2の嵌合工程と、

該工程によって互いに嵌合された2個の溝入り一体化ブロックの嵌合部の空隙に接着性のある絶縁部材を充填して固着し、第2の一体化ブロックとする第2の固着工程と、

その第2の一体化ブロックにおける前記各ベースの部分除去して、n型およびp型の熱電半導体素片を露出させる熱電半導体素片露出工程と、

を有することを特徴とする熱電素子の製造方法。

10. 請求の範囲の第9項記載の熱電素子の製造方法において、

前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックの前記各ベ



ースとして、前記熱電半導体ブロックの固着面より大きな面積を有するものを用い、

前記第1の嵌合工程において、互いに嵌合させる前記n型の熱電半導体複合ブロックとp型の熱電半導体複合ブロックのそれぞれ熱電半導体ブロックが存在しないベース間にスペーサを介挿し、該ベース間の間隔を略前記熱電半導体ブロックの厚さに相当する間隔に制御し、

前記第2の嵌合工程において、互いに嵌合させる前記2個の溝入り一体化ブロックのそれぞれ熱電半導体ブロックが存在しない部分のベース間にスペーサを介挿し、該ベース間の間隔を略前記熱電半導体ブロックの厚さに相当する間隔に制御することを特徴とする熱電素子の製造方法。

11. 請求の範囲第7項乃至第10項に記載の熱電素子の製造方法において、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成する電極形成工程を有することを特徴とする熱電素子の製造方法。

12. 請求の範囲第1項、第2項又は第7項のいずれか一項に記載の熱電素子の製造方法において、

前記各嵌合工程において、前記互いに嵌合させる対のブロックの少なくとも一方の嵌合面に絶縁膜を形成することを特徴とする熱電発電素子の製造方法。

13. 請求の範囲第1項、第2項又は第7項のいずれか一項に記載の熱電素子の製造方法において、

前記固着工程において、前記嵌合部の空隙に充填する絶縁部材が、絶縁性スペーサを分散した接着性のある絶縁部材であることを特徴とする熱電素子の製造方法。

14. 請求の範囲第3項又は第9項記載の熱電素子の製造方法において、



前記第1の嵌合工程および第2の嵌合工程の少なくとも一方において、互いに嵌合させる対のブロックの少なくとも一方の嵌合面に絶縁膜を形成することを特徴とする熱電発電素子の製造方法。

15. 請求の範囲第3項又は第9項記載の熱電素子の製造方法において、

前記第1の固着工程および第2の固着工程の少なくとも一方において、前記嵌合部の空隙に充填する絶縁部材が、絶縁性スペーサを分散した接着性のある絶縁部材であることを特徴とする熱電素子の製造方法。

16. 請求の範囲第7項乃至第10項に記載の熱電素子の製造方法において、

前記n型の熱電半導体ブロックと前記前記p型の熱電半導体ブロックを、それぞれ前記ベースに接合する前に、その各熱電半導体ブロックの前記ベースとの接合面およびその反対側の面にそれぞれ金属被覆層を形成することを特徴とする熱電素子の製造方法。

17. 請求の範囲第16項に記載の熱電素子の製造方法において、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を、前記金属被覆層上に導電性ペーストを用いて形成する電極形成工程を有することを特徴とする熱電素子の製造方法。

18. 請求の範囲第1項、第2項、第3項、第7項、第9項のいずれか一項に記載の熱電素子の製造方法において、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片の各電極形成面に金属層を形成する金属層形成工程と、その金属層上に前記n型とp型の熱電半導体素片を交互に直列に接続する電極を形成する電極形成工程とを有することを特徴とする熱電素子の製造方法。



19. 請求の範囲第18項記載の熱電素子の製造方法において、

前記電極形成工程において、前記電極を導電性ペーストを用いて形成することを特徴とする熱電素子の製造方法。

20. 請求の範囲第1項記載の熱電素子の製造方法において、

前記固着工程において、嵌合部の空隙に充填する絶縁部材として熱あるいは溶剤で除去可能なものを使用して仮固定層を形成し、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成して仮熱電素子とする電極形成工程と、

その仮熱電素子の前記電極の形成面の一方側に放熱板を他方側に吸熱板をそれぞれ絶縁固定層を介して固定する工程と、

該工程の後に前記仮固定層を加熱するか溶剤を用いて除去する工程とを有することを特徴とする熱電素子の製造方法。

21. 請求の範囲第2項又は第7項に記載の熱電素子の製造方法において、

前記固着工程で前記嵌合部に充填する絶縁部材、および前記固化工程で前記溝加工部に充填する絶縁部材部の少なくとも一方として、熱あるいは溶剤で除去可能なものを使用して仮固定層を形成し、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成して仮熱電素子とする電極形成工程と、

その仮熱電素子の前記電極の形成面の一方側に放熱板を他方側に吸熱板をそれぞれ絶縁固定層を介して固定する工程と、

該工程の後に前記仮固定層を加熱するか溶剤を用いて除去する工程とを有することを特徴とする熱電素子の製造方法。

22. 請求の範囲第3項又は第9項に記載の熱電素子の製造方法において、



前記固第1の固着工程又は第2の固着工程においてそれぞれ前記嵌合部に充填する絶縁部材として、熱あるいは溶剤で除去可能なものを使用して仮固定層を形成し、

前記熱電半導体素片露出工程後に、前記露出されたn型とp型の熱電半導体素片を交互に直列に接続する電極を形成して仮熱電素子とする電極形成工程と、

その仮熱電素子の前記電極の形成面の一方側に放熱板を他方側に吸熱板をそれぞれ絶縁固定層を介して固定する工程と、

該工程の後に前記仮固定層を加熱するか溶剤を用いて除去する工程とを有することとを特徴とする熱電素子の製造方法。

