

说明书

发明名称：一种基于LDPC码的通信方法和通信装置

技术领域

[0001] 本申请涉及编码领域，并且更具体地，涉及一种基于LDPC码的通信方法和通信装置。

背景技术

[0002] 在信道编码领域，低密度奇偶校验(low-density parity check, LDPC)码是应用最为成熟和广泛的一种信道编码方案。新无线(new radio, NR) LDPC码的高码率部分(即核心矩阵)只支持准循环(quasi-cyclic, QC)块的并行译码，无法支持整行的并行译码。802.11ay LDPC码的每个码率单独存储一个校验矩阵，不支持灵活码率，因而不支持增量冗余-混合自动重传(incremental redundancy-hybrid automatic repeat request, IR-HARQ)机制。

[0003] 发明内容

[0004] 本申请实施例提供一种基于LDPC码的通信方法和通信装置，有助于提高LDPC码的性能。

[0005] 第一方面，提供了一种基于LDPC码的通信方法，所述方法可以由发送端执行，也可以由发送端中的模块或单元执行(例如芯片)，为了描述方便，下文统一称为发送端。可选地，发送端可以为终端或网络设备。

[0006] 所述方法包括：获取信息比特序列；根据LDPC基矩阵对所述信息比特序列进行LDPC编码，得到LDPC码字序列，其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同；发送所述LDPC码字序列。

- [0007] LDPC基矩阵的一个或多个第三行与存储矩阵的一个或多个三行相同，可以理解为：LDPC基矩阵的一个或多个第三行的连接关系、边或非零元素与存储矩阵的一个或多个三行的连接关系、边或非零元素相同，且LDPC基矩阵的一个或多个第三行的非零元素的偏移值与存储矩阵的一个或多个三行的非零元素的偏移值也相同。
- [0008] 在上述方法中，LDPC基矩阵可以根据存储矩阵以及指示信息得到，并且指示信息包括两类信息，一类信息用于指示一个或多个行对，每个行对对应的两行为非零元素的偏移值有对应关系的两行，另一类信息用于指示一个或多个行。这样指示信息可以通过这两类信息指示两种不同的低码率拓展方式，换句话说，在得到LDPC基矩阵的过程中，低码率拓展有两种方式，某次拓展是两种方式中的哪种可以通过指示信息确定。这样，在通过低码率拓展得到LDPC基矩阵的过程中，相较于只采用一种低码率拓展方式，上述方法的低码率拓展更加灵活，有助于得到性能更优的LDPC基矩阵。
- [0009] 结合第一方面，在第一方面的一些实现方式中，所述LDPC基矩阵的对应于所述第一行的行与所述第一行相同；所述LDPC基矩阵的对应于所述第二行的行是通过所述第一行对所述第二行进行消元得到的。
- [0010] 这样，在完成LDPC基矩阵的对应于第一行的行的拓展后，LDPC基矩阵的非拓展列的列重不发生变化，基于该拓展方式(也称分裂拓展)可以减小LDPC基矩阵的整体边密度。而LDPC基矩阵的对应于第二信息所指示的第三行的行与存储矩阵的第三行相同，基于该拓展方式(也称传统拓展)可以增加LDPC基矩阵的整体边密度。这样，可以通过传统拓展增加LDPC基矩阵的整体边密度，通过分裂拓展减少LDPC基矩阵的整体边密度，有助于在低码率拓展过程中维持LDPC基矩阵的最优边密度，从而提升LDPC码的性能。
- [0011] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述存储矩阵是根据第一表格、第二表格和第三表格获得，其中，所述第一表格包括所述存储矩阵的变量节点和校验节点的连接关系，所述第二表格包括所述存储矩阵的核心矩阵的非零元素的偏移值，所述第三表格包括所述一个或多个第三行的非零元素的偏移值。

- [0012] 在上述方法中，可以仅存储存储矩阵的核心矩阵的非零元素的偏移值以及一个或多个第三行的非零元素的偏移值，有助于减少对存储空间的占用。
- [0013] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。
- [0014] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述指示信息采用指示序列的形式，所述指示序列的长度等于所述LDPC基矩阵的行数；所述第一信息包括所述一个或多个行对中的每个行对中的第二行的行号，所述每个行对中的第一行的行号为所述每个行对的第二行的行号在所述指示序列中的位置，所述每个行对中的第二行的行号在所述指示序列中的位置大于所述每个行对中的所述第一行的行号；所述第二信息包括一个或多个第一字符，所述一个或多个第一字符在所述指示序列中的位置对应于所述一个或多个第三行的行号。
- [0015] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第一字符为所述存储矩阵的行号以外的取值。通过设置第一字符为存储矩阵的行号以外的取值，可以很好将第一字符与第一信息中的行号区分开来。
- [0016] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第二信息包括多个第一字符，所述多个第一字符的取值相同。
- [0017] 可选地，所述多个第一字符对应的多个第三行中的部分或全部两两正交。
- [0018] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第二信息包括多个第一字符，所述多个第一字符包括至少两个取值，取值相同的第一字符对应的第三行之间两两正交。
- [0019] 通过设置取值相同的第一字符对应的第三行之间两两正交，有助于减缓等效译码行数增长的幅度。
- [0020] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述指示序列依次包括第一分段、第二分段、第三分段和第四分段；其中，所述第一分段对应于所述存储矩阵的核心矩阵，所述第一分段由一个或多个第一行号组成或者由一个或多个第二字符组成；所述第二分段由一个或多个第三字符组成；所述第三分段由一个或多个第二行号组成；所述第四分段由一个或多个第四

字符和一个或多个第三行号交织而成；所述第一信息中的行号依次包括所述一个或多个第一行号、所述一个或多个第二行号和所述一个或多个第三行号，所述一个或多个第一字符依次包括所述一个或多个第二字符、所述一个或多个第三字符和所述一个或多个第四字符。

- [0021] 基于上述的指示序列，有助于保证每次拓展保持最优边密度。
- [0022] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，当所述第一分段由所述一个或多个第一行号组成时，所述一个或多个第二行号包括所述一个或多个第一行号中的部分或全部。
- [0023] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述一个或多个第三行号包括所述一个或多个第四字符对应的第三行的行号中的部分或全部。
- [0024] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第四分段中所述第四字符所占比例随所述LDPC基矩阵对应的码率减小而增加。
- [0025] 基于上述方法，有助于支持更低的码率。
- [0026] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述指示序列的第*i*个位置为所述第一字符，所述存储矩阵的前*i*个行中两两正交的第三行的数量小于或者等于所述指示序列前*i*-1个位置对应的*i*-1个行的最大分裂次数与1之和，*i*为大于1的整数。其中，行的分裂次数是该行以及由该行分裂产生的行所进行的总分裂次数，其中由该行分裂产生的行包括直接或间接由该行分裂产生的行。
- [0027] 例如，若行#3分裂产生行#5和#9，行#5分裂产生行#7，行#7分裂产生行#19，则行#5和行#9为直接由行#3分裂得到的行，行#7和行#19为间接由行#3分裂得到的行，行#3的分裂次数为4，行#5的分裂次数为2，行#7的分裂次数为1，行#9和行#19的分裂次数为0。
- [0028] 基于上述方法可以实现随LDPC基矩阵的码率减小缓慢增加等效译码行数，尽可能少增加额外的硬件复杂度。
- [0029] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述存储矩阵为M×N的矩阵，所述存储矩阵包括子矩阵A1、子矩阵B1、子矩阵C1、子矩

阵D1和子矩阵E1，所述子矩阵A1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列，所述子矩阵B1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列，所述子矩阵C1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列，所述子矩阵D1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列，所述子矩阵E1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列；所述第一行的非零元素的偏移值对应于所述第二行的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值；所述第二行的前 n_2 个元素是由所述子矩阵A1和所述子矩阵B1构成的矩阵中的行或所述子矩阵D1中的行。

[0030] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值；或者，所述第一行的前 n_2 个元素中的非零元素的偏移值与固定值之和真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值。

[0031] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述子矩阵E1 为下三角矩阵。

[0032] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述LDPC基矩阵的核心部分的列重之和小于所述存储矩阵中与所述LDPC基矩阵的核心部分相对应的部分的列重之和；和/或，所述LDPC基矩阵的拓展部分的列重之和大于所述存储矩阵中与所述LDPC基矩阵的拓展部分相对应的部分的列重之和。

[0033] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述LDPC基矩阵为 $X \times Y$ 的矩阵，所述LDPC基矩阵包括子矩阵A2、子矩阵B2、子矩阵C2、子矩阵D2和子矩阵E2，所述子矩阵A2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列，所述子矩阵B2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列，所述子矩阵C2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列，所述子矩阵D2为所述LDPC基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列，所述子矩阵E2为所述LDPC基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列， $1 \leq x_1 \leq X$ ， $1 \leq y_1 \leq y_2 \leq Y$ ， x_1 、 X 、 y_1 、 y_2 、 Y 均为整数；其中，所述子矩阵E2的对角线为非零元素，所述子矩阵E2的对角线以上包括非零

元素和/或所述子矩阵E2的对角线以下包括非零元素，所述子矩阵C2包括非零元素。

[0034] 基于上述方法，子矩阵C2包括非零元素，这样有助于避免因拓展节点的度数(即拓展列的列重)较小导致的错误平层。进一步地，当子矩阵E2的对角线以上也包括非零元素时，可以进一步避免因拓展节点的度数较小导致的错误平层。

[0035] 结合第一方面或其任意实现方式，在第一方面的另一些实现方式中，所述方法还包括：根据所述LDPC基矩阵对应的码长、所述LDPC基矩阵对应的信息位的数量、打孔信息列的数量以及所述LDPC基矩阵的信息列的数量，读取长度为R的所述指示信息；根据所述存储矩阵和所述指示信息，得到所述LDPC基矩阵；其中，所述R为满足 $RZ_c \geq N_0 - K_0 + K_1$ 的最小整数； Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为所述LDPC基矩阵对应的码长； K_0 为所述LDPC基矩阵对应的信息位的数量； K 为所述LDPC基矩阵的信息列的数量； K_1 为所述打孔信息列的数量。

[0036] 第二方面，提供了一种基于LDPC码的通信方法，所述方法可以由接收端执行，也可以由接收端中的模块或单元执行(例如芯片)，为了描述方便，下文统一称为接收端。可选地，接收端可以为终端，也可以为网络设备。

[0037] 第二方面及其可能的实现方式所示方法的技术效果可参照第一方面及其可能的实现方式，不再赘述。

[0038] 所述方法包括：接收来自发送端的LDPC码字序列；根据LDPC基矩阵对所述LDPC码字序列进行译码，其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同。

[0039] 结合第二方面，在第二方面的一些实现方式中，所述LDPC基矩阵的对应于所述第一行的行与所述第一行相同；所述LDPC基矩阵的对应于所述第二行的行是通过所述第一行对所述第二行进行消元得到的。

- [0040] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述存储矩阵是根据第一表格、第二表格和第三表格获得，其中，所述第一表格包括所述存储矩阵的变量节点和校验节点的连接关系，所述第二表格包括所述存储矩阵的核心矩阵的非零元素的偏移值，所述第三表格包括所述一个或多个第三行的非零元素的偏移值。
- [0041] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。
- [0042] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述指示信息采用指示序列的形式，所述指示序列的长度等于所述LDPC基矩阵的行数；所述第一信息包括所述一个或多个行对中的每个行对中的第二行的行号，所述每个行对中的第一行的行号为所述每个行对的第二行的行号在所述指示序列中的位置，所述每个行对中的第二行的行号在所述指示序列中的位置大于所述每个行对中的所述第一行的行号；所述第二信息包括一个或多个第一字符，所述一个或多个第一字符在所述指示序列中的位置对应于所述一个或多个第三行的行号。
- [0043] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述第一字符为所述存储矩阵的行号以外的取值。
- [0044] 结合第二方面或其任意实现方式，在第一方面的另一些实现方式中，所述第二信息包括多个第一字符，所述多个第一字符的取值相同。
- [0045] 可选地，所述多个第一字符对应的多个第三行中的部分或全部两两正交。
- [0046] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述第二信息包括多个第一字符，所述多个第一字符包括至少两个取值，取值相同的第一字符对应的第三行之间两两正交。
- [0047] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述指示序列依次包括第一分段、第二分段、第三分段和第四分段；其中，所述第一分段对应于所述存储矩阵的核心矩阵，所述第一分段由一个或多个第一行号组成或者由一个或多个第二字符组成；所述第二分段由一个或多个第三字符组成；所述第三分段由一个或多个第二行号组成；所述第四分段由一个或多个第四字

符和一个或多个第三行号交织而成；所述第一信息中的行号依次包括所述一个或多个第一行号、所述一个或多个第二行号和所述一个或多个第三行号，所述一个或多个第一字符依次包括所述一个或多个第二字符、所述一个或多个第三字符和所述一个或多个第四字符。

- [0048] 结合第二方面或其任意实现方式，在第一方面的另一些实现方式中，当所述第一分段由所述一个或多个第一行号组成时，所述一个或多个第二行号包括所述一个或多个第一行号中的部分或全部。
- [0049] 结合第二方面或其任意实现方式，在第一方面的另一些实现方式中，所述一个或多个第三行号包括所述一个或多个第四字符对应的第三行的行号中的部分或全部。
- [0050] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述第四分段中所述第四字符所占比例随所述LDPC基矩阵对应的码率减小而增加。
- [0051] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述指示序列的第 i 个位置为所述第一字符，所述存储矩阵的前 i 个行中两两正交的第三行的数量小于或者等于所述指示序列前 $i-1$ 个位置对应的 $i-1$ 个行的最大分裂次数与1之和， i 为大于1的整数。其中，行的分裂次数是该行以及由该行分裂产生的行所进行的总分裂次数，其中由该行分裂产生的行包括直接或间接由该行分裂产生的行。
- [0052] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述存储矩阵为 $M \times N$ 的矩阵，所述存储矩阵包括子矩阵A1、子矩阵B1、子矩阵C1、子矩阵D1和子矩阵E1，所述子矩阵A1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列，所述子矩阵B1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列，所述子矩阵C1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列，所述子矩阵D1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列，所述子矩阵E1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列；所述第一行的非零元素的偏移值对应于所述第二行的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值；所述第二行的前 n_2 个元素是由所述子矩阵A1和所述子矩阵B1构成的矩阵中的行或所述子矩阵D1中的行。

- [0053] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值；或者，所述第一行的前 n_2 个元素中的非零元素的偏移值与固定值之和真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值。
- [0054] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述子矩阵E1为下三角矩阵。
- [0055] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述LDPC基矩阵的核心部分的列重之和小于所述存储矩阵中与所述LDPC基矩阵的核心部分相对应的部分的列重之和；和/或，所述LDPC基矩阵的拓展部分的列重之和大于所述存储矩阵中与所述LDPC基矩阵的拓展部分相对应的部分的列重之和。
- [0056] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述LDPC基矩阵为 $X \times Y$ 的矩阵，所述LDPC基矩阵包括子矩阵A2、子矩阵B2、子矩阵C2、子矩阵D2和子矩阵E2，所述子矩阵A2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $1 \sim y_1$ 列，所述子矩阵B2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $y_1+1 \sim y_2$ 列，所述子矩阵C2为所述LDPC基矩阵的第 $1 \sim x_1$ 行、第 $y_2+1 \sim Y$ 列，所述子矩阵D2为所述LDPC基矩阵的第 $x_1+1 \sim X$ 行、第 $1 \sim y_2$ 列，所述子矩阵E2为所述LDPC基矩阵的第 $x_1+1 \sim X$ 行、第 $y_2+1 \sim Y$ 列， $1 \leq x_1 \leq X$ ， $1 \leq y_1 \leq y_2 \leq Y$ ， x_1 、 X 、 y_1 、 y_2 、 Y 均为整数；其中，所述子矩阵E2的对角线为非零元素，所述子矩阵E2的对角线以上包括非零元素和/或所述子矩阵E2的对角线以下包括非零元素，所述子矩阵C2包括非零元素。
- [0057] 结合第二方面或其任意实现方式，在第二方面的另一些实现方式中，所述方法还包括：根据所述LDPC基矩阵对应的码长、所述LDPC基矩阵对应的信息位的数量、打孔信息列的数量以及所述LDPC基矩阵的信息列的数量，读取长度为 R 的所述指示信息；根据所述存储矩阵和所述指示信息，得到所述LDPC基矩阵；其中，所述 R 为满足 $RZ_c \geq N_0 - K_0 + K_1$ 的最小整数； Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为所述LDPC基矩阵对应的码长； K_0 为所述LDPC基矩阵对应的

信息位的数量； K 为所述LDPC基矩阵的信息列的数量； K_1 为所述打孔信息列的数量。

[0058] 第三方面，提供了一种通信装置，该装置用于执行上述任意一方面或其实现方式提供的方法。具体地，该装置可以包括用于执行上述任意一方面或其实现方式提供的方法的单元和/或模块，如处理单元和/或通信单元。

[0059] 在一种实现方式中，该装置为发送端或接收端。当该装置为发送端或接收端时，通信单元可以是收发器，或，输入/输出接口，或者通信接口；处理单元可以是至少一个处理器。可选地，收发器为收发电路。可选地，输入/输出接口为输入/输出电路。

[0060] 在另一种实现方式中，该装置为用于发送端或接收端中的芯片、芯片系统或电路。当该装置为用于发送端或接收端中的芯片、芯片系统或电路时，通信单元可以是该芯片、芯片系统或电路上的输入/输出接口、接口电路、输出电路、输入电路、管脚或相关电路等；处理单元可以是至少一个处理器、处理电路或逻辑电路等。

[0061] 第四方面，提供了一种通信装置，该装置包括：存储器，用于存储程序；至少一个处理器，用于执行存储器存储的计算机程序或指令，以执行上述任意一方面或其实现方式提供的方法。

[0062] 在一种实现方式中，该装置为发送端或接收端。

[0063] 在另一种实现方式中，该装置为用于发送端或接收端中的芯片、芯片系统或电路。

[0064] 第五方面，提供了一种通信装置，该装置包括：至少一个处理器和通信接口，该至少一个处理器用于通过该通信接口获取存储在存储器的计算机程序或指令，以执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

[0065] 在一种实现方式中，该装置还包括该存储器。

[0066] 第六方面，提供了一种处理器，用于执行上述各方面提供的方法。

[0067] 对于处理器所涉及的发送和获取/接收等操作，如果没有特殊说明，或者，如果未与其在相关描述中的实际作用或者内在逻辑相抵触，那么可以理解为处理

器输出和接收、输入等操作，也可以理解为由射频电路和天线所进行的发送和接收操作，本申请对此不做限定。

[0068] 第七方面，提供了一种计算机可读存储介质，该计算机可读介质存储用于设备执行的程序代码，该程序代码包括用于执行上述任意一方面或其实现方式提供的方法。

[0069] 第八方面，提供了一种包含指令的计算机程序产品，当该计算机程序产品在计算机上运行时，使得计算机执行上述任意一方面或其实现方式提供的方法。

[0070] 第九方面，提供了一种芯片，芯片包括处理器与通信接口，处理器通过通信接口读取存储器上存储的指令，执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

[0071] 可选地，作为一种实现方式，芯片还包括存储器，存储器中存储有计算机程序或指令，处理器用于执行存储器上存储的计算机程序或指令，当计算机程序或指令被执行时，处理器用于执行上述任意一方面或其实现方式提供的方法。

[0072] 其中，当本申请提供的方法由芯片执行时，本申请不限定具体实现本申请方法的芯片个数，例如可以由一个芯片执行，也可以是2个或2个以上的芯片执行。并且，当实现本申请方法的芯片个数为2个及2个以上时，不限定芯片厂家，可以是相同厂家，也可以是不同厂家。

[0073] 第十方面，提供了一种通信系统，包括上文的发送端和/或接收端。

[0074] 第十一方面，提供了一种计算机程序，当其在计算机上运行时，使得上述任意一方面或其实现方式提供的方法被执行。

附图说明

[0075] 图1是适用于本申请实施例的通信场景的示意图。

[0076] 图2为LDPC的校验矩阵H的示意图。

[0077] 图3为LDPC的校验矩阵H的Tanner图。

[0078] 图4是5G NR的LDPC的奇偶校验矩阵的结构示意图。

[0079] 图5是信息传输流程的示意图。

[0080] 图6是本申请提供的基于LDPC码的通信方法600的示意性流程图。

[0081] 图7是本申请的拓展方式的示意图。

- [0082] 图8是本申请的存储矩阵的列重分布的示意图。
- [0083] 图9是发送端存储的内容的一个示例。
- [0084] 图10是本申请的指示序列的两个示例。
- [0085] 图11是本申请提供的基于LDPC码的通信方法1100的示意性流程图。
- [0086] 图12是本申请实施例的LDPC码的等效译码行数的仿真结果。
- [0087] 图13是本申请实施例的LDPC码的平均译码迭代次数的仿真结果。
- [0088] 图14是本申请实施例的LDPC码的拉齐等效译码行数的仿真结果。
- [0089] 图15是本申请实施例的LDPC码的错误平层的仿真结果。
- [0090] 图16是本申请实施例的LDPC码的低量化下的性能仿真结果。
- [0091] 图17是本申请的实施例提供的装置的结构示意图。
- [0092] 图18是本申请的实施例提供的装置的另一结构示意图。

具体实施方式

- [0093] 为便于理解本申请实施例，在介绍本申请的实施例之前，先做出以下几点说明。
- [0094] 在本申请中，“用于指示”或“指示”可以包括用于直接指示和用于间接指示，或者说“用于指示”或“指示”可以显式地和/或隐式地指示。例如，当描述某一信息用于指示信息I时，可以包括该信息直接指示I或间接指示I，而并不代表该信息中一定携带有I。又例如，隐式指示可以基于用于传输的位置和/或资源；显式指示可以基于一个或多个参数，和/或一个或多个索引，和/或一个或多个它所表示的位模式。
- [0095] 本申请对很多特性所列出的定义仅用于以举例方式来解释该特性的功能，其详细内容可以参考现有技术。
- [0096] 下文示出的实施例中，第一、第二、第三、第四以及各种数字编号仅为描述方便进行的区分，并不用来限制本申请实施例的范围。例如，区分不同的字符、不同的信息等。
- [0097] “预先定义”可以通过在设备中预先保存相应的代码、表格或其他可用于指示相关信息的方式来实现，本申请对于其具体的实现方式不做限定。其中，“保

存”可以是指，保存在一个或者多个存储器中。存储器的类型可以是任意形式的存储介质，本申请并不对此限定。

[0098] 本申请实施例中涉及的“协议”可以是指通信领域的标准协议，例如可以包括长期演进(long term evolution, LTE)协议、新无线(new radio, NR)协议以及应用于未来的通信系统中的相关协议，本申请对此不做限定。

[0099] 本申请将围绕包括多个设备、组件、模块等的系统来呈现各个方面、实施例或特征。应当理解和明白的是，各个系统可以包括另外的设备、组件、模块等，并且/或者可以并不包括结合附图讨论的所有设备、组件、模块等。此外，还可以使用这些方案的组合。

[0100] 在本申请实施例中，“示例的”、“例如”、“示例性地”、“作为(另)一个示例”等词用于表示作例子、例证或说明。本申请中被描述为“示例”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言，使用示例的一词旨在以具体方式呈现概念。

[0101] 术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其他方式另外特别强调。

[0102] “至少一个”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B的情况，其中A，B可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项(个)”或其类似表达，是指的这些项中的任意组合，包括单项(个)或复数项(个)的任意组合。例如，a、b和c中的至少一项(个)，可以表示：a，或，b，或，c，或，a和b，或，a和c，或，b和c，或，a、b和c。其中a、b和c分别可以是单个，也可以是多个。

[0103] 在本申请实施例中，涉及网元A向网元B发送消息、信息或数据，以及网元B接收来自网元A的消息、信息或数据的相关描述，旨在说明该消息、信息或数据是要发给哪个网元，而并不限定它们之间是直接发送还是经由其他网元间接发送。

- [0104] 在本申请实施例中，“当……时”、“在……的情况下”、“若”以及“如果”等描述均指在某种客观情况下设备会做出相应的处理，并非是限定时间，且也不要求设备在实现时一定要有所判断的动作，也不意味着存在其它限定。
- [0105] 本申请实施例的技术方案可以应用于各种通信系统，包括但不限于：第五代(5th generation, 5G)系统或NR系统、LTE系统、长期演进高级技术(long term evolution-advanced, LTE-A)系统、LTE频分双工(frequency division duplex, FDD)系统、LTE时分双工(time division duplex, TDD)系统等。还可以应用于未来的通信系统，例如第六代移动通信系统。此外，还可以应用于设备到设备(device to device, D2D)通信，车辆外联(vehicle-to-everything, V2X)通信，机器到机器(machine to machine, M2M)通信，机器类型通信(machine type communication, MTC)，以及物联网(internet of things, IoT)通信系统或其它通信系统，等。此外，还可以扩展到类似的无线通信系统中，如无线保真(wireless-fidelity, WiFi)，全球微波互联接入(worldwide interoperability for microwave access, WIMAX)，以及第三代合作伙伴计划(3rd generation partnership project, 3GPP)相关的通信系统等，不作限定。
- [0106] 适用于本申请的通信系统，可以包括一个或多个发送端，以及，一个或多个接收端。可选地，发送端和接收端中的一个可以为终端，另一个可以为网络设备。可选地，发送端和接收端可以均为终端。可选地，发送端和接收端可以均为网络设备。
- [0107] 示例性地，图1为适用于本申请实施例的通信场景的示意图。
- [0108] 如图1，本申请的实施例既适用于上行数据传输，也适用于下行数据传输。图1中仅以一个网络设备和两个终端(如终端1和终端2)之间的上行数据传输或下行数据传输作为示例。在上行数据传输中，本文中的发送端即为终端，接收端为网络设备；反之，在下行数据传输中，发送端为网络设备，接收端为终端。此外，不限定本申请实施例在其它通信场景中的适用性，例如，也可以应用于侧行链路通信中。
- [0109] 本申请的终端也可以称为用户设备(user equipment, UE)、接入终端、用户单元、用户站、移动站、移动台、移动终端(mobile terminal, MT)、远方站、

远程终端、移动设备、用户终端、终端设备、无人机、无线通信设备、用户代理或用户装置。本申请实施例中的终端设备可以是指向用户提供语音和/或数据连通性的设备，可以用于连接人、物和机，例如具有无线连接功能的手持式设备、车载设备等。本申请的实施例中的终端设备可以是手机(mobile phone)、平板电脑(pad)、笔记本电脑、掌上电脑、移动互联网设备(mobile internet device, MID)、可穿戴设备，虚拟现实(virtual reality, VR)设备、增强现实(augmented reality, AR)设备、工业控制(industrial control)中的无线终端、无人驾驶(self driving)中的无线终端、远程手术(remote medical surgery)中的无线终端、智能电网(smart grid)中的无线终端、运输安全(transportation safety)中的无线终端、智慧城市(smart city)中的无线终端、智慧家庭(smart home)中的无线终端等。

[0110] 本申请的网络设备可以是具有无线收发功能的设备，该网络设备可以是提供无线通信功能服务的设备，通常位于网络侧，包括但不限于5G系统中的下一代基站(gNodeB, gNB)、第六代移动通信系统中的基站、未来移动通信系统中的基站，或无线保真(wireless fidelity, WiFi)系统中的接入节点，长期演进(long term evolution, LTE)系统中的演进型节点B(evolved node B, eNB)、无线网络控制器(radio network controller, RNC)、节点B(node B, NB)、基站控制器(base station controller, BSC)、家庭基站(例如, home evolved NodeB, 或home Node B, HNB)、基带单元(base band unit, BBU)，传输接收点(transmission reception point, TRP)、发射点(transmitting point, TP)、基站收发台(base transceiver station, BTS)、卫星、无人机等。在一种网络结构中，网络设备可以包括集中单元(centralized unit, CU)节点，或包括分布单元(distributed unit, DU)节点，或者为包括CU节点和DU节点的RAN设备，或者为包括控制面CU节点和用户面CU节点，以及DU节点的RAN设备，或者，网络设备还可以为云无线接入网络(cloud radio access network, CRAN)场景下的无线控制器、中继站、车载设备以及可穿戴设备等。此外，基站可以是宏基站、微基站、中继节点、施主节点或其组合。基站还可以指用于设置于前述设备或装置内的通信模块、调制解调器或芯片。基站还可以是移动交换中心以及

D2D、V2X、M2M通信中承担基站功能的设备、6G网络中的网络侧设备、未来的通信系统中承担基站功能的设备等。基站可以支持相同或不同接入技术的网络，不作限定。

[0111] 需要指出的是，本申请中用于实现终端或网络设备的功能的装置可以是终端或网络设备，也可以是能够支持终端或网络设备实现该功能的装置，例如芯片系统或芯片，该装置可以被安装在终端或网络设备中。本申请实施例中，芯片系统可以由芯片构成，也可以包括芯片和其他分立器件。

[0112] 还需要指出的是，本文部分实施例以5G系统为例介绍具体的方案细节。可以理解的是，当该方案用于其它通信系统时，例如，LTE系统，或者未来的通信系统，方案中的各消息、信道或信息等可以替换为其它通信系统中能够实现相应功能的消息、信道或信息等，本申请对此不作限定。

[0113] 为了便于理解本申请的方案，首先对本申请涉及的术语进行介绍。

[0114] 1、LDPC码

[0115] LDPC码是一种线性分组码，其校验矩阵是一种稀疏矩阵。LDPC的校验矩阵中零元素的个数远远多于非零元素的个数，或者说，校验矩阵的行重和列重与LDPC的码长相比是很小的数。其中，信息比特序列的长度等于 k 、码长等于 n 的LDPC码，可以由其校验矩阵唯一确定。

[0116] 坦纳(Tanner)在1981年将LDPC的码字用图的方式表示了出来，现在将这种图称为Tanner图，Tanner图和校验矩阵一一对应。Tanner图由两类顶点组成，一类顶点代表码字比特，称为变量节点，另一类顶点为校验节点，代表校验约束关系，每个校验节点代表一个校验约束关系，下面结合图2和图3进行说明。

[0117] 图2为LDPC的校验矩阵 H 的示意图。

[0118] 图3中， $\{V_i\}$ 表示变量节点集， $\{C_i\}$ 表示校验节点集。校验矩阵 H 的每行代表一个校验方程，每个校验方程对应于一个校验节点，每列代表一个码字比特，每个码字比特对应于一个变量节点。图1中，变量节点为8个，校验节点为4个。如果一个码字比特包含在相应的校验方程中，就用一条连线将所涉及的变量节点和校验节点连起来，得到Tanner图。

[0119] 图3为LDPC的校验矩阵 H 的Tanner图。

- [0120] 如图3所示, Tanner图表示的即是LDPC的校验矩阵。例如, 对于大小为 m 行 n 列的校验矩阵 H , Tanner图中包含两类节点, 分别为 n 个变量节点和 m 个校验节点。其中, 所述 n 个变量节点分别和校验矩阵 H 的 n 个列对应, 所述 m 个校验节点分别和校验矩阵 H 的 m 个行对应。Tanner图中的循环是由互相连接在一起的顶点组成, 循环以这群顶点中的一个顶点同时作为起点和终点, 且只经过每个节点一次。循环的长度定义为它所包含的连线的数量, 而图形的围长也可以称作图形的尺寸, 定义为图中最小的循环长度, 如图3中, 围长为6, 如图3中加黑连线所示。Tanner图中的变量节点对应校验矩阵 H 的每一列, 也即对应LDPC的每一码字比特。Tanner图中的校验节点分别对应校验矩阵 H 的每一行, 也即对应LDPC的校验比特。两类节点之间的连接情况对应 H 矩阵中元素的取值。若第 i 个校验节点与第 j 个变量节点之间存在连接, 则代表 H 矩阵中的元素 (i, j) 的取值为1, 若无连接, 则对应的元素为0。变量节点和校验节点之间的连线也可以称为边。校验节点与变量节点之间存在连接, 也可以描述为: 校验节点与变量节点之间具备连接关系。
- [0121] 此外, 在Tanner图中, 环(cycle)是指由变量节点、校验节点和边收尾相连组成的闭合环路。
- [0122] 如上文所述, LDPC是一种线性分组码, 线性分组码是将待编码的信息序列以 k 个比特为单位划分成组, 再由编码器对这 k 个信息比特进行线性运算, 得到 m 个校验比特, 接着将这 k 个信息比特与 m 个校验比特合并, 得到长度 $n=k+m$ 的码组。从 k 比特的信息位到长度为 n 比特的码组的映射关系, 通常由一个对应的校验矩阵 H 来表示。根据校验矩阵 H 可相应地生成编码序列完成编码过程, 编码序列通过信道传输之后, 由接收端对接收到的信号进行相应地译码, 判决出原有的信息比特。
- [0123] 2、QC-LDPC
- [0124] 准循环低密度奇偶校验(quasi-cyclic low density parity check, QC-LDPC)码是一类结构化的LDPC。由于其校验矩阵的独特结构, 编码时可以利用简单的反馈移位寄存器实现, 降低LDPC的编码复杂度。在码长较长的情况下, LDPC的校验矩阵 H 会十分庞大, 因此通常将 H 分块表示: 完整的校验矩阵 H 视作由多个 Z 。

$\times Z_c$ 的子矩阵生成。具体地，完整的校验矩阵H可由一个基矩阵 H_b 表示， H_b 中的每个元素对应一个 $Z_c \times Z_c$ 的子矩阵，每个子矩阵均可以由循环移位的位数表示，由此，完整的校验矩阵H所需的存储空间极大减小。基矩阵 H_b 中的元素也可以称为准循环(quasi-cyclic, QC)块。

[0125] 基于基矩阵 H_b 以及扩展因子 Z_c ，可以将基矩阵 H_b 扩展为完整的校验矩阵用于编码或者译码。 Z_c (lifting size)也可以称为提升因子、提升值、扩展值、扩展系数、提升尺寸等，本申请中采用提升值的描述。

[0126] 例如，QC-LDPC的基矩阵 H_b 如下所示：

$$\begin{bmatrix} 13 & 48 & 80 & 66 & 4 & 74 & 7 & 30 & 76 & 52 & 37 & 60 & -1 & 49 & -1 & 73 & 31 & 74 & 73 & 23 & 1 & 0 & -1 & -1 \\ 69 & 63 & 74 & 56 & 64 & 77 & 57 & 65 & 6 & 16 & 51 & -1 & 64 & -1 & 64 & 68 & 9 & 48 & 62 & 54 & -1 & 0 & 0 & -1 \\ 51 & 15 & 0 & 80 & 24 & 25 & 42 & 54 & 44 & 71 & 71 & 9 & 67 & 35 & 67 & -1 & 58 & -1 & 29 & -1 & 0 & -1 & 0 & 0 \\ 16 & 29 & 36 & 41 & 44 & 56 & 59 & 37 & 50 & 24 & -1 & 65 & 4 & 65 & 4 & 52 & -1 & 4 & -1 & 73 & 1 & -1 & -1 & 0 \end{bmatrix}$$

[0127] 可以看出，基矩阵 H_b 的大小为4行24列，基矩阵 H_b 中的每个元素表示一个 Z_c =码长/24阶的方阵，元素 $P_{Z_c}^i$ 表示循环置换矩阵， i 表示循环移位值，其中， $0 \leq i \leq Z_c - 1$ ， i 为整数。另外，基矩阵 H_b 中的“-1”表示全零矩阵，“0”表示单位矩阵。

[0128] 例如， $P_{Z_c}^1$ 如下所示：

$$P_{Z_c}^1 = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & 1 \\ 1 & 0 & 0 & \dots & 0 \end{bmatrix}$$

[0129] 需要说明的是，基矩阵 H_b 中的零元素除了“-1”，也可以有其他的表述形式，例如使用“-”或空值表示全零矩阵。

[0130] 3、基矩阵的基本结构

[0131] 以第五代(5th generation, 5G)NR的LDPC为例，5G NR的LDPC采用了“类拉普特(Raptor-like)”的结构，其奇偶校验矩阵可以通过一个高码率的核心矩阵(Kernel Matrix)逐步扩展到低码率。这样可以灵活地支持各种码率的编码。

[0132] 图4是5G NR的LDPC的奇偶校验矩阵的结构示意图。如图4所示，5G NR的LDPC的奇偶校验矩阵包括子A、B、C、D和E五部分。其中，A和B共同组成了高码率的核心矩阵，A对应于信息比特(或称信息位)，B是一个方阵且对应于高码率的校验比特(或称校验位)。C是一个全零矩阵。E是一个单位矩阵，对应于低扩展码率的校验比特，D和E共同组成了单奇偶校验关系。

[0133] 4、IR-HARQ

[0134] 增量冗余-混合自动重传(incremental redundancy-hybrid automatic repeat request, IR-HARQ)机制，是指发送端在初次传输时发送信息比特和一部分冗余比特，并在重传中发送额外的冗余比特。如果初次传输没有正确解码，则发送端通过重传更多的冗余比特降低信道的码率，从而提高解码的成功率。接收端结合第一次重传的冗余比特如果仍然不能正确解码，则发送端再次进行重传。随着重传次数的增加，冗余比特不断增加，信达编码率不断降低，从而可以获得更好的解码效果。

[0135] IR HARQ机制需要兼容多种速率的LDPC编码方案，以便能够在重传的时候引入新的增量冗余比特。

[0136] 4、5G NR的LDPC码

[0137] 5G NR LDPC码的校验矩阵的包括以下主要特征。

[0138] 1)大列重以及打孔设计

[0139] 该特征指的是：5G NR LDPC码的校验矩阵存在度数非常大的变量节点，这些变量节点对应的列在编码完成后发送端可以对其进行打孔处理，即发送端不发送这些变量节点对应的编码后的列，接收端设备将被打孔的列对应的对数似然比(Log-Likelihood-Ration, LLR)置为0进行译码。

[0140] 2)Raptor-like拓展节点结构设计

[0141] 该特征指的是：5G NR LDPC码的校验矩阵的拓展节点具有单对角结构，即拓展节点度数为1，只出现在一个校验方程中。

[0142] 3)QC块结构

[0143] 该特征指的是：实际使用的LDPC码为将基矩阵 H_b 中的非负元素经过提升值 Z_c 的扩展成循环位移矩阵。

- [0144] 4) 核心区域(core region)稠密
- [0145] 5G NR LDPC码的校验矩阵的1-4行、1-26列连接非常稠密(相对于其他位置), 这部分被称为核心矩阵(Kernel Matrix)。核心矩阵边密度大, 并且校验位的度数不为1。非核心矩阵的校验位均为Raptor-like节点, 度数为1。
- [0146] 5G NR LDPC码支持IR-HARQ, 但5G NR LDPC码的高码率部分(即核心矩阵)只能支持QC块的并行译码, 无法支持整行的并行译码, 低码率部分支持整行的并行译码, 这样可能导致高、低码率部分的计算单元无法持平, 例如为了支持高码率部分的QC块的并行译码每行设置了较多的计算单元, 当对低码率部分进行译码时, 可能仅使用这些计算单元的部分, 会导致计算单元有较大的面积浪费。并且5G NR LDPC码的峰值吞吐无法达到100Gbps, 译码时延较大。5G NR LDPC码极限性能好, 但是其打孔设计导致收敛速度慢, 要达到极限性能所需迭代次数多, 且一次迭代的等效译码行数较多。
- [0147] 5、802.11ay LDPC码
- [0148] 802.11ay LDPC码的校验矩阵的包括以下主要特征。
- [0149] 1) 每个码率单独存储一个校验矩阵, 只有几个特定的码率、码长, 不支持灵活码长、码率, 不具备嵌套特性, 不支持IR-HARQ。
- [0150] 2) 低码率校验矩阵多行正交, 可以进行行并行译码。
- [0151] 3) QC块结构, 与5G NR LDPC码相同。
- [0152] 4) 高码率校验矩阵边密度稠密, 低码率校验矩阵边密度稀疏, 从全部校验矩阵来看整体边密度比较稠密。
- [0153] 802.11ay LDPC码对于码率限制较大, 矩阵存储冗余, 灵活性差, 不同码率之间不具有嵌套性质, 不支持IR-HARQ。802.11ay LDPC码的极限性能和译码门限较差。
- [0154] 6、非零元素和零元素
- [0155] 在本申请中, 校验矩阵中的零元素表示变量节点和校验节点之间不存在连接。校验矩阵中的非零元素表示变量节点和校验节点之间存在连接。

- [0156] 本申请并不限定零元素和非零元素的具体表现形式。例如，在基矩阵 H_b 中可以使用“-1”表示零元素，使用“非负值”表示非零元素。又例如，在校验矩阵 H 中可以使用“0”表示零元素，使用“1”表示非零元素。
- [0157] 7、列重和行重
- [0158] 对于矩阵的某一列来说，列重可以指该列包含的“1”的数量。对于矩阵的某一行来说，行重可以指该行包含的“1”的数量。列重也可以称为列度数。对于校验矩阵，列重也可以称为变量节点的度数。
- [0159] 8、拓展列、非拓展列、拓展行和非拓展行
- [0160] 对于LDPC码来说，每增加一个拓展节点，会增加一行和一列，在本申请中，将增加的一行和一列称为拓展列和拓展行。拓展列为拓展节点对应的列，换句话说，拓展列对应于拓展的校验位。拓展列之外的列则为非拓展列。拓展行之外的行则为非拓展行。以图4为例，C和E中的列为拓展列，D和E中的行是拓展行。
- [0161] 此外，在本申请中，由非拓展列组成的部分也可以称为核心部分，由拓展列组成的部分也可以称为拓展部分。以图4为例，由A、B和D组成的部分为核心部分，由C和E构成的部分为拓展部分。
- [0162] 9. 信息传输流程
- [0163] 图5是信息传输流程的示意图。如图5所示，信息由信源发出，经过信源编码、信道编码、调制、空口传输、解调、信道译码、信源恢复等处理，到达信宿，完成信息从信源到信宿的传输。其中，图5上层所示的处理(包括信源编码、信道编码和调制等)在发送端处执行，下层所示的处理(包括解调、信道译码、信源恢复等)在接收端处执行。
- [0164] 本申请的实施例主要涉及图5所示的信源编码、信道编码、信道译码与信源恢复。
- [0165] 本申请旨在提供一种性能更好的LDPC码，下面结合附图对本申请的技术方案进行描述。
- [0166] 图6是本申请提供的基于LDPC码的通信方法600的示意性流程图。
- [0167] 方法600可以由发送端执行，也可以由发送端中的模块或单元执行，为了描述方便，下文统一称为发送端。方法600可以包括以下内容的至少部分内容。

- [0168] 步骤601，发送端获取信息比特序列。
- [0169] 也就是说，若发送端需要与接收端通信，即发送端需要向接收端发送信号，则发送端需要先获取需要向接收端发送的信号对应的信息比特序列。
- [0170] 可选地，发送端获取待发送信息序列，可以指：发送端对信源符号进行信源编码，生成信息比特序列。发送端获取待发送信息序列，还可以指：发送端从其他通信装置接收信息比特序列。
- [0171] 步骤602，发送端根据LDPC基矩阵对信息比特序列进行LDPC编码，得到LDPC码字序列。
- [0172] 其中，LDPC基矩阵可以是基于存储矩阵和指示信息得到的。这里的LDPC基矩阵可以指发送端实际使用的矩阵，存储矩阵可以指发送端中已存储的矩阵或者协议预定义的矩阵。
- [0173] 在得到LDPC基矩阵的过程中，低码率拓展包括两种方式，如图7所示。
- [0174] 一种是基于传统的低码率拓展方式，即直接读取存储矩阵的行作为LDPC基矩阵的行，为了描述方便，下文将该拓展方式称为传统拓展。另一种是基于2022年11月18日递交的、申请号为PCT/CN2022/132833、发明名称为“一种基于LDPC码的通信方法和通信装置”的专利申请中记载的分裂的低码率拓展方式，为了描述方便，下文将该拓展方式称为分裂拓展。
- [0175] 分裂拓展与传统拓展不同的是：在读取存储矩阵的一行作为LDPC基矩阵的新增加的行的同时还需要使用新增加的行对LDPC基矩阵中该新增加的行之前的某一行进行消元，消元后的行和新增加的行除拓展节点以外的部分是正交的。也可以理解为，被消元的行分裂为新增加的行和消元后的行。分裂拓展不改变非拓展列的列重。
- [0176] 传统拓展可以增加LDPC基矩阵的整体边密度。分裂拓展可以减少LDPC基矩阵的整体边密度。
- [0177] 每一次拓展是传统拓展还是分裂拓展可以通过指示信息确定。
- [0178] 这样，在通过低码率拓展得到LDPC基矩阵的过程中，相较于只采用一种低码率拓展方式，本申请的低码率拓展更加灵活，有助于得到性能更优的LDPC基矩阵。

[0179] 一种可能的实现方式，指示信息包括第一信息和第二信息。其中：

[0180] 1) 第一信息对应于分裂拓展。一种可能的实现方式，第一信息用于指示一个或多个行对，该一个或多个行对中的每个行对对应于存储矩阵的两行。以一个行对来说明，一个行对中的第一行的非零元素的偏移值(shifting value)对应于该行对中的第二行的非零元素的偏移值。

[0181] 可选地，一个行对中的第一行的非零元素的偏移值对应于该行对中的第二行的非零元素的偏移值，可以是：第一行中除拓展节点以外的非零元素的偏移值真包含于第二行中除拓展节点以外的非零元素的偏移值。也可以理解为：第一行中除拓展节点以外的连接关系、边或非零元素真包含于第二行中除拓展节点以外的连接关系、边或非零元素，且第一行中除拓展节点以外的非零元素的偏移值与第二行中相应位置的非零元素的偏移值相同。

[0182] 例如，第一行是{1, -1, -1, 3, -1, 5, -1, -1, 1, -1}，第二行是{1, -1, 2, 3, 4, 5, -1, 1, -1, -1}，其中后三个元素对应于拓展节点，-1表示零元素，{1, -1, -1, 3, -1, 5, -1}真包含于{1, -1, 2, 3, 4, 5, -1}。

[0183] 可选地，一个行对中的第一行的非零元素的偏移值对应于该行对中的第二行的非零元素的偏移值，还可以是：第一行中除拓展节点以外的非零元素的偏移值与固定值之和真包含于第二行中除拓展节点以外的非零元素的偏移值。也可以理解为：第一行中除拓展节点以外的连接关系、边或非零元素真包含于第二行中除拓展节点以外的连接关系、边或非零元素，且第一行中除拓展节点以外的非零元素的偏移值与第二行中相应位置的非零元素的偏移值之间的差值为固定值。

[0184] 例如，第一行是{2, -1, -1, 4, -1, 6, -1, -1, 1, -1}，第二行是{1, -1, 2, 3, 4, 5, -1, 1, -1, -1}，其中后三个元素对应于拓展节点，-1表示零元素，{2, -1, -1, 4, -1, 6, -1}的非零元素真包含于{1, -1, 2, 3, 4, 5, -1}，但是第一行的非零元素的偏移值与第二行的相应位置的非零元素的偏移值之间相差1。

- [0185] LDPC基矩阵的对应于存储矩阵的第一行的行与存储矩阵的第一行相同，换句话说，LDPC基矩阵的对应于存储矩阵的第一行的行是直接读取存储矩阵的第一行得到的。
- [0186] LDPC基矩阵的对应于存储矩阵的第二行的行是通过存储矩阵的第一行对存储矩阵的第二行进行消元得到的。需要说明的是，这里的消元可以包括一次或多次，例如，第一信息所指示的行对中包括行#2的行对有(5, 2)和(8, 2)，对于(5, 2)，LDPC基矩阵的对应于行#5的行是通过存储矩阵的行#5对存储矩阵的行#2进行一次消元得到的，对于(8, 2)，LDPC基矩阵的对应于行#8的行是通过存储矩阵的行#8对存储矩阵的行#2进行两次消元得到的，其中两次消元中的一次为存储矩阵的行#5对存储矩阵的行#2进行消元，另一次为存储矩阵的行#8为经过行#5消元后的行#2进行消元。
- [0187] 或者，LDPC基矩阵的对应于存储矩阵的第二行的行是通过存储矩阵的第一行对存储矩阵的第二行进行消元得到的，也可以描述为：LDPC基矩阵的对应于第二行的行是通过存储矩阵的第一行对LDPC基矩阵的进行本次拓展前的第二行进行消元得到的。由于LDPC基矩阵对应于第一行的行与存储矩阵的第一行相同，因此也可以描述为：LDPC基矩阵的对应于第二行的行是通过LDPC基矩阵的对应于存储矩阵的第一行行对LDPC基矩阵的进行本次拓展前的第二行进行消元得到的。
- [0188] 2) 第二信息对应于传统拓展。一种可能的实现方式，第二信息用于指示一个或多个第三行。LDPC基矩阵的一个或多个第三行与存储矩阵的一个或多个三行相同。第二信息所指示的一个或多个第三行可以是指的是存储矩阵的行，也可以指的是LDPC基矩阵的行，不予限制。
- [0189] LDPC基矩阵的一个或多个第三行与存储矩阵的一个或多个三行相同，可以理解为：LDPC基矩阵的一个或多个第三行的连接关系、边或非零元素与存储矩阵的一个或多个三行的连接关系、边或非零元素相同，且LDPC基矩阵的一个或多个第三行的非零元素的偏移值与存储矩阵的一个或多个三行的非零元素的偏移值也相同。

- [0190] 例如，第二信息指示行#6和行#9，则LDPC基矩阵的行#6与存储矩阵的行#6的连接关系和偏移值均相同，LDPC基矩阵的行#9与存储矩阵的行#9的连接关系和偏移值相同。
- [0191] 步骤603，发送端向接收端发送LDPC码字序列。
- [0192] 这样，在方法600中，可以通过传统拓展增加LDPC基矩阵的整体边密度，通过分裂拓展减少LDPC基矩阵的整体边密度，有助于在低码率拓展过程中维持LDPC基矩阵的最优边密度，从而提升LDPC码的性能。此外，上述方法600支持灵活码率，进而支持IR-HARQ机制。
- [0193] 下面对本申请实施例的指示信息进行详细描述。
- [0194] 本申请不限定指示信息的具体形式。示例性地，指示信息所采用的形式可以包括：指示序列、映射表格、或映射对中的至少一个。
- [0195] 下文以指示信息采用指示序列的形式为例对指示信息进行说明。
- [0196] 一种可能的实现方式，指示序列的长度等于LDPC基矩阵的行数。指示序列的元素在指示序列中的位置对应于上述第一行的行号或上述第三行的行号。指示序列的元素的取值用于指示分裂拓展还是传统拓展。示例性地，指示信息包括一个或多个行号、以及一个或多个第一字符，若某个位置的元素的取值为行号，则表明是分裂拓展，若某个位置的元素的取值为第一字符，则表明是传统拓展。
- [0197] 具体而言，第一信息包括上述一个或多个行对中的每个行对中的第二行的行号，每个行对中的第一行的行号为每个行对的第二行的行号在指示序列中的位置；第二信息包括一个或多个第一字符，一个或多个第一字符在指示序列中的位置对应于上述一个或多个第三行的行号。可以理解地，每个行对中的第二行的行号在指示序列中的位置大于每个行对中的第一行的行号。
- [0198] 示例性地，假设初始矩阵(或称LDPC基矩阵的核心矩阵、初始基矩阵或存储矩阵的核心矩阵)为M行，指示序列的含义如下：
- [0199] 1)指示序列的内容：指示序列中的元素包括第一字符和取值小于当前位置的行号；

- [0200] 2) 指示序列的长度: LDPC基矩阵的行数, 或者也可以描述为: 低码率拓展产生的LDPC基矩阵的总校验节点数;
- [0201] 3) 指示序列中元素的顺序: 对于大于M的位置, 元素的顺序为拓展顺序; 指示序列的第i个位置对应于存储矩阵的第i行, i为正整数;
- [0202] 4) 指示序列中元素取值的意义: 前M个位置的取值对应初始矩阵行号且不包含第一字符, 或者前M个位置均为第一字符, 即前M个位置看作是传统拓展; 对于大于M的位置, 若某个位置为第一字符则对应传统拓展, 若某个位置不为第一字符则该位置对应当前分裂拓展的被消元(或称被分裂)的行号;
- [0203] 5) 指示序列中某个取值的数量: 大于M的位置包括的行号的数量为分裂拓展的次数, 也即当前LDPC基矩阵含有拓展节点的数量; 第一字符的数量为传统拓展的次数。
- [0204] 可选地, 上述第一字符为特殊字符, 例如第一字符可以为存储矩阵的行号以外的取值。
- [0205] 可选地, 指示序列或者说第二信息包括多个第一字符, 该多个第一字符包括至少两个取值, 即可以设置多种第一字符。
- [0206] 可选地, 取值相同的第一字符对应的存储矩阵的第三行之间两两正交。
- [0207] 一种可能的实现方式, 指示序列为按照译码门限优化得到的。在该方式下, 指示序列具有明显的分段特征。
- [0208] 示例性地, 指示序列依次包括第一分段、第二分段、第三分段和第四分段。其中, 第一分段对应于存储矩阵的核心矩阵, 第一分段由一个或多个第一行号组成或者由一个或多个第二字符组成; 第二分段由一个或多个第三字符组成; 第三分段由一个或多个第二行号组成; 第四分段由一个或多个第四字符和一个或多个第三行号交织而成。第一信息中的行号依次包括一个或多个第一行号、一个或多个第二行号和一个或多个第三行号, 一个或多个第一字符(或者说第二信息)依次包括一个或多个第二字符、一个或多个第三字符和一个或多个第四字符。
- [0209] 需要说明的是, “依次包括”可以理解为包括但包括的内容之间相邻且没有交叉。例如, 指示序列依次包括第一分段、第二分段、第三分段和第四分段, 可

以理解为：指示序列包括第一分段、第二分段、第三分段和第四分段，四个分段依次相邻，且相邻的两个分段之间没有交叉。

- [0210] 可选地，当第一分段由所述一个或多个第一行号组成时，一个或多个第二行号包括一个或多个第一行号中的部分或全部。
- [0211] 可选地，一个或多个第三行号包括一个或多个第四字符对应的第三行的行号中的部分 或全部。
- [0212] 可选地，第四分段中第四字符所占比例随LDPC基矩阵对应的码率减小而增加。
- [0213] 下面给出指示序列的一般化形式。
- [0214] 将第一字符记为 α ，核心矩阵的行数记为 M ，指示序列可以表示为：

$$\theta = \begin{cases} 1, \dots, M \\ \alpha_{1 \times T} \\ p_1(1, \dots, M+T), p_2(1, \dots, 2M+2T) \dots \\ \gamma(\alpha, p_x) \end{cases}$$

- [0215] 可以看出，指示序列为四段分段函数。其中，第一分段 $1, \dots, M$ 为核心分段，对应存储矩阵的核心矩阵(或者说核心校验方程)；第二分段 $\alpha_{1 \times T}$ 为传统拓展分段，对应于传统拓展(或者说传统拓展校验方程)，第二分段完全由第一字符组成；第三分段 $p_1(1, \dots, M+T), p_2(1, \dots, 2M+2T) \dots$ 为分裂拓展分段，对应于分裂拓展，完全由行号组成(此分段一定会含有核心矩阵的行号)；第四分段 $\gamma(\alpha, p_x)$ 为分裂拓展与传统拓展的混合分段，第四分段表示将第一字符与之前出现过的行号进行交织。其中， T 为分裂轮数，分裂轮数为所有校验节点的最大分裂次数，校验节点的分裂次数包括校验节点及由该校验节点分裂得到的校验节点进行的总分裂次数，由该校验节点分裂得到的校验节点包括直接或间接由该校验节点分裂得到的校验节点。例如，若校验节点#3分裂产生校验节点#5和#9，校验节点#5分裂产生校验节点#7，校验节点#7分裂产生校验节点#19，则校验节点#5和#9为直接由校验节点#3分裂得到的校验节点，校验节点#7和#19为间接由校验节点#3分裂得到的校验节点，校验节点#3的分裂次数为4，校验节点#5的分裂次数为2，校验节点#7的分裂次数为1，校验节点#9和#19的分裂次数为0。

- [0216] 例如，对标NR BG1的指示序列可以为：核心分段0 1 2 3 4 5；传统拓展分段 α α α ；分裂拓展分段1 4 5 3 2 0 8 6 14 1 12 13 11 0 7；混合分段 α 5 9 3 α 2 α 4 32 10 α 14 α α 。
- [0217] 又例如，对标NR BG2的指示序列可以为：核心分段0 1 2 3；传统拓展分段 α α α α α α ；分裂拓展分段2 3 0 1；混合分段 α α 6 α 12 α α 18 1 α 24 α 26 20 α 29 α 31 α α 34 α 6。
- [0218] 需要说明的是，指示序列只是指示信息一种表述形式，本质上是形容行与行之间的二元映射关系，表明行与行之间是存在相关性的，如上文第一信息部分提到的连接关系和偏移值的关系，还可以使用表述方式，如上文提到的映射表格或映射对。
- [0219] 从指示序列中元素取值的意义可知，对应于第一字符的行与其他行之间可以不存在相关性。在一种可能的实现方式中，指示序列中的一个或多个第一字符仅用于指示该一个或多个第一字符对应的行的拓展方式(如为传统拓展)，可选地，该一个或多个第一字符取值相同。在一种可能的实现方式中，指示序列中的一个或多个第一字符在用于指示该一个或多个第一字符对应的行的拓展方式(如为传统拓展)的同时，还可以表明这些行之间可以存在相关性，如连接关系、边或非零元素相互正交，可选地，可以在指示序列中设置多种第一字符或者说第一字符有多种取值，用来表示传统拓展产生的校验方程的相关性，如取值相同的第一字符对应的存储矩阵中的行之间连接关系相互正交。
- [0220] 此外，需要说明的是，若指示信息不包括第一信息，则相当于本申请实施例提供的LDPC码回退到传统的LDPC码，如NR LDPC码；若指示信息不包括第二信息，则相当于本申请实施例提供的LDPC码回退到如2022年11月18日递交的、申请号为PCT/CN2022/132833、发明名称为“一种基于LDPC码的通信方法和通信装置”的专利申请记载的LDPC码。
- [0221] 下面对本申请的存储矩阵和LDPC基矩阵进行详细描述。
- [0222] 1) 存储矩阵
- [0223] 本申请实施例中存储的是最低码率的矩阵，即存储矩阵为最低码率的矩阵。
- [0224] 本申请实施例对于存储矩阵的存储方式不做限定。

- [0225] 一种可能的实现方式，存储矩阵是根据第一表格、第二表格和第三表格获得，其中，第一表格包括存储矩阵的全部连接关系，连接关系指的是变量节点和校验节点的连接关系，第二表格包括存储矩阵的核心矩阵的非零元素的偏移值，第三表格包括上文所述的一个或多个第三行的非零元素的偏移值。换句话说，存储的是不完整的存储矩阵，具体而言，存储的是：存储矩阵的全部的连接关系、以及存储矩阵中核心矩阵和一个或多个第三行的非拓展列的偏移量，这些偏移值所在的行可以与指示序列的核心分段和一个或多个第一字符相对应。
- [0226] 对于上述实现方式，发送端存储的内容包括：指示序列、第一表格、第二表格和第三表格。
- [0227] 在此情况下，可选地，发送端可以根据指示序列直接读取第一表格、第二表格和第三表格，生成LDPC基矩阵，进而对信息比特序列进行编码，换一种理解方式，即发送端仅进行传统拓展，只不过行对中的第一行的非零元素的偏移值从该行对中的第二行中读取。
- [0228] 可选地，发送端可以根据指示序列读取第一表格、第二表格和第三表格，同时根据指示序列进行分裂拓展和传统拓展，生成LDPC基矩阵，进而对信息比特序列进行编码。即对于指示序列指示的一个行对来说，第一行的非零元素的偏移值从该行对中的第二行中读取，且同时进行消元处理。
- [0229] 下面给出该实现方式的一个示例。
- [0230] a) 指示序列：60 60 60 6060 6060 60 60 1 4 5 3 2 0 8 6 14 1 12 13 11 0
7 10 5 3 9 2 4 60 12 60 13 60 14 60 10 9 86060 7 60 11 60 5 3 6 2 60
0 22 18 1 60 16 15 60 50。
- [0231] 其中，第一字符的取值为60。
- [0232] b) 第一表格如表1所示。
- [0233] 表1

		H_{BG}		H_{BG}		H_{BG}		H_{BG}		H_{BG}	
行索引	列索引	行索引	列索引	行索引	列索引	行索引	列索引	行索引	列索引	行索引	列索引
0	0	3	0	6	2	12	0	21	2	37	6
	1		2						10		14
	2		3						11		27
	3		4						17		70
	5		5						33		2
	6		6						54		9
	7		8								26
	8		9								71
	9		10					22		39	1
	11		12						0		12
	12		13						9		33
	14		15						12		72
	15		16						20		1
	17		18						24		16
	18		19						27	40	22
	20		21						55		34
	22		23								35
	24		25								73
	27		29								4
	29		31	7	2	13	1	23	2	41	5
	31		33		3		2		10		5
	32				5		5		16		7

	35 38		37		10 13 14 16 17 18 21 23 40		7 9 13 16 20 26 28 35 46		17 23 56		24 27 74								
										42	5 13 18 75								
											24	0 4 9 23 30 57	43	0 3 9 14 17 76					
														44	1 7 25 77				
1	0 1 2 3 4 6 7 8 9 11 12 14 15 17 18 20 22 24 26 28 31 34 38	4	0 1 3 4 5 6 7 9 10 11 13 14 16 17 19 21 23 25 27 30 34 36	8	1 2 4 9 10 12 13 16 22 23 32 33 41	14	1 2 3 5 6 7 8 14 17 22 29 47	25	0 8 21 23 36 58	45	11 26 28 29 78								
											46	5 14 32 79							
										26		4 10 18 21 33 59	47	5 9 19 80					
											48			3 16 20 81					
								9	1 2 3 7 9 11 12 17 18 26 34 42				15	2 4 9 13 22 32 48	27	1 7 12 17 34 60	49	3 18 37 82	
											50							8 16 26 27 29 83	
										16		2 10 13 18 21 28 49					28	4 8 12 15 22 61	51
											52								
				2	1 2 3 4 5 7 8 9 10 12 13 15 16 18 20 22 24 26 28 30 35 37	5	0 1 2 4 5 6 7 8 10 11 13 14 16 17 19 21 23 25 26 32 33 36	10	0 1 4 6 7 9 14 23 27 30 34 43				17	1 5 7 22 29 50	29	3 10 16 19 25 62			53
											30								
										18		0 8 14 24 31 38 51			31	6 8 25 64	55	6 9 30 31 88	
											32							2 10 12 31 37 65	56
													11	1 2 4 7 10 11 13	19	3 12 13 16 37 52	33		
											34							3 15 22	58

					17 19 25 33 44				26		36 38 91
						20	2 7 9 26 35 53	35	3 8 14 68	59	8 26 92
								36	0 8 20 21 23 69		

[0234] 其中，行索引 (RowIndex) 也可以称为行号，列索引 (ColumnIndex) 也可以称为列号。

[0235] c) 第二表格如表2所示。

[0236] 表2

H_{BG}	$V_{i,j}$								H_{BG}	$V_{i,j}$							
行索引 i	提升值索引 i_{LS}								行索引 i	提升值索引 i_{LS}							
	0	1	2	3	4	5	6	7		0	1	2	3	4	5	6	7
0	0	0	0	0	0	0	0	0	3	7	2	0	0	6	16	4	9
	0	0	0	0	0	0	0	0		91	0	61	88	130	190	110	109
	0	0	0	0	0	0	0	0		82	251	262	207	244	13	206	61
	0	0	0	0	0	0	0	0		101	371	239	214	78	187	141	63
	0	0	0	0	0	0	0	0		32	343	304	212	183	230	178	0
	0	0	0	0	0	0	0	0		124	375	215	209	20	323	5	17
	0	0	0	0	0	0	0	0		154	341	166	183	106	232	167	164
	0	0	0	0	0	0	0	0		61	256	3	68	275	204	68	3
	0	0	0	0	0	0	0	0		125	271	294	208	115	123	25	98
	0	0	0	0	0	0	0	0		81	308	105	185	225	41	9	25
	0	0	0	0	0	0	0	0		46	262	32	72	11	244	81	97
	0	0	0	0	0	0	0	0		88	311	236	90	246	20	3	95
	0	0	0	0	0	0	0	0		11	368	318	141	216	217	136	221
	0	0	0	0	0	0	0	0		254	374	289	178	205	198	150	86
	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0		37	210	228	120	215	55	157	207
	0	0	0	0	0	0	0	0		13	310	14	153	157	328	164	218
	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0		169	264	140	150	113	221	130	77
1	6	1	0	0	8	1	0	10	4	6	0	0	0	7	14	8	14
	3	5	9	13	7	8	16	7		2	5	314	132	200	157	21	1
	61	352	233	134	112	233	108	128		203	326	137	213	41	271	201	9
	144	272	36	205	155	336	33	34		125	382	298	183	218	98	3	145
	0	0	0	0	0	0	0	0		204	273	252	121	190	284	198	160
	193	243	188	211	99	18	112	150		63	232	311	96	211	121	131	216
	20	306	291	194	228	169	139	141		181	277	235	155	219	144	134	65
	18	286	285	192	51	241	110	69		177	292	261	220	140	140	163	228
	39	227	287	215	14	246	154	167		146	265	116	189	189	137	148	5
	200	336	264	199	154	328	173	207		218	255	223	131	249	346	193	128
	238	247	212	62	218	295	205	151		152	354	43	45	23	294	56	145
	229	302	297	156	240	129	99	3		121	282	129	221	210	327	116	90
	140	381	218	81	214	278	152	178		169	365	181	116	224	134	21	163
	139	220	241	175	72	24	118	35		212	299	278	209	181	98	84	223
	191	281	310	158	125	281	141	116		48	221	317	102	222	111	32	89
	26	205	179	117	129	22	29	179		23	304	314	198	185	119	153	61
	169	303	135	197	221	319	161	75		241	319	190	64	160	70	170	176
	115	366	263	124	229	346	18	173		59	351	29	122	22	257	50	99
	0	0	0	0	0	0	0	0		184	343	316	162	161	326	143	77
	0	0	0	0	0	0	0	0		221	344	132	64	138	341	164	45
	0	0	0	0	0	0	0	0		3	356	266	222	34	341	128	133
	0	263	246	14	109	159	12	204		0	0	0	0	0	0	0	0
2	1	3	0	0	2	12	16	13	5	4	0	0	0	8	17	9	6
	154	331	115	39	243	40	62	79		86	266	312	206	230	4	30	44
	156	242	309	59	19	271	57	182		149	359	288	128	45	306	41	13
	18	247	278	167	226	293	149	68		36	302	242	136	24	199	183	88
	118	365	297	206	220	241	171	119		190	236	153	159	172	18	206	31
	183	342	308	187	41	146	177	176		64	235	286	116	282	189	90	105
	115	323	261	114	114	222	48	190		235	366	217	157	168	133	84	9
	125	220	292	219	161	321	34	117		162	265	298	51	19	71	190	123

	0	0	0	0	0	0	0	0		61	213	67	8	191	133	43	97
	53	201	76	174	242	291	4	46		211	334	291	222	56	11	173	172
	0	0	0	0	0	0	0	0		7	233	280	211	143	13	207	210
	128	344	259	139	54	91	155	127		193	267	282	190	165	327	184	11
	0	0	0	0	0	0	0	0		126	235	75	171	250	285	189	164
	73	377	293	211	183	63	110	203		248	333	250	77	52	236	104	25
	223	298	227	208	267	116	98	126		246	234	316	189	19	13	84	82
	50	319	114	189	122	185	127	93		209	370	264	186	138	157	89	146
	158	350	190	190	155	224	147	39		162	303	115	162	62	62	99	15
	192	259	220	180	68	35	193	89		103	368	72	127	69	198	43	136
	238	197	186	131	179	302	13	197		17	375	201	166	125	134	171	197
	0	0	0	0	0	0	0	0		159	209	254	146	211	226	120	95
	196	276	298	88	106	89	7	95		229	293	130	205	9	168	140	125
	0	0	0	0	0	0	0	0		45	268	146	192	42	147	44	180

[0237] d) 第三表格如表3所示。

[0238] 表3

$\mathbf{H}_{BG}$	$V_{i,j}$								$\mathbf{H}_{BG}$	$V_{i,j}$							
行索引 i	提升值索引 i_{LS}								行索引 i	提升值索引 i_{LS}							
	0	1	2	3	4	5	6	7		0	1	2	3	4	5	6	7
6	7	4	0	0	14	18	20	6	41	15	7	5	7	11	8	0	23
	161	367	102	164	141	53	25	75		60	365	108	209	49	14	52	175
	8	276	149	187	163	101	5	109		215	276	86	199	190	46	67	126
	11	224	310	184	211	226	184	39		138	366	202	66	126	3	121	220
	82	312	254	144	162	169	104	97		62	377	231	115	42	22	88	77
	101	279	301	211	188	191	142	40		0	0	0	0	0	0	0	0
	89	315	216	152	223	159	126	164									
	63	265	198	137	40	192	48	41									
	153	227	132	114	245	252	174	68									
	238	332	184	218	167	48	143	122									
	45	360	221	113	202	242	62	186									
	28	232	88	117	167	56	12	125									
	0	0	0	0	0	0	0	0									
7	1	0	0	0	0	12	17	4	43	2	3	3	1	6	12	20	12
	101	236	316	198	137	131	71	81		30	239	199	173	258	157	63	144
	223	350	67	197	232	94	193	158		28	325	235	187	200	18	55	37
	153	260	292	150	76	244	105	71		69	365	251	146	268	275	114	127
	56	375	133	78	205	282	185	107		103	271	170	54	278	127	40	32
	135	370	62	124	168	278	143	85		0	0	0	0	0	0	0	0
	1	331	186	172	180	231	88	22									
	226	347	185	220	238	35	174	225									
	74	376	248	157	120	217	207	215									
	226	278	26	74	138	266	97	237									
	238	294	304	198	145	132	53	120									
	0	0	0	0	0	0	0	0									
8	5	4	0	0	13	0	16	0	45	0	9	8	6	8	12	19	8
	173	288	269	194	194	18	20	58		30	195	128	161	129	256	192	96
	6	205	215	179	133	214	43	30		26	330	258	120	163	280	20	38
	137	326	45	31	190	289	91	219		8	223	65	188	29	306	162	56
	20	327	4	184	168	247	168	138		0	0	0	0	0	0	0	0
	219	215	224	145	161	9	181	194									
	134	311	136	101	59	20	80	140									
	169	216	201	205	101	282	170	224									
	156	360	59	130	147	56	160	4									
	0	343	275	76	284	35	140	128									
	135	325	248	135	282	322	166	41									
	104	372	281	163	30	323	175	60									
	0	0	0	0	0	0	0	0									
30	13	10	4	10	13	16	23	8	50	1	0	2	2	14	14	13	23
	128	315	126	72	265	69	102	54		46	229	224	168	266	51	120	36
	212	263	215	210	89	16	78	104		218	271	188	130	123	231	144	191
	207	256	92	196	165	173	44	113		116	297	23	204	161	27	68	101
	0	0	0	0	0	0	0	0		43	242	189	83	259	221	19	175
32	4	8	6	10	6	18	10	7	55	12	4	0	11	0	2	3	6
	16	217	0	172	50	176	159	124		187	363	160	103	186	43	172	237
	238	206	227	192	126	221	195	98		239	304	268	198	168	257	3	74
	56	221	210	186	101	74	114	57		90	319	312	11	264	255	33	135
	24	305	291	40	13	62	113	146		0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0									
34	15	8	1	2	5	0	6	0	58	2	5	2	10	5	10	19	16
	94	344	254	92	21	205	60	18		245	370	219	56	206	335	23	163
	69	341	223	56	104	53	108	119		63	383	56	136	285	96	7	2
	114	319	153	101	161	6	50	148		73	238	264	6	93	337	47	7
	0	0	0	0	0	0	0	0		78	366	316	26	146	31	0	216

	8	9	1	10	17	7	12	1									
	176	315	91	121	130	337	72	185									
	138	317	295	121	26	55	102	167									
36	233	270	318	33	220	56	167	202									
	91	378	14	216	90	266	11	128									
	0	0	0	0	0	0	0	0									
	3	10	9	4	8	21	3	28									
	85	268	90	40	169	265	84	0									
	58	0	57	16	97	321	84	24									
40	190	203	134	161	173	209	173	233									
	204	273	251	56	197	78	30	146									
	0	0	0	0	0	0	0	0									

[0239] 另一种可能的实现方式，存储矩阵也可以采用存储全部的连接关系、以及存储矩阵中全部的偏移量的方式。在此情况下，存储矩阵可以根据第一表格和第四表格获得，其中第一表格包括存储矩阵的全部连接关系，第四表格包括存储矩阵的全部非零元素的偏移量；存储矩阵也可以为第五表格，第五表格既包括存储矩阵的全部连接关系，又包括存储矩阵的全部非零元素的偏移值。

[0240] 对于上述实现方式，发送端存储的内容包括：指示序列、第一表格和第四表格，或者指示序列和第五表格。

[0241] 需要说明的是，在不进行分裂拓展的情况下，发送端存储第一表格和第四表格或者存储第五表格，而不存储指示序列。在此情况下，LDPC基矩阵可以为根据目标码率直接读取存储矩阵得到。

[0242] 下面对本申请实施例的存储矩阵的特征进行描述。

[0243] 一种可能的实现方式，存储矩阵所述存储矩阵为 $M \times N$ 的矩阵，存储矩阵可以划分为如图4所示的5部分，具体而言，存储矩阵包括子矩阵A1、子矩阵B1、子矩阵C1、子矩阵D1和子矩阵E1，子矩阵A1为存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列，子矩阵B1为存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列，子矩阵C1为存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列，子矩阵D1为存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列，子矩阵E1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列，其中，子矩阵A1和子矩阵B1构成存储矩阵的核心矩阵，子矩阵C1和子矩阵E1对应于存储矩阵的拓展节点，子矩阵D1和子矩阵E1对应于存储矩阵的拓展行。

[0244] 其中，子矩阵E1为单位矩阵或下三角矩阵。

[0245] 上文所述的指示信息所指示的行对中的第一行属于子矩阵D1和子矩阵E1，相应的第二行属于子矩阵D1和子矩阵E1或者属于子矩阵A1、子矩阵B1和子矩阵C1。

- [0246] 上文所述的第一行的非零元素的偏移值对应于第二行的非零元素的偏移值，具体可以为：第一行的前 n_2 个元素中的非零元素的偏移值对应于第二行的前 n_2 个元素中的非零元素的偏移值。
- [0247] 上文所述的第一行中除拓展节点以外的非零元素的偏移值真包含于第二行中除拓展节点以外的非零元素的偏移值，具体可以为：第一行的前 n_2 个元素中的非零元素的偏移值真包含于第二行的前 n_2 个元素中的非零元素的偏移值。
- [0248] 上文所述的第一行中除拓展节点以外的非零元素的偏移值与固定值之和真包含于第二行中除拓展节点以外的非零元素的偏移值，具体可以为：第一行的前 n_2 个元素中的非零元素的偏移值与固定值之和真包含于第二行的前 n_2 个元素中的非零元素的偏移值。
- [0249] 可选地，当指示序列的第 i 个位置为第一字符时，存储矩阵的前 i 个行中两两正交的第三行的数量小于或者等于指示序列前 $i-1$ 个位置对应的 $i-1$ 个行的最大分裂次数与1之和， i 为大于1的整数。其中，行的分裂次数是该行以及由该行分裂产生的行所进行的总分裂次数，由该行分裂产生的行包括直接或间接由该行分裂产生的行。例如，若行#3分裂产生行#5和#9，行#5分裂产生行#7，行#7分裂产生行#19，则行#5和行#9为直接由行#3分裂得到的行，行#7和行#19为间接由行#3分裂得到的行，行#3的分裂次数为4，行#5的分裂次数为2，行#7的分裂次数为1，行#9和行#19的分裂次数为0。
- [0250] 下面给出存储矩阵的特征的一般化描述。
- [0251] 存储矩阵记为 H_0 ，指示序列记为 θ 。
- [0252] 存储矩阵 H_0 的行与指示序列 θ 中的元素一一对应，存储矩阵 H_0 的行数等于指示序列 θ 的长度；对 $\theta(i) \neq \alpha$ ，有 $N(i) \subseteq N(\theta(i))$ ，其中 N 表示与校验方程相邻的变量节点，即存储矩阵 H_0 除核心矩阵和第一字符对应的行以外，其余的行所包含的变量节点(除拓展节点)真包含于其分裂父节点包含的变量节点；存储矩阵 H_0 除核心矩阵和第一字符对应行以外，其余的行的偏移值与其父节点对应位置的偏移值相差固定常数 k ，当 k 为0时，表明其余的行的偏移值与其父节点对应位置的偏移值相同；存储矩阵 H_0 的拓展节点对角位置取值为1且为下三角结构；存储矩阵为校验矩阵，但非译码矩阵。

- [0253] 给定行 i ，对LDPC基矩阵 H_i ，当前的分裂轮数定义为 H_i 所有行中的最大的分裂次数为 $S(H_i)$ 。显然有，一个校验方程及其所有的分裂子节点的核心部分(即除拓展节点以外的部分)完全正交，即等效译码行数为1，实现其等效译码行数为1的译码并行度为 $S(H_i)+1$ 。若 $\theta(i) = \alpha$ ，则与行 i 满足两两正交的行数小于等于 $S(H_i)+1$ ，且此类行均对应于指示序列中的第一字符，即译码行并行度不大于当前分裂产生的行并行度。这样，在使用传统拓展进行低码率拓展时，随LDPC基矩阵的码率减小低斜率缓慢增加等效译码行数，尽可能少增加额外的硬件复杂度。
- [0254] 存储矩阵的对应于第一字符的行与分裂产生的行之间可以不存在相关性，但是对应第一字符的行相互之间可能会存在相关性，如连接关系相互正交。可选地，可以在指示序列中设置多种第一字符或者说第一字符有多种取值，用来表示传统拓展产生的校验方程的相关性，如取值相同的第一字符对应的存储矩阵中的行之间连接关系相互正交。在此情况下，对于存储矩阵来说，分裂产生的行之间的相关性是指连接关系真包含(以及对应偏移值的关系)，传统拓展产生的行之间的相关性是指连接关系相互正交。
- [0255] 存储矩阵的列重分布，如图8所示：
- [0256] 1、拓展节点以外的变量节点的度数较为正则，非拓展列的列重分布均匀；
- [0257] 2、若生成LDPC基矩阵的过程中执行了至少一次分裂拓展，则存储矩阵的非拓展列的部分或全部的列重大于LDPC基矩阵的相应非拓展列的列重，和/或，存储矩阵的拓展列的部分或全部的列重小于LDPC基矩阵的相应拓展列的列重。
- [0258] 换一种描述方式，LDPC基矩阵的核心部分的列重之和小于存储矩阵中与LDPC基矩阵的核心部分相对应的部分的列重之和，和/或，LDPC基矩阵的拓展部分的列重之和大于存储矩阵中与LDPC基矩阵的拓展部分相对应的部分的列重之和。
- [0259] 存储矩阵的行重分布：
- [0260] 1、存储矩阵行重不仅与分裂轮数有关，也与指示序列的分段、指示序列的取值有关，每段行重趋势不同；与本申请实施例的存储矩阵不同，申请号为PCT/CN2022/132833的专利申请中的存储矩阵行重与分裂轮数强相关，该专利申请中的存储矩阵的对应于同一轮分裂的行的行重均匀，随着分裂轮数递增行重递减，且递减趋势明显。

- [0261] 2、存储矩阵的行重不会随着码率降低而趋于一个小的正整数，且对应的码率无下界；与本申请实施例的存储矩阵不同，申请号为PCT/CN2022/132833的专利申请中的存储矩阵的行重随着分裂轮数增大而减少，最终会趋近于2，对应的码率有一个明确的下界。
- [0262] 3、本申请实施例的存储矩阵会进入分裂拓展和传统拓展的混合区域，且传统拓展所占比例会随码率下降而上升，对应地，指示序列会进入混合区域且第一字符所占的比例会随码率下降逐渐上升。
- [0263] 图9是发送端存储的内容的一个示例。如图8所示，矩阵的第一列为指示序列，其余部分为存储矩阵。存储矩阵的行重由上到下递减，存储矩阵的子矩阵E1可以为单位矩阵，也可以为下三角矩阵。存储矩阵的与第一字符(图8中为指示序列取值为60的位置)对应的行之间存在正交关系。
- [0264] 2) 根据存储矩阵和指示序列得到LDPC基矩阵的方式
- [0265] 给定K个信息比特c，确定校验矩阵H，通过 $H \times \begin{bmatrix} c \\ w \end{bmatrix} = 0$ ，得到N-K个校验比特w，校验矩阵H是由LDPC基矩阵经过提升和平移得到的，以下将LDPC基矩阵记为 H_{BG} 。
- [0266] 以发送端存储指示序列、第一表格、第二表格和第三表格为例，指示序列、第一表格、第二表格和第三表格的描述可以参考上文。
- [0267] H_{BG} 的变量节点与校验节点的连接关系由第一表格得到，所有第一表格中描述的位置在 H_{BG} 中为非零元素，其余位置为零元素。 H_{BG} 的每个非零元素的被拓展为 $Z_c \times Z_c$ 的单位阵平移矩阵，其偏移量由指示序列、第二表格和第三表格得到，具体方式包括以下三种情况：1、核心矩阵的偏移值直接在第二表格中读取；2、传统拓展的行的非零元素的偏移值直接在第三表格中读取；3、分裂拓展的行r的非零元素的偏移值为指示序列 $\theta(r)$ 的行相同位置的偏移值与固定偏移量之和，该固定偏移量为与r相关的值。其中， Z_c 为提升值。
- [0268] 设存储矩阵为 H_0 ，存储矩阵 H_0 的核心校验行数为 M_1 ，列数为 N_1 ，指示序列为 θ 。按照行数i从 M_1 到更大行数的顺序构造矩阵 H_i (前i行 N_1 列的矩阵)，其中 $H_{M_1}(t, k) = H_0(t, k)$ ，对 $1 \leq t \leq M_1$ ， $1 \leq k \leq N_1$ 成立。
- [0269] 对行数i+1：

- [0270] 若 $\theta(i+1) \neq \alpha$ ，则使用第 $i+1$ 行对第 $\theta(i+1)$ 行进行消元来替换第 $\theta(i+1)$ 行，即 $H_{i+1}(\theta(i+1), k) = [H_i(\theta(i+1), k) + H_0(i+1, k)] \pmod{2}$ ，且 $H_{i+1}(i+1, k) = H_0(i+1, k)$ ， $H_{i+1}(t, k) = H_i(t, k)$ 对 $t \neq \theta(i+1)$ ， $1 \leq t \leq i$ ， $1 \leq k \leq N_1$ 成立。
- [0271] 若 $\theta(i+1) = \alpha$ ，则 $H_{i+1}(i+1, k) = H_0(i+1, k)$ ，且 $H_{i+1}(t, k) = H_i(t, k)$ 对 $1 \leq t \leq i$ ， $1 \leq k \leq N_1$ 成立。
- [0272] 此外，在本申请实施例中，可以根据LDPC基矩阵对应的码长、LDPC基矩阵对应的信息位的数量、打孔信息列的数量、以及LDPC基矩阵的信息列的数量，确定指示序列 θ 的长度 R ，其中， R 为满足 $RZ_c \geq N_0 - K_0 + K_1$ 的最小整数， Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为LDPC基矩阵对应的码长； K_0 为LDPC基矩阵对应的信息位的数量； K 为LDPC基矩阵的信息列的数量； K_1 为打孔信息列的数量。
- [0273] 下面对本申请实施例的低码率拓展方式的选取(或者说指示信息的选择)进行描述。
- [0274] 以由矩阵 $H_{m \times n}$ 构造低码率的 $H_{m+1 \times n+1}$ 为例。对于拓展节点，只有最后一个拓展节点为非零元素。对于拓展节点以外的变量节点，有分裂拓展和传统拓展两种方式。
- [0275] 评估准则：分别计算新增的拓展行在分裂拓展和传统拓展下的最优译码门限。
- [0276] 1) 在分裂拓展下，变量节点度数分布 $dv_{H_{m+1 \times n+1}}(1:n) = dv_{H_{m \times n}}(1:n)$ 保持不变，校验节点度数分布 $dc_{H_{m+1 \times n+1}}([1:m] \setminus \{m, f(m)\})$ 与 $H_{m \times n}$ 相同，可优化的空间是 $dc_{H_{m+1 \times n+1}}(m)$ 和 $dc_{H_{m+1 \times n+1}}(f(m))$ ，其中 $f(m)$ 是 m 的分裂父节点。
- [0277] 2) 在传统拓展下，变量节点度数分布 $dv_{H_{m+1 \times n+1}}(1:n) \leq 1 + dv_{H_{m \times n}}(1:n)$ 可进行优化，校验节点度数分布 $dc_{H_{m+1 \times n+1}}(1:m) = dc_{H_{m \times n}}(1:m)$ 。
- [0278] 基本原理：每次拓展都尽可能保持最优边密度。核心矩阵为保证性能需要非常高的边密度，在向低码率拓展过程中为保证低码率性能，整体边密度通过新增的行进行分裂拓展来降低，通过新增的行进行传统拓展来提高。

- [0279] 按照译码门限优化导出的指示序列：高码率时要求边密度高，因此首先进行传统拓展；随着码率降低，较优译码门限对应边密度降低，进入分裂拓展区域；边密度下降到一定程度后进入混合区域。按照译码门限优化得到的指示序列具有明显的分段特征，虽然具体的指示序列不同，但是优化门限产生的序列特征比较明确。
- [0280] 图10是指示序列的两个示例。图10中的分列索引为分裂父校验节点的索引，校验索引为校验节点的索引，纵坐标0以上为分裂拓展，纵坐标以下为传统拓展。
- [0281] 图10左图所示的指示序列的核心校验(或称核心矩阵)以外的校验节点：1、首先是连续的传统拓展；2、然后是连续的分裂拓展；3、然后是分裂拓展和传统拓展交替进行。
- [0282] 图10右图所示的指示序列的核心校验(或称核心矩阵)以外的校验节点：1、首先是分裂拓展和传统拓展交替进行；2、然后是连续的分裂拓展；3、然后是分裂拓展和传统拓展交替进行。
- [0283] 图11是本申请提供的基于LDPC码的通信方法1100的示意性流程图。
- [0284] 方法1100可以由接收端执行，也可以由接收端中的模块或单元执行，为了描述方便，下文统一称为接收端。方法1100可以包括以下内容的至少部分内容。
- [0285] 步骤1101，接收端接收来自发送端的LDPC码字序列。
- [0286] 步骤1102，接收端根据LDPC基矩阵对LDPC码字序列进行译码。
- [0287] 其中，LDPC基矩阵可以是基于存储矩阵和指示信息得到的。这里的LDPC基矩阵可以指接收端实际使用的矩阵，存储矩阵可以指接收端中已存储的矩阵或者协议预定义的矩阵。LDPC基矩阵也可以称为译码矩阵。
- [0288] 接收端的存储矩阵、指示信息、LDPC基矩阵、以及根据存储矩阵和指示信息得到LDPC基矩阵的方式与发送端类似，可以参考发送端的描述，不再赘述。
- [0289] 需要指出的是，接收端和发送端所使用的LDPC基矩阵可以相同，也可以不同。例如，发送端可以仅根据指示信息读取存储矩阵，不进行分裂拓展，接收端可以根据指示信息读取存储矩阵并进行分裂拓展，此时发送端和接收端所使用的LDPC基矩阵可以不同。又例如，发送端可以根据指示信息读取存储矩阵并进行

分裂拓展，接收端可以根据指示信息读取存储矩阵并进行分裂拓展，此时发送端和接收端所使用的LDPC基矩阵可以不同。

[0290] 下面结合图12至图16对本申请实施例的LDPC码的性能进行描述。

[0291] 图12是本申请实施例的LDPC码的等效译码行数的仿真结果。其中的混合拓展对应于本申请实施例的LDPC码。

[0292] 如图12所示，在高码率的核心矩阵和最初传统拓展的部分，本申请实施例的LDPC码的等效译码行数与NR接近；在依靠分裂拓展进行低码率拓展的阶段，本申请实施例的LDPC码的等效译码行数不随着码率的降低而提高；在分裂拓展和传统拓展交织(或者说混合)的阶段，本申请实施例的LDPC码的等效译码行数随着码率降低而缓慢提高。可知，在后两个阶段，本申请实施例的LDPC码的等效译码行数明显低于NR LDPC码。

[0293] 图13是本申请实施例的LDPC码的平均译码迭代次数的仿真结果。其中的混合拓展对应于本申请实施例的LDPC码。图13所示的为1比特粒度(1bit-granularity)的平均译码迭代次数的结果。

[0294] 如图13所示，在高码率阶段，NR LDPC码平均收敛速度在6. x次左右，本申请实施例的LDPC码的收敛速度在3. x次左右，功耗和平均时延相差接近1倍；在低码率阶段，本申请实施例的LDPC码的性能要优于NR LDPC码，在更低信噪比(Signal Noise Ratio, SNR)情况下不打孔、无大列重结构依然具有收敛速度快的特征。

[0295] 图14是本申请实施例的LDPC码的拉齐等效译码行数的仿真结果。其中的混合拓展对应于本申请实施例的LDPC码。

[0296] 结构支撑：1、较为均匀的度数分布；2、无打孔位置；3、分裂拓展的两行的正交特性，低迭代次数译码门限好；4、混合形式的低码率拓展，边密度更优。

[0297] 如图14所示，本申请实施例的LDPC码的拉齐迭代次数：1、极限迭代次数与NR LDPC码性能接近，差距<0.1dB；2、低迭代次数与NR LDPC码相比，性能优势较大，低码率二者性能接近，随码率降低，本申请实施例的LDPC码的优势扩大。

[0298] 图15是本申请实施例的LDPC码的错误平层(error floor)的仿真结果。其中的混合拓展对应于本申请实施例的LDPC码。

- [0299] 如图15所示, 本申请实施例的LDPC码的上三角的拓展结构对于瀑布(waterfall)区间可能有轻微性能损失, 但是由于减少 $(a+b, 0)$ -TS的存在, 对错误平层具有较大好处。
- [0300] 混合拓展的结构支撑: 编码矩阵具有对角结构的拓展节点, 可以支持IR-HARQ、并行编码; 校验矩阵具有上三角结构的拓展节点, 避免小的陷阱集(Trapping Set), 降低错误平层。
- [0301] 与支持IR-HARQ的LDPC码校验矩阵相比, 拓展节点连边会出现在上三角位置; 与纯分裂拓展的产生的校验矩阵相比, 混合拓展的拓展部分会含有一度拓展节点。
- [0302] 图16是本申请实施例的LDPC码的低量化下的性能仿真结果。其中的混合拓展对应于本申请实施例的LDPC码。
- [0303] 如图16所示, 本申请实施例的LDPC码的核心部分的变量节点度数分布正则, 其密度进化更加均衡, 各个节点 v_{all} 幅值相差更小, 在更低bit量化下相较NR LDPC性能更好, 相较浮点性能损失更小。
- [0304] 需要说明的是, 本申请的上述实施例可以独立实施, 也可以以恰当的方式结合在一起实施, 本申请不予限制。
- [0305] 上文结合图6至图16, 详细描述了本申请提供的方法, 下面将结合图17至图18, 详细描述本申请的装置实施例。
- [0306] 可以理解的是, 为了实现上述实施例中功能, 图17或图18中的装置包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到, 结合本申请中所公开的实施例描述的各示例的单元及方法步骤, 本申请能够以硬件或硬件和计算机软件相结合的形式来实现。
- [0307] 图17和图18为本申请的实施例提供的可能的装置的结构示意图。这些装置可以用于实现上述方法实施例中发送端或接收端的功能, 因此也能实现上述方法实施例所具备的有益效果。
- [0308] 如图17所示, 装置10包括收发单元11和处理单元12。
- [0309] 当装置10用于实现上述方法实施例中发送端的功能时, 收发单元11用于: 获取信息比特序列。处理单元12用于: 根据LDPC基矩阵对所述信息比特序列进行LDPC

编码，得到LDPC码字序列。其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同。收发单元11还用于：发送所述LDPC码字序列。

- [0310] 当装置10用于实现上述方法实施例中接收端的功能时，收发单元11用于：接收来自发送端的LDPC码字序列。处理单元12用于：根据LDPC基矩阵对所述LDPC码字序列进行译码。其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同。
- [0311] 可选地，所述LDPC基矩阵的对应于所述第一行的行与所述第一行相同；所述LDPC基矩阵的对应于所述第二行的行是通过所述第一行对所述第二行进行消元得到的。
- [0312] 可选地，所述存储矩阵是根据第一表格、第二表格和第三表格获得，其中，所述第一表格包括所述存储矩阵的变量节点和校验节点的连接关系，所述第二表格包括所述存储矩阵的核心矩阵的非零元素的偏移值，所述第三表格包括所述一个或多个第三行的非零元素的偏移值。
- [0313] 可选地，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。
- [0314] 可选地，所述指示信息采用指示序列的形式，所述指示序列的长度等于所述LDPC基矩阵的行数；所述第一信息包括所述一个或多个行对中的每个行对中的第二行的行号，所述每个行对中的第一行的行号为所述每个行对的第二行的行号在所述指示序列中的位置，所述每个行对中的第二行的行号在所述指示序列

中的位置大于所述每个行对中的所述第一行的行号；所述第二信息包括一个或多个第一字符，所述一个或多个第一字符在所述指示序列中的位置对应于所述一个或多个第三行的行号。

- [0315] 可选地，所述第一字符为所述存储矩阵的行号以外的取值。
- [0316] 可选地，所述第二信息包括多个第一字符，所述多个第一字符的取值相同。
- [0317] 可选地，所述多个第一字符对应的多个第三行中的部分或全部两两正交。
- [0318] 可选地，所述第二信息包括多个第一字符，所述多个第一字符包括至少两个取值，取值相同的第一字符对应的第三行之间两两正交。
- [0319] 可选地，所述指示序列依次包括第一分段、第二分段、第三分段和第四分段；其中，所述第一分段对应于所述存储矩阵的核心矩阵，所述第一分段由一个或多个第一行号组成或者由一个或多个第二字符组成；所述第二分段由一个或多个第三字符组成；所述第三分段由一个或多个第二行号组成；所述第四分段由一个或多个第四字符和一个或多个第三行号交织而成；所述第一信息中的行号依次包括所述一个或多个第一行号、所述一个或多个第二行号和所述一个或多个第三行号，所述一个或多个第一字符依次包括所述一个或多个第二字符、所述一个或多个第三字符和所述一个或多个第四字符。
- [0320] 可选地，当所述第一分段由所述一个或多个第一行号组成时，所述一个或多个第二行号包括所述一个或多个第一行号中的部分或全部。
- [0321] 可选地，所述一个或多个第三行号包括所述一个或多个第四字符对应的第三行的行号中的部分或全部。
- [0322] 可选地，所述第四分段中所述第四字符所占比例随所述LDPC基矩阵对应的码率减小而增加。
- [0323] 可选地，所述指示序列的第*i*个位置为所述第一字符，所述存储矩阵的前*i*个行中两两正交的第三行的数量小于或者等于所述指示序列前*i*-1个位置对应的*i*-1个行的最大分裂次数与1之和，*i*为大于1的整数。
- [0324] 可选地，所述存储矩阵为M×N的矩阵，所述存储矩阵包括子矩阵A1、子矩阵B1、子矩阵C1、子矩阵D1和子矩阵E1，所述子矩阵A1为所述存储矩阵的第1~*m*₁行、第1~*n*₁列，所述子矩阵B1为所述存储矩阵的第1~*m*₁行、第*n*₁+1~*n*₂列，所

述子矩阵C1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列，所述子矩阵D1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列，所述子矩阵E1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列；所述第一行的非零元素的偏移值对应于所述第二行的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值；所述第二行的前 n_2 个元素是由所述子矩阵A1和所述子矩阵B1构成的矩阵中的行或所述子矩阵D1中的行。

[0325] 可选地，所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值；或者，所述第一行的前 n_2 个元素中的非零元素的偏移值与固定值之和真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值。

[0326] 可选地，所述子矩阵E1为下三角矩阵。

[0327] 可选地，所述LDPC基矩阵的核心部分的列重之和小于所述存储矩阵中与所述LDPC基矩阵的核心部分相对应的部分的列重之和；和/或，所述LDPC基矩阵的拓展部分的列重之和大于所述存储矩阵中与所述LDPC基矩阵的拓展部分相对应的部分的列重之和。

[0328] 可选地，所述处理单元12还用于：根据所述LDPC基矩阵对应的码长、所述LDPC基矩阵对应的信息位的数量、打孔信息列的数量以及所述LDPC基矩阵的信息列的数量，读取长度为R的所述指示信息；根据所述存储矩阵和所述指示信息，得到所述LDPC基矩阵；其中，所述R为满足 $RZ_c \geq N_0 - K_0 + K_1$ 的最小整数； Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为所述LDPC基矩阵对应的码长； K_0 为所述LDPC基矩阵对应的信息位的数量； K 为所述LDPC基矩阵的信息列的数量； K_1 为所述打孔信息列的数量。

[0329] 关于上述收发单元11和处理单元12更详细的描述，可参考上述方法实施例中的相关描述，在此不再说明。

[0330] 如图20示，装置20包括处理器21。处理器21与存储器23耦合，存储器23用于存储指令。当装置20用于实现上文所述的方法时，处理器21用于执行存储器23中的指令，以实现上述处理单元12的功能。

- [0331] 可选地，装置20还包括存储器23。
- [0332] 可选地，装置20还包括接口电路22。处理器21和接口电路22之间相互耦合。可以理解的是，接口电路22可以为收发器或输入输出接口。当装置20用于实现上文所述的方法时，处理器21用于执行指令，以实现上述处理单元12的功能，接口电路22用于实现上述收发单元11的功能。
- [0333] 示例性地，当装置20为应用于发送端或接收端的芯片时，该芯片实现上述方法实施例中发送端或接收端的功能。该芯片从发送端或接收端中的其它模块(如射频模块或天线)接收信息，该信息是其他装置发送给发送端或接收端的；或者，该芯片向发送端或接收端中的其它模块(如射频模块或天线)发送信息，该信息是发送端或接收端发送给其他装置的。
- [0334] 本申请还提供一种通信装置，包括处理器，该处理器与存储器耦合，存储器用于存储计算机程序或指令和/或数据，处理器用于执行存储器存储的计算机程序或指令，或读取存储器存储的数据，以执行上文各方法实施例中的方法。可选地，处理器为一个或多个。可选地，该通信装置包括存储器。可选地，存储器为一个或多个。可选地，该存储器与该处理器集成在一起，或者分离设置。
- [0335] 本申请还提供一种计算机可读存储介质，其上存储有用于实现上述各方法实施例中由发送端或接收端执行的方法的计算机指令。
- [0336] 本申请还提供一种计算机程序产品，包含指令，该指令被计算机执行时以实现上述各方法实施例中由发送端或接收端执行的方法。
- [0337] 本申请还提供一种通信系统，该通信系统包括上文各实施例中的发送端或接收端中至少一个。
- [0338] 上述提供的任一种装置中相关内容的解释及有益效果均可参考上文提供的对应的方法实施例，此处不再赘述。
- [0339] 可以理解的是，本申请的实施例中的处理器可以是中央处理单元(central processing unit, CPU)，还可以是其它通用处理器、数字信号处理器(digital signal processor, DSP)、专用集成电路(application specific integrated circuit, ASIC)、现场可编程门阵列(field programmable gate array, FPGA)

或者其它可编程逻辑器件、晶体管逻辑器件，硬件部件或者其任意组合。通用处理器可以是微处理器，也可以是任何常规的处理器的。

[0340] 本申请的实施例中的方法步骤可以通过硬件的方式来实现，也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成，软件模块可以被存放于随机存取存储器、闪存、只读存储器、可编程只读存储器、可擦除可编程只读存储器、电可擦除可编程只读存储器、寄存器、硬盘、移动硬盘、只读光盘存储器(compact disc read-only memory, CD-ROM)或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于ASIC中。另外，该ASIC可以位于发送端或接收端中。当然，处理器和存储介质也可以作为分立组件存在于发送端或接收端中。

[0341] 在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时，全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，例如，软盘、硬盘、磁带；也可以是光介质，例如，数字视频光盘；还可以是半导体介质，例如，固态硬盘。

[0342] 在本申请的各个实施例中，如果没有特殊说明以及逻辑冲突，不同的实施例之间的术语和/或描述具有一致性、且可以相互引用，不同的实施例中的技术特征根据其内在的逻辑关系可以组合形成新的实施例。

- [0343] 可以理解的是，在本申请的实施例中涉及的各种数字编号仅为描述方便进行的区分，并不用来限制本申请的实施例的范围。上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定。
- [0344] 除非另有说明，本申请实施例所使用的所有技术和科学术语与本申请的技术领域的技术人员通常理解的含义相同。本申请中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请的范围。应理解，上述为举例说明，上文的例子仅仅是为了帮助本领域技术人员理解本申请实施例，而非要将申请实施例限制于所示例的具体数值或具体场景。本领域技术人员根据上文所给出的例子，显然可以进行各种等价的修改或变化，这样的修改和变化也落入本申请实施例的范围内。
- [0345] 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权利要求书

- [权利要求 1] 一种基于低密度奇偶校验LDPC码的通信方法，其特征在于，包括：
获取信息比特序列；
根据LDPC基矩阵对所述信息比特序列进行LDPC编码，得到LDPC码字序列，其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同；
发送所述LDPC码字序列。
- [权利要求 2] 一种基于低密度奇偶校验LDPC码的通信方法，其特征在于，包括：
接收来自发送端的LDPC码字序列；
根据LDPC基矩阵对所述LDPC码字序列进行译码，其中，所述LDPC基矩阵是基于存储矩阵和指示信息得到的，所述指示信息包括第一信息和第二信息，所述第一信息用于指示一个或多个行对，所述一个或多个行对中的每个行对对应于所述存储矩阵的两行，所述两行中的第一行的非零元素的偏移值对应于所述两行中的第二行的非零元素的偏移值，所述第二信息用于指示一个或多个第三行，所述LDPC基矩阵的所述一个或多个第三行与所述存储矩阵的所述一个或多个三行相同。
- [权利要求 3] 根据权利要求1或2所述的方法，其特征在于，
所述LDPC基矩阵的对应于所述第一行的行与所述第一行相同；
所述LDPC基矩阵的对应于所述第二行的行是通过所述第一行对所述第二行进行消元得到的。
- [权利要求 4] 根据权利要求1至3中任一项所述的方法，其特征在于，

所述存储矩阵是根据第一表格、第二表格和第三表格获得，其中，所述第一表格包括所述存储矩阵的变量节点和校验节点的连接关系，所述第二表格包括所述存储矩阵的核心矩阵的非零元素的偏移值，所述第三表格包括所述一个或多个第三行的非零元素的偏移值。

[权利要求 5] 根据权利要求1至4中任一项所述的方法，其特征在于，所述指示信息所采用的形式包括：指示序列、映射表格、或映射对中的至少一个。

[权利要求 6] 根据权利要求5所述的方法，其特征在于，所述指示信息采用指示序列的形式，所述指示序列的长度等于所述LDPC基矩阵的行数；所述第一信息包括所述一个或多个行对中的每个行对中的第二行的行号，所述每个行对中的第一行的行号为所述每个行对的第二行的行号在所述指示序列中的位置，所述每个行对中的第二行的行号在所述指示序列中的位置大于所述每个行对中的所述第一行的行号；所述第二信息包括一个或多个第一字符，所述一个或多个第一字符在所述指示序列中的位置对应于所述一个或多个第三行的行号。

[权利要求 7] 根据权利要求6所述的方法，其特征在于，所述第一字符为所述存储矩阵的行号以外的取值。

[权利要求 8] 根据权利要求6或7所述的方法，其特征在于，所述第二信息包括多个第一字符，所述多个第一字符包括至少两个取值，取值相同的第一字符对应的第三行之间两两正交。

[权利要求 9] 根据权利要求6至8中任一项所述的方法，其特征在于，所述指示序列依次包括第一分段、第二分段、第三分段和第四分段；其中，所述第一分段对应于所述存储矩阵的核心矩阵，所述第一分段由一个或多个第一行号组成或者由一个或多个第二字符组成；所述第二分段由一个或多个第三字符组成；所述第三分段由一

个或多个第二行号组成；所述第四分段由一个或多个第四字符和一个或多个第三行号交织而成；

所述第一信息中的行号依次包括所述一个或多个第一行号、所述一个或多个第二行号和所述一个或多个第三行号，所述一个或多个第一字符依次包括所述一个或多个第二字符、所述一个或多个第三字符和所述一个或多个第四字符。

[权利要求 10] 根据权利要求9所述的方法，其特征在于，
当所述第一分段由所述一个或多个第一行号组成时，所述一个或多个第二行号包括所述一个或多个第一行号中的部分或全部。

[权利要求 11] 根据权利要求9或10所述的方法，其特征在于，
所述一个或多个第三行号包括所述一个或多个第四字符对应的第三行的行号中的部分或全部。

[权利要求 12] 根据权利要求9至11中任一项所述的方法，其特征在于，
所述第四分段中所述第四字符所占比例随所述LDPC基矩阵对应的码率减小而增加。

[权利要求 13] 根据权利要求6至12中任一项所述的方法，其特征在于，
所述指示序列的第 i 个位置为所述第一字符，所述存储矩阵的前 i 个行中两两正交的第三行的数量小于或者等于所述指示序列前 $i-1$ 个位置对应的行的最大分裂次数与1之和， i 为大于1的整数。

[权利要求 14] 根据权利要求1至13中任一项的方法，其特征在于，
所述存储矩阵为 $M \times N$ 的矩阵，所述存储矩阵包括子矩阵A1、子矩阵B1、子矩阵C1、子矩阵D1和子矩阵E1，所述子矩阵A1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $1 \sim n_1$ 列，所述子矩阵B1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_1+1 \sim n_2$ 列，所述子矩阵C1为所述存储矩阵的第 $1 \sim m_1$ 行、第 $n_2+1 \sim N$ 列，所述子矩阵D1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $1 \sim n_2$ 列，所述子矩阵E1为所述存储矩阵的第 $m_1+1 \sim M$ 行、第 $n_2+1 \sim N$ 列；

所述第一行的非零元素的偏移值对应于所述第二行的非零元素的偏移值，包括：所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值；
 所述第二行的前 n_2 个元素是由所述子矩阵A1和所述子矩阵B1构成的矩阵中的行或所述子矩阵D1中的行。

[权利要求 15] 根据权利要求14所述的方法，其特征在于，所述第一行的前 n_2 个元素中的非零元素的偏移值对应于所述第二行的前 n_2 个元素中的非零元素的偏移值，包括：
 所述第一行的前 n_2 个元素中的非零元素的偏移值真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值；或者，
 所述第一行的前 n_2 个元素中的非零元素的偏移值与固定值之和真包含于所述第二行的前 n_2 个元素中的非零元素的偏移值。

[权利要求 16] 根据权利要求14或15所述的方法，其特征在于，
 所述子矩阵E1为下三角矩阵。

[权利要求 17] 根据权利要求1至16中任一项所述的方法，其特征在于，
 所述LDPC基矩阵的核心部分的列重之和小于所述存储矩阵中与所述LDPC基矩阵的核心部分相对应的部分的列重之和；和/或，
 所述LDPC基矩阵的拓展部分的列重之和大于所述存储矩阵中与所述LDPC基矩阵的拓展部分相对应的部分的列重之和。

[权利要求 18] 根据权利要求1至17中任一项所述的方法，其特征在于，所述方法还包括：
 根据所述LDPC基矩阵对应的码长、所述LDPC基矩阵对应的信息位的数量、打孔信息列的数量、以及所述LDPC基矩阵的信息列的数量，读取长度为R的所述指示信息；
 根据所述存储矩阵和所述指示信息，得到所述LDPC基矩阵；
 其中，所述R为满足 $RZ_c \geq N_0 - K_0 + K_1$ 的最小整数； Z_c 为提升值，且 Z_c 为 Z_c 列表中满足 $KZ_c \geq K_0$ 的最小的 Z_c ； N_0 为所述LDPC基矩阵对应的码

长; K_0 为所述LDPC基矩阵对应的信息位的数量; K 为所述LDPC基矩阵的信息列的数量, K_1 为所述打孔信息列的数量。

- [权利要求 19] 一种通信装置, 其特征在于, 包括用于执行如权利要求1、3至18中任一项所述的方法或者如权利要求2至18中任一项所述的方法的模块或单元。
- [权利要求 20] 一种通信装置, 其特征在于, 包括:
处理器, 用于执行存储器中存储的计算机程序, 以使得所述装置执行如权利要求1、3至18中任一项所述的方法, 或者执行如权利要求2至18中任一项所述的方法。
- [权利要求 21] 根据权利要求20所述的装置, 其特征在于, 所述装置还包括所述存储器。
- [权利要求 22] 根据权利要求20或21所述的装置, 其特征在于, 所述装置为芯片。
- [权利要求 23] 一种计算机可读存储介质, 其特征在于, 所述计算机可读存储介质上存储有计算机程序, 当所述计算机程序在计算机上运行时, 使得所述计算机执行如权利要求1、3至18中任一项所述的方法, 或者执行如权利要求2至18中任一项所述的方法。
- [权利要求 24] 一种计算机程序产品, 其特征在于, 所述计算机程序产品包括用于执行如权利要求1、3至18中任一项所述的方法或者如权利要求2至18中任一项所述的方法的指令。
- [权利要求 25] 一种通信系统, 其特征在于, 包括:
用于执行如权利要求1、3至18中任一项所述的方法的发送端; 以及
用于执行如权利要求2至18中任一项所述的方法的接收端。