

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、酸化物半導体を用いて形成された半導体装置およびその製造方法に関し、特に、液晶表示装置や有機ＥＬ表示装置のアクティブマトリクス基板およびその製造方法に関する。ここで、半導体装置は、アクティブマトリクス基板やそれを備える表示装置を含む。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「ＴＦＴ」）などのスイッチング素子を備えている。スイッチング素子としてＴＦＴを備えるアクティブマトリクス基板はＴＦＴ基板と呼ばれる。

[0003] ＴＦＴとしては、従来から、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0004] 近年、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成できる。

[0005] 特許文献１には、酸化物半導体ＴＦＴを備えるＴＦＴ基板の製造方法が開示されている。特許文献１に記載の製造方法によると、酸化物半導体層の一部を低抵抗化して画素電極を形成することにより、ＴＦＴ基板の製造工程数を削減することができる。

[0006] 近年、液晶表示装置等の高精細化が進むに連れて、画素開口率の低下が問

題となっている。なお、画素開口率とは、表示領域に占める画素（例えば、透過型液晶表示装置において、表示に寄与する光を透過する領域）の面積比率をいい、以下では、単に、「開口率」という。

[0007] 特に、モバイル用途の中小型の透過型液晶表示装置は、表示領域の面積が小さいので、当然に個々の画素の面積も小さく、高精細化による開口率の低下が顕著になる。また、モバイル用途の液晶表示装置の開口率が低下すると、所望の輝度を得るために、バックライトの輝度を増大させる必要があり、消費電力の増大を招くという問題も起こる。

[0008] 高い開口率を得るためには、画素毎に設けられるＴＦＴや補助容量などの不透明な材料で形成される素子の占める面積を小さくすればよいが、ＴＦＴや補助容量は、当然に、その機能を果たすために最低限必要なサイズがある。ＴＦＴとして酸化物半導体ＴＦＴを用いると、アモルファスシリコンＴＦＴを用いる場合よりも、ＴＦＴを小型化できるという利点を得られる。なお、補助容量は、画素の液晶層（電氣的には、「液晶容量」と呼ばれる）に印加された電圧を保持するために、液晶容量に対して電氣的に並列に設けられる容量であり、一般に、補助容量の少なくとも一部は画素と重なるように形成される。

先行技術文献

特許文献

[0009] 特許文献1：特開２０１１－９１２７９号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、高開口率化に対する要求は強く、酸化物半導体ＴＦＴを用いるだけでは、その要求に応えられない。また、表示装置の低価格化も進んでおり、高精細化で、高開口率の表示装置を安価に製造する技術の開発も求められている。

[0011] そこで、本発明の一実施形態は、簡便なプロセスで製造することができ、

且つ、従来よりも高精細で高開口率の表示装置を実現することが可能な TFT 基板およびその製造方法を提供することを主な目的とする。

課題を解決するための手段

- [0012] 本発明による実施形態の半導体装置は、基板と、前記基板の上に形成されたゲート電極および第 1 透明電極と、前記ゲート電極および前記第 1 透明電極の上に形成された第 1 の絶縁層と、前記第 1 の絶縁層の上に形成された酸化物半導体層と、前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、前記ドレイン電極と電氣的に接続された第 2 透明電極とを有し、前記酸化物半導体層の少なくとも一部は、前記第 1 の絶縁層を介して前記ゲート電極と重なり、前記第 1 透明電極の少なくとも一部は、前記第 1 の絶縁層を介して前記第 2 透明電極と重なり、かつ、前記酸化物半導体層および前記第 2 透明電極は、同一の酸化物膜から形成されている。
- [0013] ある実施形態において、前記第 2 透明電極の上に前記ドレイン電極が形成され、前記第 2 透明電極は前記ドレイン電極に直接接している。
- [0014] ある実施形態において、前記第 2 透明電極は、前記酸化物半導体層よりも高い濃度で不純物を有する。
- [0015] ある実施形態において、上述の半導体装置は、前記ゲート電極と前記基板との間に形成された第 2 の絶縁層をさらに有し、前記第 2 の絶縁層は、前記第 1 透明電極上に形成されている。
- [0016] ある実施形態において、上述の半導体装置は、前記ゲート電極上に形成された第 2 の絶縁層をさらに有し、前記第 1 透明電極は前記第 2 の絶縁層の上に形成されている。
- [0017] ある実施形態において、上述の半導体装置は、前記ソース電極および前記ドレイン電極の上に形成された絶縁保護層をさらに有し、前記絶縁保護層は、前記酸化物半導体層のチャネル領域と接するように形成されており、前記絶縁保護層は、酸化物から形成されている。
- [0018] ある実施形態において、前記第 1 の絶縁層は、酸化物絶縁層を含み、前記酸化物絶縁層は、前記酸化物半導体層と接している。

- [0019] ある実施形態において、前記酸化物膜は、 In 、 Ga および Zn を含む。
- [0020] ある実施形態において、前記酸化物半導体層は In-Ga-Zn-O 系の半導体を含む。
- [0021] 本発明による実施形態の半導体装置の製造方法は、基板を用意する工程（a）と、前記基板上に、ゲート電極および第1透明電極を形成する工程（b）と、前記ゲート電極および前記第1透明電極の上に第1の絶縁層を形成する工程（c）と、前記第1の絶縁層の上に酸化物半導体膜を形成する工程（d）と、前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程（e）と、前記酸化物半導体膜の一部を低抵抗化させる低抵抗化処理を行うことによって、第2透明電極を形成するとともに、低抵抗化されなかった前記酸化物半導体膜の部分からなる酸化物半導体層を形成する工程であって、前記酸化物半導体層の少なくとも一部が前記第1の絶縁層を介して前記ゲート電極と重なり、前記第2透明電極の少なくとも一部が前記第1の絶縁層を介して前記第1透明電極の少なくとも一部と重なる、工程（f）とを包含する。
- [0022] ある実施形態において、前記工程（f）は、前記酸化物半導体膜の前記一部に不純物を注入する工程を含む。
- [0023] ある実施形態において、前記工程（b）は、前記基板上に前記第1透明電極を形成し、前記第1透明電極上に第2の絶縁層を形成する工程と、前記第2の絶縁層上に前記ゲート電極を形成する工程とを包含する。
- [0024] ある実施形態において、前記工程（b）は、前記基板上に前記ゲート電極を形成する工程と、前記ゲート電極上に第2の絶縁層を形成する工程と、前記第2の絶縁層上に前記第1透明電極を形成する工程とを包含する。
- [0025] ある実施形態において、前記工程（f）は、前記低抵抗化処理を行う前に、前記酸化物半導体膜のチャネル領域を保護する保護層を形成する工程（f2）を含む。
- [0026] ある実施形態において、前記基板の法線方向から見たとき、前記保護層の端部は前記ドレイン電極と重なる。

[0027] ある実施形態において、前記酸化物半導体膜は In-Ga-Zn-O 系の半導体を含む。

発明の効果

[0028] 本発明の実施形態によると、簡便なプロセスで製造することができ、且つ、従来よりも高精細で高開口率の表示装置を実現することが可能な TFT 基板およびその製造方法が提供される。

図面の簡単な説明

[0029] [図1] (a) は、本発明による実施形態における TFT 基板 100A の模式的な平面図であり、(b) は、(a) の A1-A1' 線に沿った TFT 基板 100A の模式的な断面図である。

[図2] (a) ~ (c) は、TFT 基板 100A を備える液晶表示装置を説明する模式的な断面図である。

[図3] (a) は、改変例の TFT 基板 100A' の模式的な平面図であり、(b) は、(a) の A2-A2' 線に沿った TFT 基板 100A' の模式的な断面図である。

[図4] (a) ~ (f) は、本発明による実施形態における TFT 基板 100A の製造工程の一例を説明する模式的な工程断面図である。

[図5] 本発明による他の実施形態における TFT 基板 100B の模式的な断面図である。

[図6] (a) ~ (c) は、本発明による他の実施形態における TFT 基板 100B の製造工程を説明する模式的な工程断面図である。

発明を実施するための形態

[0030] 以下、図面を参照しながら、本発明による実施形態の半導体装置を説明する。本実施形態の半導体装置は、酸化物半導体からなる活性層を有する薄膜トランジスタ（酸化物半導体 TFT）を備える。なお、本実施形態の半導体装置は、酸化物半導体 TFT を備えていればよく、アクティブマトリクス基板、各種表示装置、電子機器などを広く含む。

[0031] ここでは、液晶表示装置に用いられる酸化物半導体 TFT を例に本発明に

よる実施形態の半導体装置を説明する。

[0032] 図1(a)は本実施形態によるTF T基板100Aの模式的な平面図であり、図1(b)は図1(a)のA1-A1'線に沿った半導体装置(TF T基板)100Aの模式的な断面図である。

[0033] TF T基板100Aは、基板1と、基板1の上に形成されたゲート電極3および第1透明電極2と、ゲート電極3および第1透明電極2の上に形成された絶縁層4と、絶縁層4の上に形成された酸化物半導体層5と、酸化物半導体層5に電氣的に接続されたソース電極6sおよびドレイン電極6dと、ドレイン電極6dと電氣的に接続された第2透明電極7とを有する。第1透明電極2の少なくとも一部は、絶縁層4を介して第2透明電極7と重なっている。酸化物半導体層5の少なくとも一部は、絶縁層4を介してゲート電極3と重なっている。酸化物半導体層5および第2透明電極7は、同一の酸化物膜から形成されている。

[0034] TF T基板100Aでは、第1透明電極2の少なくとも一部が絶縁層4を介して第2透明電極7と重なっていることにより補助容量を形成している。従って、TF T基板100Aが有する補助容量は透明なので(可視光を透過するので)、開口率を低下させることがない。従って、TF T基板100Aは、従来のように金属膜(ゲートメタル層またはソースメタル層)を用いて形成された不透明な電極を有する補助容量を備えるTF T基板よりも、高い開口率を有し得る。また、補助容量によって開口率が低下することがないので、補助容量の容量値(補助容量の面積)を必要に応じて、大きくできるという利点も得られる。

[0035] さらに、第2透明電極7の上にドレイン電極6dが形成され、第2透明電極7はドレイン電極6dに直接接していることが好ましい。このような構造を採用すると、第2透明電極7をドレイン電極6dの略端部まで形成することができるので、TF T基板100Aは、特許文献1に記載されているTF T基板よりも高い開口率を有し得る。

[0036] TF T基板100Aにおいて、基板1上に第1透明電極2が形成され、第

1 透明電極 2 上に絶縁層 4 a が形成され、絶縁層 4 a 上にゲート電極 3 が形成されている。さらに、T F T 基板 1 0 0 A は、ソース電極 6 s およびドレイン電極 6 d の上に形成された絶縁保護層 8 を有し、絶縁保護層 8 は、酸化物半導体層 5 のチャネル領域と接するように形成されている。絶縁保護層 8 は、例えば酸化物から形成されている。

[0037] 次に、T F T 基板 1 0 0 A の各構成要素を詳細に説明する。

[0038] 基板 1 は、典型的には透明基板であり、例えばガラス基板である。ガラス基板の他、プラスチック基板を用いることもできる。プラスチック基板は、熱硬化性樹脂または熱可塑性樹脂で形成された基板、さらには、これらの樹脂と無機繊維（例えば、ガラス繊維、ガラス繊維の不織布）との複合基板を含む。耐熱性を有する樹脂材料としては、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルホン（P E S）、アクリル樹脂、ポリアミド樹脂を例示することがきる。また、反射型液晶表示装置に用いる場合には、基板 1 として、シリコン基板を用いることもできる。

[0039] 第 1 透明電極 2 は、透明導電膜（例えば I T O（Indium Tin Oxide）、または I Z O 膜）から形成されている。第 1 透明電極 2 の厚さは、例えば 2 0 n m 以上 2 0 0 n m 以下（本実施形態において第 1 透明電極 2 の厚さは約 1 0 0 n m）である。

[0040] ゲート電極 3 は、ゲート配線 3' に電氣的に接続されている。ゲート電極 3 およびゲート配線 3' は、例えば、上層が W（タングステン）層であり、下層が T a N（窒化タンタル）層である積層構造を有する。このほか、ゲート電極 3 およびゲート配線 3' は、M o（モリブデン）／A l（アルミニウム）／M o から形成された積層構造を有してもよく、単層構造、2 層構造、4 層以上の積層構造を有してもよい。さらに、ゲート電極 3 a は、C u（銅）、A l、C r（クロム）、T a（タンタル）、T i（チタン）、M o および W から選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ゲート電極 3 の厚さは約 5 0 n m 以上 6

00 nm以下（本実施形態において、ゲート電極 3 の厚さは約 420 nm）である。

[0041] 絶縁層（ゲート絶縁層）4 は、絶縁層 4 b と絶縁層 4 c とを有する。絶縁層 4 c は酸化物絶縁層を含むことが好ましく、酸化物絶縁層は酸化物半導体層 5 と直接接触していることが好ましい。酸化物絶縁層が酸化物半導体層 5 と直接接触すると、酸化物絶縁層に含まれる酸素が酸化物半導体層 5 に供給され、酸化物半導体層 5 の酸素欠損による半導体特性の劣化を防ぐことができる。絶縁層 4 c は例えば SiO_2 （酸化シリコン）層である。絶縁層 4 a および絶縁層 4 b は例えば SiN_x （窒化シリコン）層である。本実施形態において、絶縁層 4 a の厚さは約 100 nm である。絶縁層 4 b の厚さは約 325 nm であり、絶縁層 4 c の厚さは約 50 nm であり、ゲート絶縁層 4 の厚さは約 375 nm である。絶縁層 4 a およびゲート絶縁層 4 としては、例えば SiO_2 （酸化シリコン）、 SiN_x （窒化シリコン）、 SiO_xN_y （酸化窒化シリコン、 $x > y$ ）、 SiN_xO_y （窒化酸化シリコン、 $x > y$ ）、 Al_2O_3 （酸化アルミニウム）または酸化タンタル（ Ta_2O_5 ）から形成された単層または積層を用いることができる。ゲート絶縁層 4 の厚さは、例えば約 50 nm 以上 600 nm 以下である。なお、基板 1 からの不純物などの拡散防止のため、絶縁層 4 a および絶縁層 4 b は SiN_x 、または SiN_xO_y （窒化酸化シリコン、 $x > y$ ）から形成されることが好ましい。絶縁層 4 c は酸化物半導体層 5 の半導体特性の劣化防止の観点から、 SiO_2 または SiO_xN_y （酸化窒化シリコン、 $x > y$ ）から形成されることが好ましい。さらに、低い温度でゲートリーク電流の少ない緻密なゲート絶縁層 4 を形成させるには、Ar（アルゴン）などの希ガスを用いながらゲート絶縁層 4 を形成するとよい。

[0042] 酸化物半導体層 5 は、例えば In-Ga-Zn-O 系の半導体（以下、「IGZO 系半導体」と略する。）を含む。ここで、IGZO 系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga および Zn の割合（組成比）は特に限定されず、例えば In : Ga : Zn = 2 : 2 : 1、In : Ga : Zn = 1 : 1 : 1、In : Ga :

$Zn = 1 : 1 : 2$ 等を含む。IGZO系半導体は、アモルファスでもよいし、結晶質でもよい。結晶質IGZO系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質IGZO系半導体が好ましい。このようなIGZO系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0043] 酸化物半導体層5を構成する酸化物半導体材料は、IGZO系半導体に限定されず、例えばZn-O系半導体(ZnO)、In-Zn-O系半導体(IZO(登録商標))、Zn-Ti-O系半導体(ZTO)、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO(酸化カドニウム)、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体(例えば $In_2O_3-SnO_2-ZnO$)、In-Ga-Sn-O系半導体などであってもよい。さらに、酸化物半導体層5は、1族元素、13族元素、14族元素、15族元素および17族元素等のうち一種、又は複数種の不純物元素が添加されたZnOの非晶質(アモルファス)状態、多結晶状態又は非晶質状態と多結晶状態が混在する微結晶状態のもの、又は何も不純物元素が添加されていないものを含んでもよい。酸化物半導体層5として、アモルファス酸化物半導体層を用いると、低温で製造でき、かつ、高い移動度を実現できる。酸化物半導体層5の厚さは例えば約50nmである。酸化物半導体層5の厚さは、例えば約30nm以上約100nm以下であってもよい。

[0044] ソース電極6sおよびドレイン電極6dは、例えば、Ti/Al/Tiから形成された積層構造を有する。このほか、ソース電極6sおよびドレイン電極6dは、Mo/Al/Moから形成された積層構造を有してもよく、単層構造、2層構造または4層以上の積層構造を有してもよい。さらに、ソース電極6sおよびドレイン電極6dは、Al、Cr、Ta、Ti、MoおよびWから選ばれた元素、またはこれらの元素を成分とする合金もしくは金属窒化物などから形成されてもよい。ソース電極6sおよびドレイン電極6dの厚さは、それぞれ約50nm以上600nm以下(本実施形態において、

ソース電極 6 s およびドレイン電極の厚さは約 350 nm) である。

[0045] 絶縁保護層 8 は、酸化物半導体層 5 のチャネル領域と接するように形成されている。絶縁保護層 8 は酸化物（例えば SiO_2 ）から形成されることが好ましい。絶縁保護層 8 が酸化物から形成されると、上述したように酸化物半導体層 5 の酸素欠損による半導体特性の劣化を防ぐことができる。このほか絶縁保護層 8 は、例えば SiON （酸化窒化シリコン、窒化酸化シリコン）、 Al_2O_3 または Ta_2O_5 から形成され得る。絶縁保護層 8 の厚さは、例えば約 50 nm 以上 300 nm 以下（本実施形態において、絶縁保護層 8 の厚さは約 150 nm）である。

[0046] 第 2 透明電極 7 は、例えば In-Ga-Zn-O 系の酸化物（ IGZO 系酸化物）を含む導電体層である。第 2 透明電極 7 の厚さは例えば約 50 nm である。第 2 透明電極 7 の厚さは、例えば約 20 nm 以上約 200 nm 以下であってもよい。詳細は後述するが、第 2 透明電極 7 と酸化物半導体層 5 とは同じ透明な酸化物膜から形成されている。第 2 透明電極 7 と酸化物半導体層 5 とを同一の酸化物膜から形成すると、製造プロセスが簡略化でき製造コストを削減し得る。酸化物膜としては、例えば、 IGZO 系半導体膜などの IGZO 系酸化物を含む膜を用いることができる。なお、前述のように、本明細書では、 IGZO 系酸化物のうち半導体特性を示すものを IGZO 系半導体と略する。

[0047] 詳細は後述するが、第 2 透明電極 7 は、酸化物半導体層 5 よりも高い濃度で p 型不純物（例えば、B（ボロン））または n 型不純物（例えば、P（リン））を含む。

[0048] 次に、図 2 を参照しながら、TFT 基板 100A を備える液晶表示装置について説明する。図 2 (a) ~ 図 2 (c) は、TFT 基板 100A を備える液晶表示装置の模式的な断面図である。図 2 (a) ~ 図 2 (c) に示す破線矢印は、電界方向を表している。

[0049] 図 2 (a) に示すように、TFT 基板 100A は、例えば、Fringe Field Switching (FFS) モードの液晶表示装置 500 に用いられる。このとき、

下層の第1透明電極2を共通電極（共通電圧または対向電圧が供給される）とし、上層の第2透明電極7を画素電極（表示信号電圧が供給される）として用いる。第2透明電極7には、少なくとも1以上のスリットが設けられる。このような構造のFFSモードの液晶表示装置は、例えば、特開2011-53443号公報に開示されている。特開2011-53443号公報の開示内容の全てを参考のために本明細書に援用する。

[0050] 液晶表示装置500は、TFT基板100Aおよび対向基板200と、TFT基板100Aと対向基板200との間に形成された液晶層50とを有する。液晶表示装置500において、対向基板200の液晶層50側は、透明電極（例えばITO）などから形成され得た対向電極を備えていない。TFT基板100Aに形成された第1透明電極（共通電極）2と第2透明電極（画素電極）7とにより生じた横方向の電界により、液晶層50中の液晶分子の配向を制御して、表示を行う。

[0051] TFT基板100Aでは、第1透明電極（共通電極）2が第2透明電極（画素電極）7よりも基板1側にある。これにより、上述したFFSモードの液晶表示装置500だけでなく、様々な液晶モードの液晶表示装置にTFT基板100Aを用いることができる。

[0052] 例えば、図2（b）に示すように、対向基板200の液晶層側に対向電極27を設けて、対向電極27と第2透明電極（画素電極）7とにより生じる縦電界により液晶層50の液晶分子の配向を制御して表示させる縦電界モードの液晶表示装置600にTFT基板100Aを用いることができる。この場合、第2透明電極7には複数のスリットを設けなくてもよい。

[0053] さらに、図2（c）に示すように、対向電極200の液晶層側に対向電極27を設け、第2透明電極（画素電極）7には複数のスリットを設けて、第2透明電極（画素電極）7と第1透明電極（共通電極）2とにより生じる横電界と、第2透明電極（画素電極）7と対向電極27とにより生じる縦電界とにより、液晶層50の液晶分子の配向を制御して表示させる縦横電界モードの液晶表示装置700にTFT基板100Aを用いることができる。この

ような液晶表示装置 700 は、例えば国際公開第 2012/053415 号に記載されている。

[0054] 以上から、TFT 基板 100A は、画素電極が共通電極よりも基板側にある TFT 基板よりも各種の液晶表示モードに対する高い適用性を有する。

[0055] TFT 基板 100A は、図 3 に示す TFT 基板 100A' に改変し得る。図 3 (a) は、改変例の TFT 基板 100A' の模式的な平面図であり、図 3 (b) は、図 3 (a) の A2-A2' 線に沿った TFT 基板 100A' の模式的な断面図である。

[0056] 図 3 (a) および図 3 (b) に示す TFT 基板 100A' は、ゲート配線 3' 上に酸化物半導体層 5 を有し、基板 1 の法線方向から見たとき、ゲート配線 3' とソース電極 6s およびドレイン電極 6d とが重なる構造を有する点で、TFT 基板 100A とは異なる。この場合、ゲート配線 3' がゲート電極として機能する。TFT 基板 100A' は、TFT 基板 100A よりもさらに高い開口率を有し得る。

[0057] なお、TFT 基板 100A' は、TFT 基板 100A に比べて、ゲート・ドレイン間の寄生容量 (C_{gd}) が大きいという欠点を有している。よく知られているように、ゲート・ドレイン間の寄生容量 (C_{gd}) が大きいと、フィードスルー電圧が大きくなる。フィードスルー電圧は、画像の焼き付きや、フリッカーの原因となる。フィードスルー電圧を低下させるためには、画素の全容量 (液晶容量 C_{lc} + 補助容量 C_s + ゲート・ドレイン間の寄生容量 C_{gd}) に対するゲート・ドレイン間の寄生容量 (C_{gd}) の比率を小さくすればよい。TFT 基板 100A' は、透明電極を備える透明な補助容量を有しているので、開口率を低下させることなく、補助容量の面積を大きくすることによって容量値を増大させることができる。すなわち、TFT 基板 100A' のように、ゲート・ドレイン間の寄生容量 (C_{gd}) が大きくなる構造を採用しても、フィードスルー電圧を十分に小さくできる。

[0058] また、画素の全容量が大きいということは、画素に所定の電圧を印加するために、多くの電荷を必要とする。TFT 基板 100A' は、従来のアモルフ

アス TFT よりも電流供給能力の高い、酸化物半導体 TFT を備えているので、画素の容量の増大によって表示品位が低下することがない。

[0059] 次に、TFT 基板 100A の製造方法を説明する。

[0060] 本発明の実施形態における半導体装置の製造方法は、基板 1 を用意する工程 (a) と、基板 1 上に、ゲート電極 3 および第 1 透明電極 2 を形成する工程 (b) と、ゲート電極 3 および第 1 透明電極 2 の上に第 1 の絶縁層 4 b または / および 4 c を形成する工程 (c) と、第 1 の絶縁層 4 b または / および 4 c の上に酸化物半導体膜 5' を形成する工程 (d) と、酸化物半導体膜 5' の上にソース電極 6 s およびドレイン電極 6 d を形成する工程 (e) と、酸化物半導体膜 5' の一部を低抵抗化させる低抵抗化処理 L を行うことによって、第 2 透明電極 7 を形成するとともに、低抵抗化されなかった酸化物半導体膜 5' の部分からなる酸化物半導体層 5 を形成する工程であって、酸化物半導体層 5 の少なくとも一部が絶縁層 4 を介してゲート電極 3 と重なり、第 2 透明電極 7 の少なくとも一部が絶縁層 4 を介して第 1 透明電極 3 の少なくとも一部と重なる、工程 (f) とを包含する。

[0061] このような半導体装置の製造方法は、簡略化された半導体装置の製造方法であるので、製造コストを削減し得る。

[0062] 次に、図 4 を参照しながら、TFT 基板 100A の製造方法の一例を詳細に説明する。

[0063] 図 4 (a) ~ 図 4 (f) は、TFT 基板 100A の製造方法の一例を説明するための模式的な工程断面図である。

[0064] まず、図 4 (a) に示すように、基板 1 上に第 1 透明電極 2 を形成する。基板 1 としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。第 1 透明電極 2 はスパッタ法などの公知の方法で形成される。第 1 透明電極 2 は例えば ITO から形成され、その厚さは約 100 nm である。

[0065] 次に、図 4 (b) に示すように、第 1 透明電極 2 の上に、絶縁層 4 a を CVD (Chemical Vapor deposition) などにより形成する。絶縁層 4 a は、例えば SiN_x から形成される。絶縁層 4 a の厚さは、約 100 nm である。

- [0066] 次に、図4(c)に示すように、絶縁層4a上にゲート電極3を形成する。ゲート電極3はスパッタ法で絶縁層4aの上に導電膜を形成した後、フォトリソグラフィ法により導電膜のパターニングを行うことによって形成される。なお、基板1の法線方向から見たとき、ゲート電極3と第1透明電極2とは重なっていない。ここでは、導電膜として、基板1側からTa₂N膜（厚さ：約50nm）およびW膜（厚さ：約370nm）をこの順で有する2層構造の積層膜を用いる。なお、第1導電膜として、例えば、Ti、Mo、Ta、W、Cu、AlまたはCrなどの単層膜、それらを含む積層膜、合金膜またはこれらの窒化金属膜などを用いてもよい。
- [0067] 次に、図4(d)に示すように、CVD法により、ゲート電極3を覆うように絶縁層4bおよび絶縁層4cを形成する。ここでは、絶縁層4bはSiN_x膜（厚さ：約325nm）から形成され、絶縁層4cはSiO₂膜（厚さ：約50nm）から形成される。絶縁層4bおよび4cとしては、例えばSiO₂、SiN_x、SiO_xN_y（酸化窒化シリコン、 $x > y$ ）、SiN_xO_y（窒化酸化シリコン、 $x > y$ ）、Al₂O₃またはTa₂O₅から形成され得る。
- [0068] 続いて、図4(e)に示すように、絶縁層4c上に酸化物半導体膜5'をスパッタ法にて形成する。酸化物半導体膜5'としてIGZO系半導体膜を用いた。酸化物半導体膜5'の厚さは約50nmである。
- [0069] この後、酸化物半導体5'の上に、スパッタ法によりソース電極6sおよびドレイン電極6dを形成する導電膜（不図示）を形成する。次に、ハーフトーンマスクを用いたフォトリソグラフィ法、ドライエッチング法およびアッシング法により上記の導電膜および酸化物半導体膜5'を同時にパターニングして、酸化物半導体膜5'を所望の形状にパターニングするとともにソース電極6sおよびドレイン電極6dを形成する。このように、1枚のフォトマスクで、ソース電極6sおよびドレイン電極6dの形成ならびに酸化物半導体膜5'のパターニングを行うことができるので、製造プロセスを簡略化でき、製造コストを削減し得る。ソース電極6sおよびドレイン電極6dは、例えばTi/Al/Tiの積層構造を有する。下層のTi層の厚さは約

50 nmであり、A1層の厚さは約200 nmであり、上層のTi層の厚さは約100 nmである。

[0070] 続いて、図4（f）に示すように、酸化物半導体膜5'のチャネル領域を覆うように絶縁保護層8をスパッタ法およびフォトリソグラフィ法で形成する。絶縁保護層8は例えば酸化物（例えばSiO₂）から形成され、その厚さは約150 nmである。また、基板1の法線方向から見たとき、絶縁保護層8の端部はドレイン電極6dと重なることが好ましい。これにより、酸化物半導体膜5'のうちドレイン電極6dの端部に位置する部分にも後述する低抵抗化処理Lを行うことが可能になる。

[0071] その後、酸化物半導体膜5'の一部に低抵抗化処理Lを施す。酸化物半導体膜5'のうちソース電極6s、ドレイン電極6dおよび絶縁保護層8で覆われた部分には、低抵抗化処理Lは行われず。これにより、図1（b）に示したように、酸化物半導体膜5'のうち、低抵抗化処理Lが施された部分には第2透明電極7が形成され、低抵抗化処理Lが施されていない部分には酸化物半導体層5が形成される。当然ながら、低抵抗化処理Lが施された部分の電気抵抗は、低抵抗化処理Lが施されていない部分の電気抵抗よりも小さい。低抵抗化処理Lには、例えばプラズマ処理や、p型不純物（例えば、B（ボロン））またはn型不純物（例えば、P（リン））のドーピングなどが挙げられる。低抵抗化処理Lとして、不純物のドーピングを用いた場合、第2透明電極7の不純物の濃度は酸化物半導体層5の不純物の濃度よりも大きくなる。また、不純物の拡散により、ドレイン電極6dの下にある酸化物半導体膜5'の一部も低抵抗化され、第2透明電極7の一部となる場合がある。その他、低抵抗化処理Lとして、例えば、CVD装置を用いた水素プラズマ処理、エッチング装置を用いたアルゴンプラズマ処理、および還元雰囲気下でのアニール処理などがあげられる。

[0072] 次に、図5を参照しながら本発明による実施形態におけるTF T基板100Bを説明する。図5は、TF T基板100Bの模式的な断面図であり、図1（b）のTF T基板100Aの断面図に対応している。TF T基板100

Aと共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0073] 図5に示すTFT基板100Bでは、ゲート電極3が第1透明電極2よりも基板側にある。TFT基板100Bは、基板2上に形成されたゲート電極3と、ゲート電極3の上に形成された絶縁層4aと、絶縁層4a上に形成された第1透明電極2とを有する。TFT基板100Bにおいては、絶縁層4a～4cがゲート絶縁層4として機能する。

[0074] 次に、図6を参照しながらTFT基板100Bの製造方法の一例を説明する。図6(a)～図6(c)はTFT基板100Bの製造方法を説明する模式的な工程断面図である。

[0075] まず、図6(a)に示すように、基板1上に、上述した方法でゲート電極3を形成する。

[0076] 次に、図6(b)に示すように、上述した方法でゲート電極3の上に絶縁層4aを形成する。

[0077] 次に、図6(c)に示すように、上述した方法で第1透明電極2を形成する。なお、基板1の法線方向から見たとき、ゲート電極3と第1透明電極2とは重なっていない。

[0078] 続いて、上述した方法により、絶縁層4bおよび4c、酸化物半導体膜5'、ソース電極6s、ドレイン電極6d、第2透明電極7、および絶縁保護層8を形成する(図4(d)～図4(f)参照)。これにより、図5に示したTFT基板100Bが製造される。

[0079] 以上、本発明の実施形態によると、簡便なプロセスで製造することができ、且つ、従来よりも高精細で高開口率の表示装置を実現することが可能なTFT基板およびその製造方法が提供される。

産業上の利用可能性

[0080] 本発明の実施形態は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス(EL)表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備

えた装置に広く適用できる。

符号の説明

[0081]	1	基板
	2	第1透明電極
	3	ゲート電極
	3'	ゲート配線
	4 a	絶縁層
	4 b	絶縁層
	4 c	絶縁層
	4	ゲート絶縁層
	5	酸化物半導体層
	6 s	ソース電極
	6 d	ドレイン電極
	7	第2透明電極
	8	層間絶縁層
	1 0 0 A	半導体装置（T F T基板）

請求の範囲

- [請求項1] 基板と、
前記基板の上に形成されたゲート電極および第1透明電極と、
前記ゲート電極および前記第1透明電極の上に形成された第1の絶縁層と、
前記第1の絶縁層の上に形成された酸化物半導体層と、
前記酸化物半導体層に電氣的に接続されたソース電極およびドレイン電極と、
前記ドレイン電極と電氣的に接続された第2透明電極とを有し、
前記酸化物半導体層の少なくとも一部は、前記第1の絶縁層を介して前記ゲート電極と重なり、前記第1透明電極の少なくとも一部は、前記第1の絶縁層を介して前記第2透明電極と重なり、かつ、前記酸化物半導体層および前記第2透明電極は、同一の酸化物膜から形成されている、半導体装置。
- [請求項2] 前記第2透明電極の上に前記ドレイン電極が形成され、
前記第2透明電極は前記ドレイン電極に直接接している、請求項1に記載の半導体装置。
- [請求項3] 前記第2透明電極は、前記酸化物半導体層よりも高い濃度で不純物を有する、請求項1または2に記載の半導体装置。
- [請求項4] 前記ゲート電極と前記基板との間に形成された第2の絶縁層をさらに有し、
前記第2の絶縁層は、前記第1透明電極上に形成されている、請求項1から3のいずれかに記載の半導体装置。
- [請求項5] 前記ゲート電極上に形成された第2の絶縁層をさらに有し、
前記第1透明電極は前記第2の絶縁層の上に形成されている、請求項1から3のいずれかに記載の半導体装置。
- [請求項6] 前記ソース電極および前記ドレイン電極の上に形成された絶縁保護

層をさらに有し、

前記絶縁保護層は、前記酸化物半導体層のチャネル領域と接するように形成されており、

前記絶縁保護層は、酸化物から形成されている、請求項 1 から 5 のいずれかに記載の半導体装置。

[請求項7] 前記第 1 の絶縁層は、酸化物絶縁層を含み、

前記酸化物絶縁層は、前記酸化物半導体層と接している、請求項 1 から 6 のいずれかに記載の半導体装置。

[請求項8] 前記酸化物膜は、In、GaおよびZnを含む、請求項 1 から 7 のいずれかに記載の半導体装置。

[請求項9] 基板を用意する工程（a）と、

前記基板上に、ゲート電極および第 1 透明電極を形成する工程（b）と、

前記ゲート電極および前記第 1 透明電極の上に第 1 の絶縁層を形成する工程（c）と、

前記第 1 の絶縁層の上に酸化物半導体膜を形成する工程（d）と、

前記酸化物半導体膜の上にソース電極およびドレイン電極を形成する工程（e）と、

前記酸化物半導体膜の一部を低抵抗化させる低抵抗化処理を行うことによって、第 2 透明電極を形成するとともに、低抵抗化されなかった前記酸化物半導体膜の部分からなる酸化物半導体層を形成する工程であって、前記酸化物半導体層の少なくとも一部が前記第 1 の絶縁層を介して前記ゲート電極と重なり、前記第 2 透明電極の少なくとも一部が前記第 1 の絶縁層を介して前記第 1 透明電極の少なくとも一部と重なる、工程（f）とを包含する、半導体装置の製造方法。

[請求項10] 前記工程（f）は、前記酸化物半導体膜の前記一部に不純物を注入する工程を含む、請求項 9 に記載の半導体装置の製造方法。

[請求項11] 前記工程（b）は、前記基板上に前記第 1 透明電極を形成し、前記

第1透明電極上に第2の絶縁層を形成する工程と、前記第2の絶縁層上に前記ゲート電極を形成する工程とを包含する、請求項9または10に記載の半導体装置の製造方法。

[請求項12] 前記工程(b)は、前記基板上に前記ゲート電極を形成する工程と、前記ゲート電極上に第2の絶縁層を形成する工程と、前記第2の絶縁層上に前記第1透明電極を形成する工程とを包含する、請求項9または10に記載の半導体装置の製造方法。

[請求項13] 前記工程(f)は、前記低抵抗化処理を行う前に、前記酸化物半導体膜のチャネル領域を保護する保護層を形成する工程(f2)を含む、請求項9から12のいずれかに記載の半導体装置の製造方法。

[請求項14] 前記基板の法線方向から見たとき、前記保護層の端部は前記ドレイン電極と重なる、請求項13に記載の半導体装置の製造方法。

[請求項15] 前記酸化物半導体層はIn-Ga-Zn-O系の半導体を含む請求項1から8のいずれかに記載の半導体装置。

[請求項16] 前記酸化物半導体膜はIn-Ga-Zn-O系の半導体を含む請求項9から14のいずれかに記載の半導体装置の製造方法。