Verfahren zur Herstellung eines III/V-Si-Templats

Gebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Herstellung eines III/V-Si-Templats bzw. Rohlings vorzugsweise auf bis zu 300mm (Durchmesser) und mehr große Silizium-Substraten, mit einem solchen Verfahren hergestellte Template und Verwendungen solcher Template.

Hintergrund der Erfindung und Stand der Technik

Die enorme Entwicklungsgeschwindigkeit der Computer- bzw. Mikrochip-Technologie ist auf die erfolgreiche Miniaturisierung der einzelnen Bauelemente eines integrierten Schaltkreises zurückzuführen. Ein integrierter Schaltkreis ist im Wesentlichen eine elektronische Verschaltung von Halbleiterbauelementen und passiven Komponenten zur Datenverarbeitung, die in einer dünnen Kristallschicht an der Oberfläche eines Silizium-Substrates hergestellt werden. Hierbei ist die Anzahl der integrierten elektronischen Bauelemente, wie z. B. Transistoren, Dioden, Widerstände und Kondensatoren, sehr hoch. Um die Leistungsfähigkeit der Mikrochips zu steigern und zeitgleich die Produktionskosten zu senken, wird die Bauelement-Packungsdichte in jeder neuen Technologiegeneration deutlich gehöht. Das wichtigste Bauelement eines integrierten Schaltkreises ist die Silizium-basierte CMOS-Logik mit n- bzw. p-MOS-FET-

BESTÄTIGUNGSKOPIE

Transistor *(Complementary Metal-Oxid-Semiconductor)*. Insbesondere die physikalischen Eigenschaften von Silizium und Siliziumdioxid haben in den letzten Jahrzehnten eine beachtliche Reduzierung der Transistorgröße erlaubt. Dementsprechend konnte die Transistordichte in der Mikrochip-Entwicklung alle 24 Monate verdoppelt werden.

Transistoren sind grundsätzlich Widerstände, die durch eine äußere Gate-Spannung (Spannung an der Steuerelektrode) beeinflusst werden. Entscheidende Leistungsmerkmale dieser Bauelemente sind hohe Schaltfrequenzen und eine geringe Wärmedissipation im Betrieb. Bisher konnten diese Leistungsmerkmale durch die Strukturreduktion der Transistoren verbesser werden. Jedoch sind die einzelnen Bauelement-Dimensionen mittlerweile so gering, dass grundlegende physikalische Grenzen auftreten und eine weitere Miniaturisierung zu keiner Verbesserung führt. An dieser Stelle werden neben Silizium und Siliziumdioxid inzwischen neue Materialien bei der Herstellung von integrierten Schaltkreisen eingesetzt, deren physikalischen Eigenschaften zu einer Verbesserung der Bauelement-Funktionsweise führen.

Insbesondere wird auch der Einsatz von III/V-Halbleitermaterialien in der CMOS Technologie diskutiert. Die Klasse der III/V-Halbleiterkristalle setzt sich zu je 50% aus den chemischen Elementen der Gruppe-III und der Gruppe-V zusammen. Die Bindungseigenschaften der jeweiligen chemischen Elemente bestimmen hierbei die elektronischen und optischen Eigenschaften der III/V-Halbleiterverbindung. Da die Kompositionsmöglichkeiten innerhalb der Klasse der

III/V-Halbleitermaterialien sehr groß ist, können entsprechend sehr unterschiedliche Halbleitbauelemente realisiert werden. Die Integration von III/V-Halbleiterschichten auf Si-basierte integrierte Schaltkreise ermöglicht nun einerseits bestehende Funktionalitäten zu verbessern, wie z.B. die Anwendung von III/V-Kanalschichten für Transistoren. Andererseits können neuartige Device-Konzepte realisiert werden, wie z. B. die Integration von III/V-Laserdioden für die optische Datenverarbeitung auf Mikrochip-Ebene.

Ein weiterer entscheidender Punkt für die Anwendung von neuen Materialien zur Leistungssteigerung der integrierten Schaltkreise ist das Integrationsverfahren. Hierbei gilt es, trotz neuer Materialien und/oder Device-Konzepte, die Produktionskosten niedrig zu halten. Im Gegensatz zu hybriden Integrationsansätzen (siehe beispielsweise EP 0297483 stellt das monolithische Wachstum von III/V Halbleiterschichten auf Si-Substrate ein sehr kostengünstiges Verfahren dar. Hierbei wird der III/V Halbleitermischkristall direkt mit dem Silizium-Trägersubstrat verbunden (siehe lediglich beispielsweise US 5,937,274 oder PCT/DE 2006/000140).

Aufgrund der unterschiedlichen Materialklasse von Silizium und III/V-Halbleitern müssen bei der monolithischen Verbindung folgende Aspekte berücksichtig werden: Die atomaren Bindungseigenschaften von Silizium und den Elementen der III/V-Klasse sind sehr unterschiedlich, folglich weisen die meisten III/V-Kristalle eine andere Gitterkonstante als Silizium auf. Der Unterschied in der

Gitterkonstante führt wiederum zur Ausbildung von Fehlversetzungsdefekte während der Abscheidung eines III/V-Films auf Si. Außerdem kann eine Interdiffusion an der Grenzfläche zwischen Silizium und dem III/V-Kristall und/oder Verschleppungseffekte während des Kristallwachstums zu einer schwer kontrollierbaren Dotierung im jeweiligen Wirtskristall führen.

Ein weiteres Problem geht auf die unterschiedliche Kristallbasis von Si und III/V-Kristalle zurück: Sofern die Si-Oberfläche nicht atomar-doppelgestufte Si-Terrassen aufweist, bilden sich Anti-Phasen-Defekte im III/V-Film. Seit den 80iger Jahren wurde an der monolithischen Integration von III/V-Schichten auf Silizium geforscht. Grundsätzlich sind die oben genannten Herausforderungen bei der III/V-Abscheidung auf kleine Si-Substrate von bis zu 2inch Durchmesser gelöst, nur die Ausbildung von Fehlversetzungen bei der Integration von III/V Materialien mit unterschiedlicher Gitterkonstante zu Silizium erschwert immer noch die Realisierung von hocheffizienten Bauelementen mit hinreichender Lebendauer.

Aufgrund der unterschiedlichen Kristallbasis von Silizium und III/V-Mischkristallen können sich bei der monolithischen Abscheidung sehr schnell Anti-Phasen-Defekte in der III/V-Schicht bilden. Diese Defekte beeinträchtigen wiederum die Betriebseigenschaften der Bauelemente. Die Ausbildung von Anti-Phasen-Defekte kann durch die gezielte Präparation der Silizium-Oberfläche verhindert werden.

Eine Anti-Phasen-frei III/V-Integration ist dann möglich, wenn durch eine spezielle Substratvorbehandlung Doppelstufen aus jeweils zwei Si-Atomlagen erzeugt werden. Diese Oberflächenpräparation ist jedoch vorzugsweise auf leicht fehlorientierten [(001) 2° bis 6°off in <110> Richtung] Substraten möglich. In der Literaturstelle B. Kunert, I. Németh, S. Reinhard, K. Volz, W. Stolz, Thin Film Solid 17 (2008) 140 wurde erstmals auch die defektfreie Abscheidung von GaP auf exakt-orientierten Substraten gezeigt, jedoch unterliegt die Substratspezifikation immer noch einer zusätzlichen Auflage: (001) (kleiner) < 0.15° off in <110> Richtung.

Da die heutige Si-basierte CMOS Technologie sehr komplex und weit entwickelt ist, muss die Integration von neuen Materialien sehr genau auf das CMOS Produktionsverfahren abgestimmt werden. Jeglicher größerer Eingriff oder Änderungsanspruch an den derzeitigen CMOS Prozess würde die Entwicklungskosten deutlich erhöhen. Die CMOS Standard-Si-Substratspezifikation bzgl. der Orientierung ist (001) +/- 0.5 off in beliebiger Richtung. Die Umstellung der CMOS Technologie auf fehlorientierte [(001) 2° bis 6°off in <110> Richtung] Substrate wäre jedoch aufgrund der erneuten Prozessanpassung viel zu kostspielig und unwirtschaftlich.

Die obengenannte Substratspezifikation von (001) <0.15° off in <110> Richtung würde jedoch in die Spezifikation des CMOS Prozesses fallen. Allerdings ist das gezielte Wafer-Sägen entsprechend dieser geringen Fehlorientierung sehr kompliziert und aufwendig und stellt immer noch eine große technologische Herausforderung dar. Die Si-Substratgröße in

der aktuellen CMOS Technologie liegt mittlerweile bei einem Durchmesser von 300mm (einzelne Fabriken arbeiten auch noch mit kleineren Wafer). Die Massenproduktion von 300mm Si-Wafer mit einer Fehlorientierung von <0.15° in <110> Richtung würde jedoch die Fertigungskosten drastisch steigern und damit wäre die Anwendung dieser Substrate wirtschaftlich fragwürdig. Somit stellt insbesondere die Anti-Phasen-frei III/V-Integration auf 300 mm Si Substrate für den CMOS Prozess ein ungelöstes technologisches und wirtschaftliches Problem da.

Eine weitere technologische Herausforderung geht auf den unterschiedlichen thermischen Ausdehnungskoeffizient von Silizium und den Verbindungen der III/V-Halbleiterkristalle zurück. Wird die unterschiedliche Abhängigkeit der Gitterkonstanten von der Temperatur nicht im Integrationsprozess systematisch berücksichtigt, können sich Fehlversetzungen oder Risse in der III/V Schicht bilden. Bei großen Substratdurchmessern kann sogar der Si-Wafer in Mitleidenschaft gezogen werden (Wafer-Flipping) und Relaxationsdefekte ausbilden.

Technisches Problem der Erfindung

Der Erfindung liegt daher das technische Problem zu Grunde, ein Verfahren zur Herstellung eines monolithischen III/V-Si-Templats anzugeben, mit minimalen Versetzungsdefekten, minimalen Anti-Phasen-Defekten, und bei Einsatz vergleichsweise großer Si Wafer von 200mm, 300mm oder

größeren Wafer-Durchmessern, die optional eine Maskenstrukturierung aufweisen können.

Grundzüge der Erfindung

Zur Lösung dieses technischen Problems lehrt die Erfindung ein Verfahren zur Herstellung eines monolithischen Templates enthaltend einen Si Wafer mit einer auf eine Oberfläche des Si Wafers epitaktisch aufgebrachten Schicht eines III/V Halbleiters, wobei der III/V Halbleiter eine Gitterkonstante aufweist, welche weniger als 10% von jener des Si abweicht, mit den folgenden Verfahrensstufen: A) optional wird die Oberfläche des Si Wafers deoxidiert, B) optional wird auf die Oberfläche des deoxidierten Si Wafers eine Si Schicht epitaktisch aufgewachsen, C) optional wird die Oberfläche des Si Wafers oder die Oberfläche der Si Schicht einer Ausheizverfahrensstufe und/oder Ätzverfahrensstufe unterworfen, D) auf die Oberfläche des Si Wafers oder eine im Zuge einer der Stufen A) bis C) entstandenen Oberfläche wird bei einer Wafertemperatur von 350-650 °C, einer Wachstumsrate von 0,1-2 µm/h und einer Schichtdicke von 1-100 nm eine Schicht aus einem III/V Halbleiter epitaktisch aufgewachsen, E) auf die in Stufe D) erhaltene Schicht wird bei einer Wafertemperatur von 500-800 °C, einer Wachstumsrate von 0,1-10 µm/h und einer Schichtdicke von 10-150 nm eine Schicht aus einem III/V-Halbleiter, gleich mit oder verschieden von dem in Stufe D) aufgebrachten III/V Halbleiter, epitaktisch aufgewachsen.

Die Erfindung umfasst also ein spezielles Verfahren der kristallinen Abscheidung von Gruppe-IV Materialien als auch III/V-Halbleiterverbindungen auf Si-Substraten, wobei diese Si-Substrate mit einem Durchmesser von 200mm, 300mm und mehr ausgestattet und optional mittels Maskierung strukturiert sein können. Die Kristallabscheidung bzw. das Kristallwachstum findet typischerweise mittels der Gasphasen-Epitaxie statt. Mit dem Verfahren wird die Integration einer dünnen Fehlversetzungs-freien III/V-Halbleiterschicht auf Si-Substrat angestrebt und idealerweise auch erreicht.

Zu Beginn des Verfahrens können die Si-Substrate in einem ersten Prozessschritt ausgeheizt werden, um das Siliziumdioxid von der Oberfläche zu entfernen. Im nächsten Schritt kann bei Bedarf ein Siliziumpuffer abgeschieden werden. Abhängig vom Integrationskonzept kann dieser Siliziumpuffer dotiert werden. Die Si-Substratoberfläche mit oder ohne zusätzliche Pufferschicht wird beispielsweise, aber nicht zwingend abhängig von der Kristall-Fehlorientierung (off- oder exakt-orientiert) speziell präpariert. Die Abscheidung der Stufen D) und E) erfolgt in zwei Prozessschritte: Zuerst wird ein dünner III/V-Film bei niedrigen Temperaturen aufgewachsen (Stufe D)) und dann die Reaktortemperatur für die weitere Kristallabscheidung deutlich erhöht (Stufe E)). Die Zusammensetzung der III/V-Schicht wird je nach Schichtdicke und Wachstumstemperatur angepasst, um die Ausbildung von Fehlversetzungen und Risse zu vermeiden bzw. weitestgehend zu reduzieren.

Im Gegensatz zu den meisten anderen III/V-Mischkristallen ist die monolithische Integration von dünnen GaP Schichten auf Si Substrat ohne die Ausbildung von Versetzungsdefekte möglich, da beide Kristalle eine ähnliche Gitterkonstante besitzen. Damit ist die Anwendung von GaP als erste III/V-Nukleationsschicht technologisch sehr wichtig, da es auch die weitere Integration von Materialien mit unterschiedlicher Gitterkonstante deutlich vereinfacht. Dieses GaP/Si-Template kann folglich für sehr unterschiedliche III/V-Materialien und (elektronische) Bauelement-Konzepte auf Si-Mikroelektronik verwendet werden. Derzeit arbeiten verschiedene Firmen, Institute und Universitäten an konkreten Integrationskonzepten unter der Anwendung eines GaP/Si-Templates.

Die Erfindung ermöglicht erstmals die Abscheidung von praktisch Fehlversetzungs-freien III/V-Halbleitermaterialien auf exaktem und fehlorientiertem Silizium-Substrat mit einem Durchmesser von bis zu 300 mm. Bei der Prozessentwicklung wurde ebenfalls berücksichtigt, dass vor der Abscheidung von III/V-Materialien ein Siliziumpuffer mit beliebiger Dotierung realisiert werden kann. Dieser Schritt ist besonders hilfreich, um einerseits die Substratoberfläche zu optimieren, selektives Silizium-Überwachsen insbesondere bei einer Maskenstrukturierung zu ermöglichen und um angepasste Si-Kontaktschichten für die Standard CMOS Metallisierung abzuscheiden. Die Verwendung von 300 mm Wafern entspricht der heutigen Si-basierten CMOS Technologie, damit ermöglicht das Integrationsverfahren auf entsprechenden Wafern eine bestmögliche Kompatibilität zum derzeitigen Entwicklungsstand der CMOS Technologie.

Außerdem ist durch die Verwendung von 300 mm Substraten eine ideale Wirtschaftlichkeit der Produktionskosten gewährleistet. Insbesondere weil der Prozess in einer Epitaxie-Anlage realisiert worden ist, die mit einem automatischen Scheiben-"Handler" verbunden ist und damit ein automatischer Substrattransfer möglich ist.

Neben dem Einsatz der Erfindung in der Si-Mikrotechnologie ist die Abscheidung von III/V-Materialien auf großflächigen Si-Substraten auch in anderen Anwendungsbereichen sehr vorteilhaft. Hierbei möchte man ausnutzen, dass Si-Substrate im Vergleich zu herkömmlichen III/V-Substraten deutlich günstiger sind und auch größere Substratscheiben hergestellt werden können.

Durch die Integration von herkömmlichen III/V-basierten Bauelementen wie z.B. LEDs, Detektoren oder Solarzellen auf Si-Substrate könnten die Produktionskosten signifikant reduziert werden. An dieser Stelle wäre auch der Einsatz von fehl-orientierten ((001) 2° bis 6°off in <110> Richtung) Si-Substraten möglich.

Im Einzelnen sind folgend bevorzugte Varianten des erfindungsgemäßen Verfahrens beschrieben.

Die zu beschichtende Oberfläche des Si Wafers ist vorzugsweise eine (001) Si Oberfläche, mit 0-6°, insbesondere 0-2°, Fehlorientierung in Richtung <110>. Zusätzlich darf der Si Wafer eine Maskenstruktur aufweisen. Bei einer Fehlorientierung von ≤ 1° darf die Richtung der

Fehlorientierung von <110> abweichen.

Die Stufe A) kann durch Ausheizen auf eine Wafertemperatur von 800-1200 °C, insbesondere 900-1100 °C, beispielsweise 950-1050 °C, für eine Dauer von 1 s bis 30 min, insbesondere eine Dauer von 1-30 min, beispielsweise 5 bis 15 min, in einer Inertgasatmosphäre durchgeführt werden. Die Inertgasatmosphäre kann Stickstoff oder Wasserstoff sein. Der (Gesamt-) Gasdruck kann im Bereich 50-1000 mbar, vorzugsweise 100-300 mbar, liegen. Der Gesamtgasfluss kann im Bereich 6-200 l/min, insbesondere 6-50 l/min, beispielsweise 40-50 l/min, liegen.

In der Stufe B) kann die Si Schicht bei einer Wafertemperatur von 600-1200 °C, insbesondere von 725-1100 °C, beispielsweise von 850-1050 °C, einer Wachstumsrate von 0,01-20 µm/h, insbesondere 1-10 µm/h, beispielsweise 3-10 µm/h, und einer Schichtdicke von 0-5 µm, insbesondere 0,1-2 µm, beispielsweise 0,5-1,5 µm, aufgewachsen werden. Die Inertgasatmosphäre kann Stickstoff oder Wasserstoff sein unter zusätzlichem Einsatz eines gasförmigen Si-Edukts. Optional erfolgt eine Dotierung mit B, Ga, P, Sb und/oder As in einer p- oder n-Dotierungskonzentration von 10^{15}-10^{21} cm^{-3}, beispielsweise 10^{17}-10^{21} cm^{-3}. Der (Gesamt-) Gasdruck kann im Bereich 50-1000 mbar, vorzugsweise 100-300 mbar, liegen. Der Gesamtgasfluss kann im Bereich 6-200 l/min, insbesondere 6-50 l/min, beispielsweise 40-50 l/min, liegen.

In der Stufe C) kann ein Inertgas bzw. Schutzgas (beispielsweise N_2 oder Ar) oder ein aktives Gas bei einer

Wafertemperatur von 600-1200 °C, insbesondere 725-1100 °C, beispielsweise 850-1050 °C, über eine Dauer von 0 bis 60 min, insbesondere 0-15 min, beispielsweise 1 bis 10 min, über die Oberfläche bei einer Ätzrate von 0-5 µm/h, vorzugsweise 0-2 µm/h, geleitet werden. Als aktives Gas kommen beispielsweise HCl oder Wasserstoff in Frage (Rest: beispielsweise Stickstoff). Der (Gesamt-) Gasdruck kann im Bereich 50-1000 mbar, vorzugsweise 600-900 mbar, liegen. Der Gesamtgasfluss kann im Bereich 6-200 l/min, insbesondere 6-50 l/min, beispielsweise 10-15 l/min, liegen.

In Stufe D) kann ein $Ga_xB_yAl_zP$ oder eine GaN_wP_v Halbleiter aufgewachsen werden, wobei x=0-1, y=0-0,1 und z=0-1, oder w=0-0,1 und v=1-w, insbesondere x=1, y=0 und z=0, wobei die Summe aus x, y und z für $Ga_xB_yAl_zP$ stets 1 ergibt. Die Wafertemperatur kann vorzugsweise im Bereich 400-625 °C, insbesondere 420-500 °C, liegen. Die III/V Wachstumsrate kann im Bereich 0,1-2 µm/h, insbesondere 0,5-1,5 Monolayer/s, beispielsweise 1 Monolayer/s, liegen. Der Wachstumsmodus kann kontinuierlich sein vorzugsweise mittels Fluss-Modulations-Epitaxie (Flow rate modulation epitaxy (FME)) sowie mittels atomare Schichtabscheidung (atomic layer deposition (ALD)), was auch für die anderweitig allgemein und speziell geschriebenen Schichten angewandt werden kann. Die Schichtdicke liegt vorzugsweise im Bereich 2-50 nm, insbesondere 2-8 nm. Das Gasverhältnis V/III kann im Bereich 5-200, insbesondere 10-150, beispielsweise 50-70, liegen. Der (Gesamt-) Gasdruck kann im Bereich 50-1000 mbar, vorzugsweise 50-500 mbar, insbesondere 50-150 mbar, liegen. Der Gesamtgasfluss kann

im Bereich 6-200 l/min, insbesondere 6-60 l/min, beispielsweise 40-60 l/min, liegen. Optional erfolgt eine Dotierung mit Zn, Te, S, C, Mg und/oder Si in einer p- oder n-Dotierungskonzentration von 10^{15}-10^{21} cm^{-3}, beispielsweise 10^{17}-10^{21} cm^{-3}. Es kann aber auch ohne Dotierung gearbeitet werden.

In Stufe E) kann ein $Ga_xB_yAl_zP$ oder eine GaN_wP_v Halbleiter aufgewachsen werden, wobei x=0-1, y=0-0,1 und z=0-1, oder w=0-0,1 und v=1-w, insbesondere x=0-1, y=0-0,06 und z=0-1, wobei die Summe aus x, y und z für $Ga_xB_yAl_zP$ stets 1 ergibt. Die Wafertemperatur kann vorzugsweise im Bereich 525-725 °C, insbesondere 650-700 °C, liegen. Die III/V Wachstumsrate kann im Bereich 0,1-10 µm/h, insbesondere 0,5-5 µm/h, beispielsweise 2-2,5 µm/h, liegen. Die Schichtdicke liegt vorzugsweise im Bereich 30-100 nm, insbesondere 40-70 nm. Das Gasverhältnis V/III kann im Bereich 5-200, insbesondere 10-100, beispielsweise 10-30, liegen. Der (Gesamt-) Gasdruck kann im Bereich 50-1000 mbar, vorzugsweise 50-900 mbar, insbesondere 50-150 mbar, liegen. Der Gesamtgasfluss kann im Bereich 6-200 l/min, insbesondere 6-60 l/min, beispielsweise 40-60 l/min, liegen. Optional erfolgt eine Dotierung mit Zn, Te, S, C, Mg und/oder Si in einer p- oder n-Dotierungskonzentration von 10^{15}-10^{21} cm^{-3}, beispielsweise 10^{17}-10^{21} cm^{-3}. Es kann aber auch ohne Dotierung gearbeitet werden.

Die Erfindung betrifft des Weiteren ein monolithisches Templat, erhältlich mittels eines erfindungsgemäßen Verfahrens. Sie betrifft auch die Verwendung eines solchen Templates zur monolithischen Integration von III/V

Halbleiterschichten basierten Bauelementen wie Transistoren, Laserdioden, LEDs, Detektoren sowie Solarzellen auf einem Si Substrat, insbesondere auf einem Si Substrat mit einem Durchmesser von mehr als 6 cm, vorzugsweise mehr als 10 cm, insbesondere mehr als 20 cm. Dabei können anschließend an die Stufe E) weitere III/V Halbleiterschichten epitaktisch aufgewachsen und III/V Halbleiter enthaltende elektronische Bauelemente ausgebildet werden.

Im Folgenden wird die Erfindung mittels lediglich Ausführungsformen darstellenden und nicht beschränkenden Beispielen näher erläutert.

Beispiel 1: eingesetzte Apparaturen

Die Kristallabscheidung findet mittels der Gasphasen-Epitaxie statt. Hierfür wird eine Epitaxie-Anlage benötigt, die das Kristallwachstum auf 300 mm (Durchmesser) große Si-Substrate ermöglicht. Außerdem kann im Verfahren die Temperaturverteilung des Suszeptor radial variiert werden können, um das Temperaturprofil des Si-Wafers genau einstellen zu können. Bevorzugt wird hierbei die CCS(Close-Couple-Showerhead)-Crius Anlage der Firma Aixtron verwendet.

Alle beschriebenen Prozessschritte können in einem einzigen Epitaxie-Reaktor durchgeführt werden. Um Verschleppungseffekte zu minimieren oder um das Integrationsverfahren an weitere Prozessschritte

anzupassen, können auch zwei Epitaxie-Reaktoren verwendet werden. Hierbei bietet sich ein optionaler Substrat-Transfer nach dem Prozessschritt C) und/oder D) an.

Beispiel 2: eingesetzte Substanzen bzw. Gase

Folgende Edukte bzw. Precursoren können in dem Prozess eingesetzt werden:

Edukte für Silizium: Silan, Dichlorsilan, Disilan, Trisilan, Neopentasilan, Tetrachlorosilan (SiCl4), Ditertiarybutylsilan (DitButSi)

Edukte für Gallium: Triethylgallium (TEGa), Trimethylgallium (TMGa), Tritertiarybutylgallium

Edukte für Bor: Triethylboran (TEB), Tritertiarybutylboran, Diboran, Boran-Amin-Addukte wie z.B. Dimethylaminoboran

Edukte für Aluminium: Trimethylalluminium (TMAl), Tritertiarybutyaluminium, Aminaddukte wie z.B. Dimethyaminoaluminium

Edukte für Phosphor: Tertiarybutylphoshin (TBP), Phosphin

Edukte für Arsen: Tertiarybutylarsin (TBAs), Arsin, Trimethylarsin (TMAs)

Edukte für Antimon: Triethylantimon (TESb), Trimethylantimon (TMSb)

Edukte für die Dotierung der III/V-Schicht: Diethyltellurium (DETe), Dimethylzink (DMZn), Diethylzink (DEZn), DitButSi, Silan, Ditertiarybutylsulphid, Bis-Cyclopentadienyl-Magnesium, Tetrabrommethan

Cl-haltige Edukte: HCl, Dichlorsilan, SiCl4

Als Trägergas wird Stickstoff oder Wasserstoff verwendet.

Bevorzugt werden folgende Edukte eingesetzt: Silan, Disilan, Dichlorsilan, HCl, TEGa, TEB, TMAl und TBP. Das bevorzugte Trägergas ist Wasserstoff.

Beispiel 3: GaP auf (001) exakt Silizium

Als Ausführungsbeispiel wird die Abscheidung einer dünnen GaP Schicht auf 300 mm Silizium-Substrat beschrieben. In diesem Ausführungsbeispiel ist das Si-Substrat p-dotiert und exakt orientiert. Die GaP-Schichtdicke ist 50 nm dick und n-dotiert im Bereich $3*10^{18}$ cm^{-3}. Folgende Edukte werden eingesetzt: Silan, TEGa, TBP und DETe.

Der Si-Wafer wird mittels eines automatischen Scheiben-Transfer-System der Firma Brooks in einem CCS-Crius-Reaktor der Firma Aixtron transferiert. Als Trägergas wird gereinigter Wasserstoff verwendet, während Silan, TEGa, TBP und DETe als Edukte für Si, Ga, P und Te zur Verfügung stehen.

Im ersten Schritt wird das native Siliziumdioxid in einem 10 minütigen Ausheizschritt von der Substratoberfläche entfernt (Stufe A). Der Reaktordruck ist 200 mbar, der Gesamtgasfluss 48 l/min und die Wafertemperatur 1000 °C.

Für die Abscheidung eines 1µm dicken Si Puffers (Stufe B)) werden folgende Wachstumsparameter eingestellt: Reaktordruck 200 mbar, Gesamtgasfluss 48 l/min, Wafertemperatur 900 °C. Unter diesen Bedingungen führt ein

Silan-Fluss von 8.9E-4 Mol/min zu einer Wachstumsrate von 4 µm/h.

Nach dem Pufferwachstum wird die Silizium-Oberfläche präpariert (Stufe C)). Hierfür wird ein HCl-Fluss von 5.4E-3 Mol/min für 5 min in den Reaktor gegeben. Diese Oberflächenbehandlung injiziert die Ausbildung von doppelgestuften Si-Terrassen, um die Ausbildung von Anti-Phasen-Defekte zu minimieren. Der Reaktordruck ist 700 mbar und der Gesamtfluss ist 12 l/min.

Die folgende Nukleation der GaP-Schicht bedingt erneut die Anpassung der Wachstumsbedingungen: Die Wafertemperatur wird in Stufe D) auf 450°C erniedrigt und ein Reaktordruck von 100 mbar und ein Gesamtgasfluss von 48 l/min eingestellt. Die Mol-Flüsse der III/V-Edukte sind 2.52E-4 Mol/min für TEGa und 1.51E-2 Mol/min für TBP.
Im ersten Schritt der III/V-Nukleation wird TBP für 10 s in den Reaktor gegeben (TBP-Vorlauf). Danach folgt das GaP-Wachstum per FME *(Flow rate Modulation Epitaxy)*. Dies bedeutet im Einzelnen, dass nach dem TBP-Vorlauf folgende Edukt-Schalt-Sequenz für den Reaktor mehrmals wiederholt wird: 1 s Wachstumsunterbrechung ohne Edukte -> 1 s TEGa -> 1 s Wachstumsunterbrechung ohne Edukte -> 1 s TBP. Diese Schalt-Schleife wird 22-mal wiederholt und dadurch 6 nm GaP abgeschieden. Der TEGa-Mol-Fluss ist so eingestellt, dass in einer Sekunde die Waferoberfläche mit einer Monolage Ga belegt wird.

Im nächsten Schritt (Stufe E)) wird unter einer TBP-Stabilisierung die Wafertemperatur auf 675 °C erhöht.

Außerdem werden neue Mol-Flüsse für die Edukte eingestellt: 5.81E-4 Mol/min für TEGa und 1.16E-2 Mol/min für TBP. Dadurch erniedrigt sich das V/III-Verhältnis von 60 auf 20. Das Gasphasenverhältnis DETe/TEGa wird so eingestellt, dass bei 675 °C eine n-Dotierung von $3*10^{18}$ cm^{-3} erreicht wird. Mit einer Wachstumsrate von 2.3 µm/s wird eine GaP Schicht von 44 nm abgeschieden. Dieses GaP/Si-Template wird abschließend unter TBP Stabilisierung abgekühlt.

Diese Verfahrensparameter sind auch auf (001) Si Wafer mit meiner Fehlorientierung von bis zu 2° off in <110> Richtung anwendbar.

Beispiel 4: GaP auf (001) Silizium, 2° off in <110> Richtung des Si Wafers

Als Ausführungsbeispiel wird die Abscheidung einer dünnen GaP Schicht auf 300 mm Silizium-Substrat beschrieben. In diesem Ausführungsbeispiel ist das Si-Substrat p-dotiert und hat eine Fehlorientierung von 2° off in <110> Richtung. Die GaP-Schichtdicke ist 50 nm. Folgende Edukte werden eingesetzt: Silan, TEGa und TBP.

Der Si-Wafer wird mittels eines automatischen Scheiben-Transfer-System der Firma Brooks in einem CCS-Crius-Reaktor der Firma Aixtron transferiert. Als Trägergas wird gereinigter Wasserstoff verwendet, während Silan, TEGa und TBP als Edukte für Si, Ga und P zur Verfügung stehen.

Im ersten Schritt wird das native Siliziumdioxid in einem 10 minütigen Ausheizschritt von der Substratoberfläche entfernt (Stufe A)). Der Reaktordruck ist 200 mbar, der Gesamtgasfluss 48 l/min und die Wafertemperatur 1050 °C.

Für die Abscheidung eines 1µm dicken Si Puffers (Stufe B)) werden folgende Wachstumsparameter eingestellt: Reaktordruck 200 mbar, Gesamtgasfluss 48 l/min, Wafertemperatur 1050 °C. Unter diesen Bedingungen führt ein Silan-Fluss von 8.9E-4 Mol/min zu einer Wachstumsrate von 8,3 µm/h.

Eine Stufe C) wird in diesem Beispiel nicht ausgeführt, es schließt sich unmittelbar die Stufe D) an.

Die folgende Nukleation der GaP-Schicht bedingt erneut die Anpassung der Wachstumsbedingungen: Die Wafertemperatur wird in Stufe D) auf 450 °C erniedrigt und ein Reaktordruck von 100 mbar und ein Gesamtgasfluss von 48 l/min eingestellt. Die Mol-Flüsse der III/V-Edukte sind 2.52E-4 Mol/min für TEGa und 1.51E-2 Mol/min für TBP.
Im ersten Schritt der III/V-Nukleation wird TBP für 10 s in den Reaktor gegeben (TBP-Vorlauf). Danach folgt das GaP-Wachstum per FME *(Flow rate Modulation Epitaxy)*. Dies bedeutet im Einzelnen, dass nach dem TBP-Vorlauf folgende Edukt-Schalt-Sequenz für den Reaktor mehrmals wiederholt wird: 1 s Wachstumsunterbrechung ohne Edukte -> 1 s TEGa -> 1 s Wachstumsunterbrechung ohne Edukte -> 1 s TBP. Diese Schalt-Schleife wird 22-mal wiederholt und dadurch 6 nm GaP abgeschieden. Der TEGa-Mol-Fluss ist so eingestellt, dass

in einer Sekunde die Waferoberfläche mit einer Monolage Ga belegt wird.

Im nächsten Schritt (Stufe E)) wird unter einer TBP-Stabilisierung die Wafertemperatur auf 675 °C erhöht. Außerdem werden neue Mol-Flüsse für die Edukte eingestellt: 5.81E-4 Mol/min für TEGa und 1.16E-2 Mol/min für TBP. Dadurch erniedrigt sich das V/III-Verhältnis von 60 auf 20. Mit einer Wachstumsrate von 2.3 µm/s wird eine GaP Schicht von 44 nm abgeschieden. Dieses GaP/Si-Template wird abschließend unter TBP Stabilisierung abgekühlt.

Diese Verfahrensparameter sind auch auf (001) Si Wafer mit meiner Fehlorientierung von bis zu 6° off in <110> Richtung anwendbar.

Patentansprüche:

1. Verfahren zur Herstellung eines monolithischen Templates enthaltend einen Si Wafer mit einer auf eine Oberfläche des Si Wafers epitaktisch aufgebrachten Schicht eines III/V Halbleiters, wobei der III/V Halbleiter eine Gitterkonstante aufweist, welche weniger als 10% von jener des Si abweicht, mit den folgenden Verfahrensstufen:

A) optional wird die Oberfläche des Si Wafers deoxidiert,

B) optional wird auf die Oberfläche des deoxidierten Si Wafers eine Si Schicht epitaktisch aufgewachsen,

C) optional wird die Oberfläche des Si Wafers oder die Oberfläche der Si Schicht einer Ätzverfahrensstufe und/oder Ausheizverfahrensstufe unterworfen,

D) auf die Oberfläche des Si Wafers oder eine im Zuge einer der Stufen A) bis C) entstandenen Oberfläche wird bei einer Wafertemperatur von 350-650 °C, einer Wachstumsrate von 0,1-2 µm/h und einer Schichtdicke von 1-100 nm eine Schicht aus einem III/V Halbleiter epitaktisch aufgewachsen,

E) auf die in Stufe D) erhaltene Schicht wird bei einer Wafertemperatur von 500-800 °C, einer Wachstumsrate von 0,1-10 µm/h und einer Schichtdicke von 10-150 nm eine Schicht aus einem

III/V-Halbleiter, gleich mit oder verschieden von dem in Stufe D) aufgebrachten III/V Halbleiter, epitaktisch aufgewachsen.

2. Verfahren nach Anspruch 1, wobei die Oberfläche des Si Wafers eine (001) Si Oberfläche, mit 0-6° in Richtung <110>, ist, wobei bei einer Fehlorientierung von ≤ 1° die Richtung der Fehlorientierung von <110> abweichen kann.

3. Verfahren nach Anspruch 1 oder 2, wobei die Stufe A) durch Ausheizen auf eine Wafertemperatur von 800-1200 °C für eine Dauer von 1 s bis 30 min in einer Inertgasatmosphäre durchgeführt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei in der Stufe B) die Si Schicht bei einer Wafertemperatur von 600-1200 °C, einer Wachstumsrate von 0,01-20 µm/h und einer Schichtdicke von 0-5 µm aufgewachsen wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei in der Stufe C) ein aktives Gas, insbesondere ein Cl-haltiges Gas und/oder Wasserstoff, bei einer Wafertemperatur von 600-1200 °C über eine Dauer von 0 bis 60 min über die Oberfläche bei einer Ätzrate von 0-5 µm/h geleitet wird, und/oder ein Inertgas bei einer Wafertemperatur von 600-1200 °C über eine Dauer

von 0 bis 60 min über die Oberfläche geleitet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, wobei in Stufe D) ein $Ga_xB_yAl_zP$ oder eine GaN_wP_v Halbleiter aufgewachsen wird, wobei x=0-1, y=0-0,1 und z=0-1, oder w=0-0,1 und v=1-w, wobei die Summe aus x, y und z für $Ga_xB_yAl_zP$ stets 1 ergibt.

7. Verfahren nach einem der Ansprüche 1 bis 6, wobei in Stufe E) ein $Ga_xB_yAl_zP$ oder eine GaN_wP_v Halbleiter aufgewachsen wird, wobei x=0-1, y=0-0,1 und z=0-1, oder w=0-0,1 und v=1-w, wobei die Summe aus x, y und z für $Ga_xB_yAl_zP$ stets 1 ergibt.

8. Monolithisches Template, erhältlich mittels eines Verfahrens nach einem der Ansprüche 1 bis 7.

9. Verwendung eines Templates nach Anspruch 8 für die monolithische Integration von III/V basierte Halbleiterbauelemente wie z.B. Transistoren, Laserdioden, LEDs, Detektoren sowie Solarzellen auf einem Si Substrat, insbesondere auf einem Si Substrat, optional mit einer Maskenstrukturierung mit einem Durchmesser von mehr als 6 cm, vorzugsweise mehr als 10 cm, insbesondere mehr als 20 cm.

10. Verwendung nach Anspruch 9, wobei anschließend an die Stufe E) weitere III/V Halbleiterschichten epitaktisch aufgewachsen und III/V Halbleiter enthaltende elektronische Bauelemente ausgebildet werden.