

一种基于 LDPC 码的通信方法和通信装置

5 技术领域

本申请涉及编码领域，并且更具体地，涉及一种基于 LDPC 码的通信方法和通信装置。

背景技术

在信道编码领域，低密度奇偶校验 (low-density parity check, LDPC) 码是应用最为成熟和广泛的信道编码方案之一。

目前，综合芯片面积和资源空闲方面的考虑，芯片是按照支持译码采用最大提升值的码字来设计的，例如新无线 (new radio, NR) 支持的提升值的范围为 2-384，芯片按照最大提升值 384 来设计。然而，在实际译码过程中，使用的提升值可能会小于最大提升值，在此情况下，可以采用多准循环 (quasi-cyclic, QC) 块并行译码的方式。但是当前的 LDPC 码的连边关系的随机性很大，可能会导致多 QC 块并行译码失败，影响译码性能。

发明内容

本申请提供一种基于 LDPC 码的通信方法和通信装置，有助于提高译码性能。

第一方面，提供了一种基于 LDPC 码的通信方法，所述方法可以由发送端设备执行，也可以由发送端设备中的模块或单元执行 (例如芯片)，为了描述方便，下文统一采用发送端设备来描述。其中，发送端设备可以为终端设备或网络设备。

所述方法包括：获取信息比特序列；根据 LDPC 基矩阵对所述信息比特序列进行 LDPC 编码，得到第一 LDPC 码字序列，其中，所述 LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元，所述第一部分是所述 LDPC 基矩阵的第 1 列至第 x 列构成的矩阵区域，所述第一单元为 q 行 k 列的矩阵且每列的列重为 1，所述第二单元为 q 行 k 列的矩阵，且所述第二单元的至少一个列的列重为 1 且剩余列的列重为 0，所述第三单元为 q 行 k 列的矩阵且每列的列重为 0， i 和 q 为正整数， x 和 k 为大于或者等于 2 的整数， M_i 为正整数， F_i 和 G_i 为非负整数；基于所述第一 LDPC 码字序列，输出第二 LDPC 码字序列。

在上述方法中，第一单元、第二单元和第三单元的列的列重均不大于 1，因此接收端设备可以对每个单元对应的码字序列进行多 QC 块并行译码，例如两个 QC 块的并行译码。并且不会出现无法译码的情况，有助于提高译码性能。并且仅有第二单元会造成部分硬件资源的浪费，因此可以提高硬件利用率。

结合第一方面，在一些实现方式中，所述基于所述第一 LDPC 码字序列，输出第二 LDPC 码字序列，包括：在所述第一 LDPC 码字序列中对应于所述 LDPC 基矩阵的信息列的部分和所述第一 LDPC 码字序列中对应于所述 LDPC 基矩阵的核心校验列的部分之间进行第一交织，得到所述第二 LDPC 码字序列，所述第一交织以提升值数量的列为粒度进行交织，所述第二 LDPC 码字序列对应的基矩阵包括的所述第二单元的数量小于所述第一 LDPC 码字序列对应的基矩阵包括的所述第二单元的数量；输出所述第二 LDPC 码字序列。

第一交织以提升值数量的列为粒度进行交织，也即第一交织为以 QC 块为粒度进行的 QC 块之间的交织。以 QC 块为粒度进行的 QC 块之间的交织也可以简称为 QC 块级的交织。

在上述方法中，在第一 LDPC 码字序列中对应于 LDPC 基矩阵的信息列的部分和第一 LDPC 码字序列中对应于 LDPC 基矩阵的核心校验列的部分之间以 QC 块为粒度进行交织，可以减少第二单元的数量。而由于仅有第二单元会造成部分硬件资源的浪费，因此通过该方法可以进一步减少硬件资源的浪费。并且，由于交织的粒度为 QC 块，复杂度很低。

结合第一方面或其任意实现方式，在另一些实现方式中，当 i_1 小于 i_2 时， F_{i_1} 大于 F_{i_2} ， F_{i_1} 为 $i=i_1$ 时 F_i 的取值， F_{i_2} 为 $i=i_2$ 时 F_i 的取值。

基于上述方法，可以在保证各码率的性能不损的前提下，尽可能提高硬件资源的利用率。

结合第一方面或其任意实现方式，在另一些实现方式中， i 的取值区间包括多个连续的子区间，同一子区间对应于相同的 F_i ，且 F_i 按照子区间递减。

5 基于上述方法，可以在保证译码效率高的基础上，使得 LDPC 基矩阵对应的每个码率的边密度符合边密度进化要求，保证译码门限较优。

结合第一方面或其任意实现方式，在另一些实现方式中，当 i 小于第一值时， F_i 大于 0；当 i 大于或者等于所述第一值时， F_i 为 0。

基于上述方法，随码率降低，LDPC 基矩阵可以在不损性能的基础上，具有更大的正交性、更大的设计自由度，基于此可以在码率低于一定阈值后使 F_i 为 0，从而提高硬件资源的利用率。

10 结合第一方面或其任意实现方式，在另一些实现方式中，当 i 小于第二值时， F_i 为 2；当 i 大于或者等于第二值且小于第三值时， F_i 为 1；当 i 大于或者等于第三值时， F_i 为 0。

基于上述方法，对支持多码率区间的 LDPC 基矩阵，随码率变化，译码门限优的 LDPC 基矩阵能达到的最高硬件利用率也会发生变化，整体上随码率降低，优化空间更大。LDPC 基矩阵的 F_i 分段的取值分别为 2，1，0，有助于实现的硬件资源利用率最高。

15 结合第一方面或其任意实现方式，在另一些实现方式中，所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列至第 x 列中的非打孔信息列；或者，所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列至第 x 列中的信息列；或者，所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列至第 x 列中的非打孔列。

20 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元包含于 LDPC 基矩阵的第 1 列至第 x 列中的非打孔信息列，可以理解为仅对 LDPC 基矩阵的非打孔信息列进行限制。由于打孔信息列与译码门限相关性很高，因此打孔信息列的设计通常优先保证译码门限。这样，仅对 LDPC 基矩阵的非打孔信息列进行设计，可以在保证译码门限的前提下，提高硬件资源的利用率。

25 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元包含于 LDPC 基矩阵的第 1 列至第 x 列中的信息列，可以理解为对 LDPC 基矩阵的全部信息列进行限制。采用打孔信息列和非打孔信息列联合设计的方式，可以提供更多的组合方式，有助于提高硬件资源的利用率。

30 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元包含于 LDPC 基矩阵的第 1 列至第 x 列中的非打孔列，可以理解为对 LDPC 基矩阵的非打孔信息列和非打孔的核心校验列进行限制。对 LDPC 基矩阵的非打孔信息列和非打孔的核心校验列进行联合设计，可以提供更多种组合情况，虽然核心校验列具有编码结构不能严格非常高硬件利用率，但是其可以与其他信息列进行组合，有助于构成硬件资源利用率更高的分组结构。

结合第一方面或其任意实现方式，在另一些实现方式中， $q=1$ 。

35 在上述方法中， $q=1$ ，即第一单元、第二单元和第三单元包括一行，使得本申请的方案同样适用于 LDPC 基矩阵的边密度较大的区域。并且 LDPC 基矩阵包括的第一单元、第二单元和第三单元规模相同，且第一单元是行正则且列正则的，在此情况下，LDPC 基矩阵具有较规整的结构，硬件译码架构可以得到简化。

结合第一方面或其任意实现方式，在另一些实现方式中，所述第一单元的非零元素的偏移值之和是提升值的整数倍。

40 在 LDPC 码中，圈是由互相连接在一起的顶点组成，圈以这群顶点中的一个顶点同时作为起点和终点，且只经过每个节点一次。一个节点的短圈是指从该节点出发的圈中的最短路径，例如，从某个节点出发，有长度分别为 4、6、8 的圈，则该变量节点的短圈为 4。某个节点的短圈的长度越长，从该节点发出的信息被传递给自身的相关性越低，则译码性能越好。上述方法有助于实现 LDPC 基矩阵中无长度比较短的短圈，如 4 短圈和 6 短圈，可以保证 LDPC 码的信息传递相关性比较低，从而提高译码性能。

45 结合第一方面或其任意实现方式，在另一些实现方式中，当码率大于第一码率阈值时， F_i 为 0。

基于上述方法，随码率降低，LDPC 基矩阵可以在不损性能的基础上，具有更大的正交性、更大的设计自由度，基于此可以在码率低于一定阈值后使 F_i 为 0，从而提高硬件资源的利用率。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一码率阈值为以下码率中的任意一个: 0.926 、 $\frac{22}{24}$ 、 $\frac{22}{25}$ 、或 $\frac{22}{26}$ 。

第一码率阈值可以是调制与编码策略 (Modulation and Coding Scheme, MCS) 表中定义的最高码率, 如 $\frac{948}{1024} \approx 0.926$ 。第一码率阈值也可以为现有基矩阵已有的码率, 如 BG1 的 $\frac{22}{24}$ 、 $\frac{22}{25}$ 、或 $\frac{22}{26}$, 这样 LDPC

5 基矩阵应用分组结构的范围可以适配已有码率, 如在码率低于 $\frac{22}{25}$ 的范围内应用本申请实施例的分组结构。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一部分的第三子部分的列包括多个分组, 每个所述分组中的任意两列的非零元素的对称差为 0 或 1, 每个所述分组至多包括一个所述第二单元, 所述第三子部分为所述第一部分的第 1 行至第 u 行、第 1 列至第 x 列构成的矩阵区域, u 为大

10 于或等于 1 的整数。

基于上述方法, 可以在保证译码门限最优的基础上, 提高硬件资源的利用率。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述 LDPC 基矩阵包括打孔列; 包括所述打孔列的所述分组包括所述第二单元。

上述方法有助于保证打孔列的成功译码。

15 结合第一方面或其任意实现方式, 在另一些实现方式中, 所述 LDPC 基矩阵包括打孔列; 所述 F_i 个第二单元中的至多一个第二单元包括所述打孔列。

基于上述方法, 在 LDPC 基矩阵具有打孔列的情况下, 可以在保证译码门限最优的基础上, 提高硬件资源的利用率。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一部分的第二子部分的列包括多个分组, 每个所述分组中的任意两列的非零元素的对称差为 0 或 1, 每个所述分组至多包括一个所述第二单元, 所述第二子部分为所述第一部分的第 1 行至第 u 行、第 1 列至第 y 列构成的矩阵区域, u 为大

20 于或等于 1 的整数, y 小于 x 。

基于上述方法, 可以在保证译码门限最优的基础上, 提高硬件资源的利用率。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述 LDPC 基矩阵的非打孔信息列对应的矩阵区域不包括所述第二单元。

基于上述方法, 可以使第二单元的数量很少, 有助于提高硬件资源的利用率。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一部分包括第一子部分, 所述第一子部分为所述第一部分的第 1 行至第 u 行、第 $y+1$ 列至第 x 列构成的矩阵区域, u 为大于或等于 1 的整数, $u-1=x-y-1$, y 小于 x ; 所述第一子部分的对角元素均为非零元素, 所述第一子部分包括 N 个分

30 块, 所述分块为方阵; 所述 N 个分块包括所述第一子部分的全部对角元素, 所述 N 个分块中的每个分块的对角元素与所述第一子部分的对角元素重叠, 所述分块之间不重叠; 所述 N 个分块中的部分或全部分块包括多行, 所述多行中至少两行的非零元素具有真包含关系。

基于上述方法, 在核心校验区域具有编码结构的情况下, 可以在保证译码门限最优的基础上, 提高硬件资源的利用率。

35 结合第一方面或其任意实现方式, 在另一些实现方式中, 所述 N 个分块由 $N1$ 个第一分块和一个第二分块组成, 所述第一分块的大小为 $k \times k$, 所述第二分块的大小为 $k' \times k'$, $N1$ 为正整数, $N2$ 为非负整数, $k' < k$ 。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一子部分中除所述 N 个分块以外的元素均为零元素。

40 基于上述方法, 可以使得第一子部分的非零元素的数量达到最少, 硬件复杂度最低。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一部分包括第一子部分, 所述第一子部分为所述第一部分的第 1 行至第 u 行、第 $y+1$ 列至第 x 列构成的矩阵区域, u 为大于或等于 1 的整数, $u-1=x-y-1$, y 小于 x ;

当 $u-1=x-y-1=3$ 时, 所述第一子部分的零元素和非零元素的位置如以下任意一个矩阵所示:

45
$$\begin{bmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}; \text{ 和/或,}$$

当 $u-l=x-y-l=4$ 时, 所述第一子部分的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}; \text{ 和/或,}$$

当 $u-l=x-y-l=5$ 时, 所述第一子部分的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 1 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix};$$

5 其中, 上述各矩阵中的“1”表示非零元素、“0”表示非零元素。

结合第一方面或其任意实现方式, 在另一些实现方式中, $q=k$ 。

结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一单元的每行的行重为 1。

基于上述方法, LDPC 基矩阵包括的第一单元、第二单元和第三单元规模相同, 且第一单元是行正则且列正则的, 在此情况下, LDPC 基矩阵具有比较规整的结构, 硬件译码架构可以得到简化。

10 结合第一方面或其任意实现方式, 在另一些实现方式中, 每个所述第一单元基于长度为 k 的序列 $\theta(\theta_1, \theta_2, \dots, \theta_a, \dots, \theta_k)$ 的置换得到, 其中, θ 的第 a 个元素 θ_a 表示所述第一单元的第 a 行、第 θ_a 列的元素为非零元素, a 为大于 0 且小于或者等于 k 的整数。

在上述方法中, 可以基于置换的方式得到每个第一单元, 实现方式简单。

15 结合第一方面或其任意实现方式, 在另一些实现方式中, $\theta_a = a + b \pmod{k}$, 或者, $\theta_a = k + 1 - a + b \pmod{k}$, 其中, b 为常数。

上述方法有助于实现 LDPC 基矩阵中无长度比较短的短圈, 如 4 短圈和 6 短圈, 可以保证 LDPC 码的信息传递相关性比较低, 从而提高译码性能。

20 结合第一方面或其任意实现方式, 在另一些实现方式中, 所述第一单元的非零元素的偏移值相同; 或者, 所述第一单元的任意两个非零元素相对于提升值的余数相同; 或者, 所述第一单元的非零元素的偏移值之和是提升值的整数倍。

上述方法有助于实现 LDPC 基矩阵中无长度比较短的短圈, 如 4 短圈和 6 短圈, 可以保证 LDPC 码的信息传递相关性比较低, 从而提高译码性能。

25 结合第一方面或其任意实现方式, 在另一些实现方式中, 每个所述第一单元包括 K 个分段, 所述 K 个分段按照列进行划分, 所述 K 个分段中的任意两个分段交集为空, 且所述 K 个分段的并集为所述第一单元, K 大于或者等于 2; 所述 K 个分段中的第 c 个分段基于长度为 $|K^c|$ 的序列 $\theta^c(\theta_1^c, \theta_2^c, \dots, \theta_a^c, \dots, \theta_{|K^c|}^c)$ 的置换得到, 其中, θ^c 中的第 a 个元素 θ_a^c 表示所述第 c 个分段的第 a 行、第 θ_a^c 列的元素为非零元素, $|K^c|$ 为所述第 c 个分段的列数, c 为大于 0 且小于或者等于 K 的整数, a 为大于 0 且小于或者等于 K^c 的整数。

30 上述方法提供了一种易于硬件准循环低密度奇偶校验 (quasi-cyclic low density parity check, QC-LDPC) 旋转网络设计的基图结构。

结合第一方面或其任意实现方式, 在另一些实现方式中, $\theta_a^c = a + b^c \pmod{|K^c|}$, 或者, $\theta_a^c = |K^c| + 1 - a + b^c \pmod{|K^c|}$, 其中, b^c 为所述第 c 个分段对应的常数。

上述方法提供了与 LDPC 基矩阵的第一单元的分段置换方式相对应的偏移值设计方案, 联合支撑 QC-LDPC。

35 结合第一方面或其任意实现方式, 在另一些实现方式中, 每个所述第一单元包括 K 个分段, 所述 K 个分段按照列进行划分, 所述 K 个分段中的任意两个分段交集为空, 且所述 K 个分段的并集为所述第一单元, K 大于或者等于 2; 所述分段的非零元素的偏移值相同; 或者, 所述分段的任意两个非零元素相对于提升值的余数相同; 或者, 所述分段的非零元素的偏移值之和是提升值的整数倍。

40 上述方法有助于避免 LDPC 基矩阵中有长度比较短的短圈, 如 4 短圈和 6 短圈, 从而提高 LDPC 码的译码性能, 降低差错平层。

结合第一方面或其任意实现方式, 在另一些实现方式中, 当 $q=k=2$ 时, 所述第一单元的零元素和非零元素的位置如以下任意一个矩阵所示: $\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$ 或 $\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$, 其中, 矩阵中的“1”表示非零元素、“0”表示非零元素。

至少一个列的列重为 1 且剩余列的列重为 0, 所述第三单元为 q 行 k 列的矩阵且每列的列重为 0, i 和 q 为正整数, x 和 k 为大于或者等于 2 的整数, M_i 为正整数, F_i 和 G_i 为非负整数。

在上述方法中, 第一单元、第二单元和第三单元的列的列重均不大于 1, 因此接收端设备可以对每个单元对应的码字序列进行多 QC 块并行译码, 例如两个 QC 块的并行译码。并且不会出现无法译码的情况, 有助于提高译码性能。并且仅有第二单元会造成部分硬件资源的浪费, 因此可以提高硬件利用率。

结合第二方面, 在一些实现方式中, 所述根据 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码, 包括: 在所述 LDPC 基矩阵的信息列和核心校验列之间进行第一列变换, 所述第一列变换以提升值数量的列为粒度进行变换, 经过所述第一列变换的所述 LDPC 基矩阵包括的所述第二单元的数量小于未经过所述第一列变换的所述 LDPC 基矩阵包括的所述第二单元的数量; 根据经过所述第一列变换的所述 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码。

第一列变换以提升值数量的列为粒度进行变换, 也即第一列变换为以 QC 块为粒度进行的 QC 块之间的列变换。以 QC 块为粒度进行的 QC 块之间的列变换也可以简称为 QC 块级的列变换。通过该方法可以进一步减少硬件资源的浪费。并且, 由于第一列变换的粒度为 QC 块, 复杂度很低。

结合第二方面或其任意实现方式, 在另一些实现方式中, 所述根据 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码, 包括: 对所述第二 LDPC 码字序列进行第一解交织, 所述第一解交织以提升值数量的列为粒度进行解交织, 得到第一 LDPC 码字序列; 根据所述 LDPC 基矩阵对所述第一 LDPC 码字序列进行译码。第一解交织以提升值数量的列为粒度进行解交织, 也即第一解交织为以 QC 块为粒度进行的 QC 块之间的解交织。以 QC 块为粒度进行的 QC 块之间的解交织也可以简称为 QC 块级的解交织。

结合第二方面或其任意实现方式, 在另一些实现方式中, 所述根据 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码, 包括: 使用相同的存储单元和计算单元, 对所述第二 LDPC 码字序列中对应于所述第一单元、所述第二单元或所述第三单元中的元素进行并行译码, 所述存储单元和所述计算单元为一个 QC 块的存储单元和计算单元。

在上述方法中, 可以使用相同的存储单元和计算单元, 对第一单元、第二单元或第三单元中的多个元素进行并行译码, 不需要一个元素处理完成后再处理另一个元素, 因此处理多个元素的时延与单独处理一个元素的时延是一致的, 有助于提高译码性能。

第二方面或其实现方式中与第一方面或其实现方式中相同的术语或特征, 可以参考第一方面或其实现方式, 其技术效果可参照第一方面或其实现方式中的技术效果, 在第二方面中不再赘述。

第三方面, 提供了一种通信装置, 该装置用于执行上述任意一方面或其实现方式提供的方法。具体地, 该装置可以包括用于执行上述任意一方面或其实现方式提供的方法的单元和/或模块, 如处理单元和/或收发单元。

在一种实现方式中, 该装置为发送端设备或接收端设备。当该装置为发送端设备或接收端设备时, 收发单元可以是收发器, 或, 输入/输出接口, 或者通信接口; 处理单元可以是至少一个处理器。可选地, 收发器为收发电路。可选地, 输入/输出接口为输入/输出电路。

在另一种实现方式中, 该装置为用于发送端设备或接收端设备中的芯片、芯片系统或电路。当该装置为用于发送端设备或接收端设备中的芯片、芯片系统或电路时, 收发单元可以是该芯片、芯片系统或电路上的输入/输出接口、接口电路、输出电路、输入电路、管脚或相关电路等; 处理单元可以是至少一个处理器、处理电路或逻辑电路等。

第四方面, 提供了一种通信装置, 该装置包括: 存储器, 用于存储程序; 至少一个处理器, 用于执行存储器存储的计算机程序或指令, 以执行上述任意一方面或其实现方式提供的方法。

在一种实现方式中, 该装置为发送端设备或接收端设备。

在另一种实现方式中, 该装置为用于发送端设备或接收端设备中的芯片、芯片系统或电路。

第五方面, 提供了一种通信装置, 该装置包括: 至少一个处理器和通信接口, 该至少一个处理器用于通过该通信接口获取存储在存储器的计算机程序或指令, 以执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

在一种实现方式中, 该装置还包括该存储器。

第六方面，提供了一种处理器，用于执行上述各方面提供的方法。

对于处理器所涉及的发送和获取/接收等操作，如果没有特殊说明，或者，如果未与其在相关描述中的实际作用或者内在逻辑相抵触，那么可以理解为处理器输出和接收、输入等操作，也可以理解为由射频电路和天线所进行的发送和接收操作，本申请对此不做限定。

5 第七方面，提供了一种计算机可读存储介质，该计算机可读介质存储用于设备执行的程序代码，该程序代码包括用于执行上述任意一方面或其实现方式提供的方法。

第八方面，提供了一种包含指令的计算机程序产品，当该计算机程序产品在计算机上运行时，使得计算机执行上述任意一方面或其实现方式提供的方法。

10 第九方面，提供了一种芯片，芯片包括处理器与通信接口，处理器通过通信接口读取存储器上存储的指令，执行上述任意一方面或其实现方式提供的方法。该通信接口可以由硬件或软件实现。

可选地，作为一种实现方式，芯片还包括存储器，存储器中存储有计算机程序或指令，处理器用于执行存储器上存储的计算机程序或指令，当计算机程序或指令被执行时，处理器用于执行上述任意一方面或其实现方式提供的方法。

15 其中，当本申请提供的方法由芯片执行时，本申请不限定具体实现本申请方法的芯片个数，例如可以由一个芯片执行，也可以是2个或2个以上的芯片执行。并且，当实现本申请方法的芯片个数为2个及2个以上时，不限定芯片厂家，可以是相同厂家，也可以是不同厂家。

第十方面，提供了一种通信系统，包括上文所述的发送端设备或接收端设备中的至少一个。

第十一方面，提供了一种计算机程序，当其在计算机上运行时，使得上述任意一方面或其实现方式提供的方法被执行。

20

附图说明

图1是可以应用本申请的实施例的网络架构的示意图。

图2为一个LDPC的校验矩阵H的示意图。

图3为一个LDPC的校验矩阵H的坦纳(Tanner)图。

25 图4是校验矩阵的结构的一个示意图。

图5示出了非列正则的分组结构和列正则的分组结构的一个示例。

图6示出了非行正则的分组结构和行正则的分组结构的一个示例。

图7是采用k=2的分组结构1的矩阵的一个示意图。

图8是采用k=2的分组结构2的矩阵的一个示意图。

30 图9是信息传输流程的示意图。

图10是本申请提供的基于LDPC码的通信方法1000的示意性流程图。

图11是分组结构1和分组结构2对应的硬件译码架构的示意图。

图12是本申请提供的编码链的一个示意图。

图13是信息列与核心校验列之间的QC块的交织的一个示意图。

35 图14是核心列的分组的一个示例。

图15是对B部分进行分块的一个示意图。

图16是不同码率下非列正则的分组结构的数量变化的一个曲线图。

图17是不同码率下的LDPC码的等效译码QC块数的仿真结果。

图18是不同码率下的LDPC码的信噪比(signal-noise ratio, SNR)的仿真结果。

40 图19是不同码长、不同码率下的LDPC码的信噪比的仿真结果一。

图20是不同码长、不同码率下的LDPC码的信噪比的仿真结果二。

图21是不同码长、不同码率下的LDPC码的信噪比的仿真结果三。

图22是本申请的实施例提供的装置的一种结构示意图。

图23是本申请的实施例提供的装置的另一结构示意图。

45 图24是本申请实施例提供一种芯片系统的示意图。

具体实施方式

为便于理解本申请的实施例，在介绍本申请的实施例之前，先做出以下几点说明。

“用于指示”或“指示”可以包括用于直接指示和用于间接指示，或者说“用于指示”或“指示”可以显式地和/或隐式地指示。第一、第二、等各种数字编号仅为描述方便进行的区分，并不用来限制本申请实施例的范围，例如区分不同的消息、不同的信息等。“预先定义”可以通过在设备中预先保存相应的代码、表格或其他可用于指示相关信息的方式来实现，本申请对于其具体的实现方式不做限定。5 涉及的“协议”可以是指通信领域的标准协议，例如可以包括长期演进（long term evolution, LTE）协议、NR 协议以及应用于未来的通信系统中的相关协议，本申请对此不做限定。“示例的”、“例如”、“示例性地”、“作为（另）一个示例”等词用于表示作例子、例证或说明。本申请中被描述为“示例”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其他方式另外特别强调。“至少一个”是指一个或者多个，“多个”是指两个或两个以上。“至多一个”、“最多一个”是指一个或者 0 个。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项（个）”或其类似表达，是指的这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a、b 和 c 中的至少一项（个），可以表示：a，或，b，或，c，或，a 和 b，或，a 和 c，或，b 和 c，或，a、b 和 c。其中 a、b 和 c 分别可以是单个，也可以是多个。涉及网元 A 向网元 B 发送消息、信息或数据，以及网元 B 接收来自网元 A 的消息、信息或数据的相关描述，旨在说明该消息、信息或数据是要发给哪个网元，而并不限定它们之间是直接发送还是经由其他网元间接发送。“当……时”、“在……的情况下”、“若”以及“如果”等描述均指在某种客观情况下设备会做出相应的处理，并非限定时间，且也不要求设备在实现时一定要10 有判断的动作，也不意味着存在其它限定。

此外，本申请实施例描述的网络架构以及业务场景是为了更加清楚的说明本申请实施例的技术方案，并不构成对于本申请实施例提供的技术方案的限制，本领域普通技术人员可知，随着网络架构的演变和新业务场景的出现，本申请实施例提供的技术方案对于类似的技术问题，同样适用。

下面对可以应用本申请的实施例的通信系统进行描述。

本申请的实施例可以应用于各种通信系统，包括但不限于：第五代（5th generation, 5G）系统或 NR 系统、LTE 系统、长期演进高级技术（long term evolution-advanced, LTE-A）系统、LTE 频分双工（frequency division duplex, FDD）系统、LTE 时分双工（time division duplex, TDD）系统等。还可以应用于未来的通信系统，例如第六代移动通信系统。此外，还可以应用于设备到设备（device to device, D2D）通信、车辆外联（vehicle-to-everything, V2X）通信、机器到机器（machine to machine, M2M）通信、机器类型通信（machine type communication, MTC）、以及物联网（internet of things, IoT）通信系统或者其它通信系统。此外，还可以扩展到类似的无线通信系统中，如无线保真（wireless-fidelity, Wi-Fi）、全球微波互联接入（worldwide interoperability for microwave access, WIMAX）、以及第三代合作伙伴计划（3rd generation partnership project, 3GPP）相关的通信系统等，不作限定。

适用于本申请的实施例的通信系统，可以包括一个或多个发送端设备，以及，一个或多个接收端设备。可选地，发送端设备和接收端设备中的一个可以为终端设备，另一个可以为网络设备。可选地，发送端设备和接收端设备可以均为终端设备。可选地，发送端设备和接收端设备可以均为网络设备。

示例性地，图 1 示出了可以适用本申请的实施例的网络架构的示意图。

如图 1 所示，本申请的实施例既可以适用于上行数据传输，也可以适用于下行数据传输。图 1 中仅以一个网络设备和两个终端设备（如终端设备 1 和终端设备 2）之间的上行数据传输或下行数据传输作为示例。在上行数据传输中，本文中的发送端设备为终端设备，接收端设备为网络设备；反之，在下行数据传输中，发送端设备为网络设备，接收端设备为终端设备。此外，不限定本申请的实施例在其它通信场景中的适用性，例如，也可以应用于侧行链路通信中。

本申请的终端设备也可以称为用户设备（user equipment UE）、接入终端、用户单元、用户站、移动站、移动台、移动终端（mobile terminal, MT）、远方站、远程终端、移动设备、用户终端、终端、无人15 机、无线通信设备、用户代理或用户装置等。本申请实施例中的终端设备可以是指向用户提供语音和/或数据连通性的设备，可以用于连接人、物和机，例如具有无线连接功能的手持式设备、车载设

备等。本申请的实施例中的终端设备可以是手机 (mobile phone)、平板电脑 (pad)、笔记本电脑、掌上电脑、移动互联网设备 (mobile internet device, MID)、可穿戴设备、虚拟现实 (virtual reality, VR) 设备、增强现实 (augmented reality, AR) 设备、工业控制 (industrial control) 中的无线终端、无人驾驶 (self driving) 中的无线终端、远程手术 (remote medical surgery) 中的无线终端、智能电网 (smart grid) 中的无线终端、运输安全 (transportation safety) 中的无线终端、智慧城市 (smart city) 中的无线终端、智慧家庭 (smart home) 中的无线终端等。

本申请的网络设备可以是具有无线收发功能的设备, 该网络设备可以是提供无线通信功能服务的设备, 通常位于网络侧, 包括但不限于 5G 系统中的下一代基站 (gNodeB, gNB)、第六代移动通信系统中的基站、未来移动通信系统中的基站, 或无线保真 (wireless fidelity, WiFi) 系统中的接入节点, 长期演进 (long term evolution, LTE) 系统中的演进型节点 B (evolved node B, eNB)、无线网络控制器 (radio network controller, RNC)、节点 B (node B, NB)、基站控制器 (base station controller, BSC)、家庭基站 (例如, home evolved NodeB, 或 home Node B, HNB)、基带单元 (base band unit, BBU), 传输接收点 (transmission reception point, TRP)、发射点 (transmitting point, TP)、基站收发台 (base transceiver station, BTS)、卫星、无人机等。在一种网络结构中, 网络设备可以包括集中单元 (centralized unit, CU) 节点, 或包括分布单元 (distributed unit, DU) 节点, 或者为包括 CU 节点和 DU 节点的 RAN 设备, 或者为包括控制面 CU 节点和用户面 CU 节点, 以及 DU 节点的 RAN 设备, 或者, 网络设备还可以为云无线接入网络 (cloud radio access network, CRAN) 场景下的无线控制器、中继站、车载设备以及可穿戴设备等。此外, 基站可以是宏基站、微基站、中继节点、施主节点或其组合。基站还可以指用于设置于前述设备或装置内的通信模块、调制解调器或芯片。基站还可以是移动交换中心以及 D2D、V2X、M2M 通信中承担基站功能的设备、6G 网络中的网络侧设备、未来的通信系统中承担基站功能的设备等。基站可以支持相同或不同接入技术的网络, 不作限定。

在无特殊说明的情况下, 本申请中用于实现终端设备或网络设备的功能的装置可以是指终端设备或网络设备本身, 也可以是指能够支持终端设备或网络设备实现该功能的装置, 例如芯片系统或芯片, 具体的, 片上系统 (system on a chip, SoC), 调制解调器 (Modem)。该装置可以被安装在终端设备或网络设备中。本申请实施例中, 芯片系统可以由芯片构成, 也可以包括芯片和其他分立器件。

还需要指出的是, 本文部分实施例以 5G 系统为例介绍具体的方案细节。可以理解的是, 当该方案用于其它通信系统时, 例如, LTE 系统, 或者未来的通信系统, 方案中的各消息、信道或信息等可以替换为其它通信系统中能够实现相应功能的消息、信道或信息等, 本申请对此不作限定。

为了便于理解本申请的实施例, 对本申请的实施例涉及的几个概念或者术语做简单说明。以下所介绍的概念或者术语是参考协议中规定的概念或术语为基础进行说明的, 但并不意味着本申请的实施例只能应用于目前已有的系统中, 本申请实施例涉及的概念或者术语可以应用于未来的系统中。并且其中概念或者术语的具体名称 (例如涉及功能性描述的概念或者术语) 可以随未来系统的发展做出调整。

1、LDPC 码

LDPC 码是一种线性分组码, 其校验矩阵是一种稀疏矩阵。LDPC 的校验矩阵中零元素的个数远远多于非零元素的个数, 或者说, 校验矩阵的行重、列重分别与 LDPC 的码长相比是很小的数。其中, 信息比特序列的长度等于 w 、码长等于 v 的 LDPC 码, 可以由其校验矩阵唯一确定。

Tanner 在 1981 年将 LDPC 的码字用图的方式表示了出来, 现在将这种图称为 Tanner 图, Tanner 图和校验矩阵一一对应。Tanner 图由两类顶点组成, 一类顶点代表码字比特, 称为变量节点, 另一类顶点为校验节点, 代表校验约束关系, 每个校验节点代表一个校验约束关系, 下面结合图 2 和图 3 进行说明。

图 2 为一个 LDPC 的校验矩阵 H 的示意图。

图 2 中, $\{V_i\}$ 表示变量节点 (variable node, VN) 集, $\{C_i\}$ 表示校验节点 (check node, CN) 集。校验矩阵 H 的每行代表一个校验方程, 每个校验方程对应于一个校验节点, 每列代表一个码字比特, 每个码字比特对应于一个变量节点。图 2 中, 变量节点为 8 个, 校验节点为 4 个。如果一个码字比特包含在相应的校验方程中, 就用一条连线将所涉及的变量节点和校验节点连起来, 得到 Tanner 图。

图 3 为一个 LDPC 的校验矩阵 H 的 Tanner 图。

如图3所示, Tanner图表示的即LDPC的校验矩阵。例如, 对于大小为 g 行 v 列的校验矩阵 H , Tanner图中包含两类节点, 分别为 v 个变量节点和 g 个校验节点。其中, 所述 v 个变量节点分别和校验矩阵 H 的 v 个列对应, 所述 g 个校验节点分别和校验矩阵 H 的 g 个行对应。Tanner图中的循环是由互相连接在一起的顶点组成, 循环以这群顶点中的一个顶点同时作为起点和终点, 且只经过每个节点一次。循环的长度定义为它所包含的连线的数量, 而图形的围长也可以称作图形的尺寸, 定义为图中最小的循环长度, 如图3中, 围长为4, 如图3中加黑连线所示。Tanner图中的变量节点对应校验矩阵 H 的每一列, 也即对应LDPC的每一码字比特。Tanner图中的校验节点分别对应校验矩阵 H 的每一行, 也即对应LDPC的校验比特。两类节点之间的连接情况对应 H 矩阵中元素的取值。若第 i 个校验节点与第 j 个变量节点之间存在连接, 则代表 H 矩阵中的元素 (i, j) 的取值为1, 若无连接, 则对应的元素为0。变量节点和校验节点之间的连线也可以称为连边。校验节点与变量节点之间存在连接, 也可以描述为: 校验节点与变量节点之间具备连接或连边。校验节点与变量节点之间的连边关系可以包括存在连边或不存在连边两种情况。

此外, 在Tanner图中, 环(cycle)是指由变量节点、校验节点和连边首尾相连组成的闭合环路。如上文所述, LDPC是一种线性分组码, 线性分组码是将待编码的信息序列以 w 个比特为单位划分成组, 再由编码器对这 w 个信息比特进行线性运算, 得到 g 个校验比特, 接着将这 w 个信息比特与 g 个校验比特合并, 得到长度 $v=w+g$ 的码字。从 w 比特的信息位到长度为 v 比特的码字的映射关系, 通常由一个对应的校验矩阵 H 来表示。根据校验矩阵 H 可相应地生成码字序列完成编码过程, 码字序列通过信道传输之后, 由接收端设备对接收到的信号进行相应地译码, 判决出原有的信息比特。

2、QC-LDPC码

QC-LDPC码是一类结构化的LDPC码。由于其校验矩阵的独特结构, 编码时可以利用简单的反馈移位寄存器实现, 降低LDPC码的编码复杂度。在码长较长的情况下, LDPC码的校验矩阵 H 会十分庞大, 因此通常将 H 分块表示: 完整的校验矩阵 H 视作由多个 $Z_c \times Z_c$ 的子矩阵生成。具体地, 完整的校验矩阵 H 可由一个基矩阵 H_b 表示, H_b 中的每个元素对应一个 $Z_c \times Z_c$ 的子矩阵, 每个子矩阵均可以由循环移位的位数表示, 由此, 完整的校验矩阵 H 所需的存储空间极大减小。基矩阵 H_b 中的元素也可以称为准循环(quasi-cyclic, QC)块。

基于基矩阵 H_b 以及提升值 Z_c (lifting size), 可以将基矩阵 H_b 扩展为完整的校验矩阵用于编码或者译码。 Z_c 也可以称为扩展因子、提升因子、扩展值、扩展系数、或提升尺寸等。

例如, QC-LDPC码的基矩阵 H_b 如下所示:

$$H_b = \begin{bmatrix} 13 & 48 & 80 & 66 & 4 & 74 & 7 & 30 & 76 & 52 & 37 & 60 & -1 & 49 & -1 & 73 & 31 & 74 & 73 & 23 & 1 & 0 & -1 & -1 \\ 69 & 63 & 74 & 56 & 64 & 77 & 57 & 65 & 6 & 16 & 51 & -1 & 64 & -1 & 64 & 68 & 9 & 48 & 62 & 54 & -1 & 0 & 0 & -1 \\ 51 & 15 & 0 & 80 & 24 & 25 & 42 & 54 & 44 & 71 & 71 & 9 & 67 & 35 & 67 & -1 & 58 & -1 & 29 & -1 & 0 & -1 & 0 & 0 \\ 16 & 29 & 36 & 41 & 44 & 56 & 59 & 37 & 50 & 24 & -1 & 65 & 4 & 65 & 4 & 52 & -1 & 4 & -1 & 73 & 1 & -1 & -1 & 0 \end{bmatrix}$$

可以看出, 基矩阵 H_b 的大小为4行24列, 基矩阵 H_b 中的每个元素表示一个 Z_c 阶的方阵, 元素 $P_{Z_c}^i$ 表示循环置换矩阵, i 表示循环移位值, i 为整数。另外, 基矩阵 H_b 中的“-1”表示全零矩阵, “0”表示单位矩阵。

例如, $P_{Z_c}^1$ 如下所示:

$$P_{Z_c}^1 = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & 1 \\ 1 & 0 & 0 & \dots & 0 \end{bmatrix}$$

可选的, 基矩阵 H_b 中的零元素除了“-1”, 也可以有其他的表述形式, 例如使用“-”或空值表示全零矩阵。LDPC码的基矩阵也可以称为LDPC基矩阵。

3、非零元素和零元素

在校验矩阵中, 零元素表示变量节点和校验节点之间不存在连接, 非零元素表示变量节点和校验

节点之间存在连接。

在 LDPC 基矩阵中，零元素表示 Z_c 阶的全零方阵，非零元素表示 Z_c 阶的单位矩阵或基于 Z_c 阶的单位矩阵的循环置换矩阵，非零元素的取值表示相对于单位矩阵的循环移位值或偏移值 (shifting value)。

本申请并不限定零元素和非零元素的具体表现形式。例如，如图 2 所示的校验矩阵 H 中使用“0”表示零元素，使用“1”表示非零元素。又例如，如上文所述的基矩阵 H_b 中使用“-1”表示零元素，使用“非负值”表示非零元素。

为了描述方便，下文的 LDPC 基矩阵使用“0”表示零元素，使用“1”表示非零元素。

4、列重和行重

对于矩阵的某一列来说，列重可以指该列包含的非零元素的数量。对于矩阵的某一行来说，行重可以指该行包含的非零元素的数量。例如，如图 2 所示，校验矩阵 H 的第一列的列重为 2、第一行的行重为 4。又例如，如上文所述的基矩阵 H_b 的第一列的列重为 4、第一行的行重为 20。

5、校验矩阵的结构

图 4 是校验矩阵的结构示意图。

如图 4 (a) 所示，校验矩阵可以包括高码率区域 (high rate region)、全零区域、增量冗余区域 (incremental redundancy region) 和类-拉普特区域 (raptor-like region)。高码率区域可以包括图 4 (b) 所示的 A 部分和 B 部分，其中，A 部分对应于信息比特 (或称信息位、系统位等)，B 部分是个方阵且对应于核心校验比特 (或称核心校验位)。全零区域可以对应于图 4 (b) 的 C 部分，是一个全零矩阵。增量冗余区域 (incremental redundancy region) 可以对应于图 4 (b) 的 D 部分。类-拉普特区域可以对应于图 4 (b) 的 E 部分，可以一个单位矩阵，对应于低码率扩展的校验比特。

图 4 所示的 LDPC 码的校验矩阵采用了“raptor-like”的结构，可以通过一个高码率的核心矩阵逐步扩展到低码率。实际使用时，如图 4 (a) 所示，可以截取校验矩阵的前 X 行和前 Y 列，随着码率由高到低，X 和 Y 逐渐增大，使用矩阵的区域也逐渐扩大。

需要说明的是，校验矩阵可以由 LDPC 基矩阵来表示，因此 LDPC 基矩阵的结构与校验矩阵的结构是类似的，在此不再详述。

6、核心矩阵、核心行、核心列、核心部分和拓展区域

核心行：是核心校验位对应的行。换句话说，核心行是高码率区域对应的行。

核心列：可以包括全部信息列和全部核心校验列。换句话说，核心列是高码率区域对应的列，或者 A 部分+B 部分所对应的列。

核心矩阵 (Kernel Matrix)：是由 LDPC 校验矩阵或 LDPC 基矩阵的全部核心行和全部核心列组成的部分。换句话说，核心矩阵是 LDPC 校验矩阵或 LDPC 基矩阵的高码率区域，或者由 A 部分和 B 部分组成的部分。

核心部分：是由 LDPC 校验矩阵或 LDPC 基矩阵的全部行和全部核心列组成的部分。换句话说，核心部分是高码率区域和类-拉普特区域组成的区域，或者由 A 部分、B 部分和 D 部分组成的区域，或者非类-拉普特节点所对应的区域。

拓展区域：也可以称为拓展矩阵或拓展部分，可以对应于上文所述的增量冗余区域或 D 部分。

7、打孔列

LDPC 码中的打孔列可以指不被发送的列。打孔列可以是信息列，也可以是校验列。在本申请中，将被打孔的信息列简称为打孔信息列，将被打孔的校验列简称为打孔校验列。

此外，LDPC 码中未被打孔的列也可以称为非打孔列。同样，非打孔列可以为信息列，也可以为校验列。在本申请中，将未被打孔的信息列简称为非打孔信息列，将未被打孔的校验列简称为非打孔校验列。

8、列分组

列分组：是指按照大于 1 列为基本单元对矩阵的列进行分组。示例性地，设核心列集合为 C，核心列集合 C 分为 t 个子集合 $C_1 \sim C_t$ 。其中 $C_1 \cup \dots \cup C_t = C$ 且 t 个子集合中的任意两个子集合的交集为空，即 $C_i \cap C_j = \emptyset$, $C_i \neq \emptyset$, $C_j \neq \emptyset$ 。

均匀的列分组：是指 t 个子集合中的每个子集合包括的列的数量相同。以均匀的 k-列分组为例，对于 t 个子集合中的任意子集合 C_i 有 $|C_i| = k$ 。

非均匀的列分组：是指 t 个子集合中存在至少两个子集合，这两个子集合包括的列的数量不同。

9、行分组

行分组：是指按照大于或者等于 1 行为基本单元对矩阵的行进行分组。示例性地，设矩阵的行集合为 R ，行集合 R 分为 s 个子集合 $R_1 \sim R_s$ 。其中 $R_1 \cup \dots \cup R_s = R$ 且 s 个子集合中的任意两个子集合的交集为空，即 $R_i \cap R_j = \emptyset$ ， $R_i \neq \emptyset$ ， $R_j \neq \emptyset$ 。

均匀的行分组：是指 s 个子集合中的每个子集合包括的行的数量相同。以均匀的 q -行分组为例，对于 s 个子集合中的任意子集合 R_i ，有 $|R_i| = q$ 。

非均匀的行分组：是指 s 个子集合中存在至少两个子集合，这两个子集合包括的行的数量不同。

10、分组结构和基本分组结构

分组结构：也可以称为分组单元或行列划分集合。当对矩阵的任意列集合 C_j 、行集合 R_i 满足条件：对任意的列 $c \in C_j$ ，有 $|e(c, R_i)| \in \{0, 1\}$ ，则称 R_i 包含的行和 C_j 包含的列构成的结构为一个分组结构，其中， $e(c, R_i)$ 表示列 c 和行集合 R_i 包含的行的连边集合， $|e(c, R_i)|$ 表示列 c 和行集合 R_i 包含的行的连边的数量。分组结构的每列的列重小于或者等于 1。

基本分组结构：若有 $e(R_i, C_j) \neq \emptyset$ 成立，则称 R_i 包含的行和 C_j 包含的列构成的结构为一个基本分组结构。

在本申请中，以均匀的 k -列分组、 q -行分组为例进行说明，在此情况下，分组结构的规模一致，分组结构的包含的连边数小于或者等于 k 。

11、列正则的分组结构

对于列集合 C_j 和行集合 R_i ，若满足对任意的 $c_1, c_2 \in C_j$ 有 $|e(c_1, R_i)| = |e(c_2, R_i)| \in \{0, 1\}$ ，则称 C_j 和 R_i 为列正则的分组结构， $|e(c_1, R_i)|$ 表示列 c_1 和行集合 R_i 包含的行的连边的数量， $|e(c_2, R_i)|$ 表示列 c_2 和行集合 R_i 包含的行的连边的数量。换句话说，列正则的分组结构的每列的列重相同，均为 0 或者均为 1。

若对所有的 $j = 1, 2, \dots, t$ 及 $i = 1, 2, \dots, q$ ，均有 C_j 和 R_i 为列正则的分组结构，则称矩阵的分组结构是列正则的。

图 5 示出了非列正则的分组结构和列正则的分组结构的一个示例。如图 5 (a) 所示的分组结构的第 1 列的列重为 1、第 2 列的列重为 0、第 3 列的列重为 1，分组机构包括的列的列重不相同，因此该分组结构是非列正则的分组结构。如图 5 (b) 所示的分组结构的每列的列重均为 1，因此此该分组结构是列正则的分组结构。

12、行正则的分组结构

对于列集合 C_j 和行集合 R_i ，若满足对任意的 $r_1, r_2 \in R_i$ ，有 $|e(r_1, C_j)| = |e(r_2, C_j)|$ ，则称 C_j 和 R_i 为行正则的分组结构， $|e(r_1, C_j)|$ 表示行 r_1 和列集合 C_j 包含的行的连边的数量， $|e(r_2, C_j)|$ 表示行 r_2 和列集合 C_j 包含的行的连边的数量。换句话说，行正则的分组结构的每行的行重相同，均为 0 或者均为某个大于或者等于 1 的数值。

若对所有的 $j = 1, 2, \dots, t$ 及 $i = 1, 2, \dots, q$ ，均有 C_j 和 R_i 为行正则的分组结构，则称矩阵的分组结构是行正则的。

图 6 示出了非行正则的分组结构和行正则的分组结构的一个示例。如图 6 (a) 所示的分组结构的第 1 行的列重为 2、第 2 列的列重为 1，分组机构包括的行的行重不相同，因此该分组结构是非行正则的分组结构。如图 6 (b) 所示的分组结构的每行的列重均为 1，因此该分组结构是非行正则的分组结构。如图 6 (c) 所示的分组结构仅包括 1 行，因此该分组结构是行正则的分组结构。

13、行正则且列正则的分组结构

若分组结构是行正则且列正则的，则该分组结构的每列的列重均为 0 或均为 1，相应地，该分组结构的每行的行重均为 0 或者均为 k/q ，且 q 整除 k 。

以下给出两种的行正则且列正则的分组结构。

1) 分组结构 1: $q=k$ 的行正则且列正则的分组结构

分组结构 1 为一个方阵，分组结构 1 的每列的列重均为 1、每行的行重也均为 1。

一种可能的实现方式， $q=k=2, 3, 4$ 。

图 7 是采用 $k=2$ 的分组结构 1 的矩阵的一个示意图。如图 7 所示， 8×26 的矩阵被划分为的 4×13 个 2×2 的分组结构，每个分组结构均为行正则且列正则。

2) 分组结构 2: $q=1$ 的行正则且列正则的分组结构

分组结构 2 仅包括 1 行, 分组结构 2 的每列的列重均为 1、行重为 k 。

一种可能的实现方式, $k=2, 3, 4$ 。

图 8 是采用 $k=2$ 的分组结构 2 的矩阵的一个示意图。如图 8 所示, 8×26 的矩阵被划分为的 8×13 个 1×2 的分组结构, 每个分组结构均为行正则且列正则。每个分组结构内的连边完全相同, 也即对于任意行 r , 有 $|N(r) \cap C_i| \in \{0, k\}$ 成立。矩阵的行重为 $k \times U$, 其中 U 为每行包括的列重为 1 的分组结构的数量。

通常 LDPC 基矩阵的核心矩阵只能支持分组结构 2。

14、信息传输流程

图 9 是信息传输流程的示意图。如图 9 所示, 信息由信源发出, 经过信源编码、信道编码、调制、空口传输、解调、信道译码、信源恢复等处理, 到达信宿, 完成信息从信源到信宿的传输。其中, 图 9 上层所示的处理 (包括信源编码、信道编码和调制等) 在发送端设备处执行, 下层所示的处理 (包括解调、信道译码、信源恢复等) 在接收端设备处执行。本申请的实施例主要涉及图 9 所示的信源编码、信道编码、信道译码与信源恢复。

目前, 综合芯片面积和资源空闲方面的考虑, 主流译码架构采用的是 QC 块并行译码架构, 芯片按照支持译码采用最大提升值的码字来设计, 例如 NR 支持的提升值的范围为 2-384, 芯片按照最大提升值 384 来设计。然而, 在实际译码过程中, 使用的提升值可能会小于最大提升值, 在此情况下, 芯片的硬件资源 (如存储资源或计算资源等) 会产生空闲, 造成硬件资源浪费。此外, 在当前的硬件资源大于使用的提升值的 2 倍的情况下或在高吞吐场景下, 还可以采用多 QC 块并行译码的方式。但是当前的 LDPC 码的连边关系的随机性很大, 即使采用多 QC 块并行译码 (例如两个 QC 块的并行译码) 的方式使得译码并行度和占用的硬件资源翻倍, 但实际的吞吐却无法达到翻倍的效果。

针对上述问题, 本申请提供了一种基于 LDPC 码的通信方法和通信装置, 能够提高译码性能。

下面结合附图对本申请的方法实施例进行描述。

图 10 是本申请提供的基于 LDPC 码的通信方法 1000 的示意性流程图。

方法 1000 可以由发送端设备和接收端设备执行, 在无特殊说明的情况下, “发送端设备”或“接收端设备”可以是指发送端设备或接收端设备本身, 也可以是指能够支持发送端设备或接收端设备实现该功能的装置, 为了描述方便, 下文统一使用发送端设备和接收端设备来描述。其中, 发送端设备可以以终端设备或网络设备, 接收端设备可以为终端设备或网络设备。

方法 1000 可以包括以下内容的至少部分内容。

步骤 1001, 发送端设备获取信息比特序列。

也就是说, 若发送端设备需要与接收端设备通信, 即发送端设备需要向接收端设备发送信号, 则发送端设备需要先获取需要向接收端设备发送的信号对应的信息比特序列。

其中, 发送端设备获取信息比特序列, 可以指: 发送端设备对信源符号进行信源编码, 生成信息比特序列。发送端设备获取信息比特序列, 还可以指: 发送端设备从其他通信装置接收信息比特序列。

步骤 1002, 发送端设备根据 LDPC 基矩阵对信息比特序列进行 LDPC 编码, 得到第一 LDPC 码字序列。

其中, LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元, 第一部分是 LDPC 基矩阵的第 1 列至第 x 列构成的矩阵区域, M_i 为正整数, F_i 和 G_i 为非负整数, x 为大于或者等于 2 的整数。这里的“单元”可以为术语解释部分提到的分组结构, 为了便于理解, 下文将单元、第一单元、第二单元和第三单元分别称为分组结构、第一分组结构、第二分组结构和第三分组结构。

第一分组结构、第二分组结构和第三分组结构均为 q 行 k 列的矩阵, 且该 q 行 k 列的矩阵的每列的列重均不大于 1。具体地, 第一分组结构的每列的列重为 1, 即第一分组结构为列重为 1 的列正则的分组结构; 第二分组结构的至少一个列的列重为 1, 剩余列的列重为 0, 由于第二分组结构中各列的列重并不相同, 因此第二分组结构为非列正则的分组结构; 第三分组结构的每列的列重为 0, 即第三分组结构为列重为 0 的列正则的分组结构, 又即第三分组结构为全 0 的 q 行 k 列的矩阵。

在本申请的实施例中, 随 i 的取值不同, M_i 、 F_i 和 G_i 的取值可能相同, 也可能不同, 不予限制。在一种可能的实现方式中, F_i 为小于或者等于阈值 V_i 的非负整数, V_i 为非负整数。 F_i 为小于或者等于

阈值 V_i 的非负整数, 可以理解为, LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括非列正则的分组结构的数量小于一定数量。

此外, 随 i 的取值不同, M_i 、 F_i 和 G_i 之和可能相同, 也可能不同, 不予限制。一种可能的实现方式, M_i 、 F_i 和 G_i 之和总为 M , 换句话说, LDPC 基矩阵第一部分的每 q 行包括 M 个大小为 $q \times k$ 的分组结构, 又或者说, LDPC 基矩阵第一部分的每 q 行被划分为 M 个大小为 $q \times k$ 的分组结构。

当 F_i 不为 0 时, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括非列正则的分组结构, 换句话说, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的分组结构即有列正则的分组结构, 又有非列正则的分组结构。当 M_{i2} 为 0 时, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行不包括非列正则的分组结构, 换句话说, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的分组结构均为列正则的分组结构。

需要说明的是, 本申请的实施例提到的 LDPC 基矩阵的结构和特征可以是 LDPC 基矩阵本身具备这些结构和特征, 也可以是 LDPC 基矩阵经过行变换和/或列变化后具备这些特征, 不予限制, 为了描述方便, 本申请的实施例均以 LDPC 基矩阵为例进行描述。

本申请实施例的 LDPC 基矩阵的结构和特征, 将在下文进行更详细的描述。

步骤 1003, 发送端设备基于第一 LDPC 码字序列, 向接收端设备发送第二 LDPC 码字序列, 或者说, 接收端设备接收来自发送端设备的第二 LDPC 码字序列。

步骤 1004, 接收端设备根据 LDPC 基矩阵对第二 LDPC 码字序列进行译码。

需要说明的是, 由于第二 LDPC 码字序列在传输过程中可能会引入信道噪声信号, 发送端设备输出或发送的第二 LDPC 码字序列与接收端设备接收到的第二 LDPC 码字序列可能会不同。

接收端设备和发送端设备所使用的 LDPC 基矩阵可以相同, 也可以不同, 不予限制。例如, 发送端设备和接收端设备均使用具备分组结构的 LDPC 基矩阵。又例如, 发送端设备使用经过行变换和/或列变换后具备分组结构的 LDPC 基矩阵对信息比特序列进行编码, 接收端设备使用本身就具备分组结构的 LDPC 基矩阵对接收到的第二 LDPC 码字序列进行译码。接收端设备使用的 LDPC 基矩阵的特征可以参考步骤 1003, 不再详述。

由于第一分组结构、第二分组结构和第三分组结构的列的列重均不大于 1, 因此对于第二 LDPC 码字序列中对应于分组结构的部分, 接收端设备可以进行多 QC 块的并行译码, 换句话说, 接收端设备可以对每个分组结构对应的码字序列进行并行译码。

一种可能的实现方式, 接收端设备使用相同的存储单元和计算单元, 对第二 LDPC 码字序列中对应于第一分组结构、第二分组结构或第三分组结构中的元素进行多 QC 块的并行译码, 这里存储单元和计算单元指的是一个 QC 块的存储单元和计算单元。

下面以最小和 (Min-Sum, MS) 译码算法为例, 分别给出 $k=2$ 时分组结构 1 和分组结构 2 对应的硬件译码架构, 以说明在 k 个 QC 块并行的译码架构下这两种分组结构均可以进行并行译码。分组结构 1 和分组结构 2 可以参考上文图 7 和图 8 的描述。

图 11 是分组结构 1 和分组结构 2 对应的硬件译码架构的示意图。

图 11 (a) 是分组结构 1 对应的硬件译码架构的示意图。如图 11 (a) 所示, 变量节点按照列分组的子集合进行存储, 即子集合内的两个变量节点存储在同一个存储单元 (或者说内存区域); 校验节点按照行分组的子集合进行存储, 即子集合内的两个校验节点存储在同一个存储单元。两个变量节点会被同时读入计算单元内, 在计算单元内 (如图 11 中的加法单元、减法单元和 min 单元等) 同时完成计算、暂存两个变量节点对应的数值。这样, 采用分组结构 1, 可以一次处理两个变量节点, 两个变量节点的操作时隙完全一致, 不需要一个变量节点处理完成后再处理另一个变量节点, 因此处理两个变量节点的时延与单独处理一个变量节点的时延是一致的。

图 11 (b) 是分组结构 2 对应的硬件译码架构的示意图, 与分组结构 1 不同的是, 该译码架构每次处理一个校验节点。

从硬件译码架构可以看出, 分组结构采用相同的规模更有利于硬件实现。若分组结构采用不同的规模, 则硬件译码架构需要按照最大规模的分组结构来设计, 包括变量节点数的支持、校验节点数的支持、以及并行度的支持等方面的设计, 在此情况下, 对于规模小于最大规模的分组结构, 则会产生硬件的浪费。若分组结构采用相同的规模, 如 $q \times k$, 则硬件译码架构按照 $q \times k$ 的规模来设计即可。按照 $q \times k$ 的规模来设计的硬件译码架构支持 q 行、 k 列的译码, 其译码并行度也是固定的 (至多为 k)。LDPC

基矩阵包括的分组结构采用相同的规模,也可以描述为,LDPC基矩阵包括的分组结构是均匀的。

若LDPC基矩阵包括的分组结构是均匀且列正则的,则译码的并行度始终为 k ,不会浪费硬件资源(如并行度资源)。例如,上述的 M 个分组结构中的第一分组结构,译码的并行度为 k ,不会造成硬件资源的浪费。

5 若LDPC基矩阵包括的分组结构是均匀且非列正则的,则会有一部分硬件资源的浪费,浪费的资源对应于非列正则的分组结构中列重为0的列数量。例如,上述的 M 个分组结构中的第二分组结构,译码的并行度为第二分组结构中列重为1的列数量,其中列重为0的列会造成硬件资源浪费,因此第二分组结构会有部分硬件资源的浪费。

10 若LDPC基矩阵包括的分组结构是均匀、行正则且列正则的,则LDPC基矩阵包括的分组结构具有规整的结构,如分组结构1和分组结构2,在此情况下,硬件译码架构可以得到进一步的简化,且不会存在并行度资源、计算资源等的浪费。

当然,本申请的实施例的LDPC基矩阵也可以采用非均匀的分组结构,采用非均匀的分组结构有助于匹配LDPC基矩阵的连边密度,保持计算资源的并行度,但是会增加硬件译码架构的设计的复杂度。

15 由以上内容可知,第一分组结构、第三分组结构不会造成硬件资源的浪费,第二分组结构会造成部分硬件资源的浪费。

在方法1000中,第一分组结构、第二分组结构和第三分组结构的列的列重均不大于1,因此接收端设备可以对每个分组结构对应的码字序列进行并行译码,不会出现无法译码的情况,有助于提高译码性能。并且仅有第二分组结构会造成部分硬件资源的浪费,因此可以提高硬件利用率。

20 此外,当限制LDPC基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括第二分组结构的数量小于或者等于阈值 V_1 时,可以实现LDPC基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括第二分组结构的数量小于一定数量,也即可以限制LDPC基矩阵包括的非列正则的分组结构的数量,从而进一步提高硬件资源的利用率。

25 本申请的实施例不限定发送端设备基于第一LDPC码字序列发送第二LDPC码字序列的实现方式。一种可能的实现方式,第一LDPC码字序列与第二LDPC码字序列相同,即发送端设备向接收端设备发送步骤1002中的得到的LDPC码字序列。

30 另一种可能的实现方式,发送端设备在第一LDPC码字序列中对应LDPC基矩阵的信息列的部分和第一LDPC码字序列中对应于LDPC基矩阵的核心校验列的部分之间进行第一交织,得到第二LDPC码字序列;发送端设备向接收端设备发送第二LDPC码字序列。其中,第一交织以提升值数量的列为粒度进行交织,第二LDPC码字序列对应的基矩阵包括的第二分组结构的数量小于第一LDPC码字序列对应的基矩阵包括的第二分组结构的数量。第一交织以提升值数量的列为粒度进行交织,也即第一交织为以QC块为粒度进行的QC块之间的交织。以QC块为粒度进行的QC块之间的交织也可以简称为QC块级的交织。

35 针对上述实现方式,接收端设备根据LDPC基矩阵对第二LDPC码字序列进行译码,可以包括:接收端设备对LDPC基矩阵的信息列和核心校验列进行第一列变换,并使用第一列变换后的LDPC基矩阵对第二LDPC码字序列进行译码,其中,第一列变换以提升值数量的列为粒度进行变换,经过第一列变换后的LDPC基矩阵包括的第二分组结构的数量小于未经过第一列变换的LDPC基矩阵包括的第二分组结构的数量,接收端设备执行的第一列变换与发送端设备进行的第一交织是对应的。换句话说,接收端设备不会对第二LDPC码字序列进行解交织,而是将LDPC基矩阵进行与发送端设备进行的QC块之间的交织相应的列变换,并使用列变换后的LDPC基矩阵对第二LDPC码字序列进行译码。第一列变换以提升值数量的列为粒度进行变换,也即第一列变换为以QC块为粒度进行的QC块之间的列变换。

40 接收端设备根据LDPC基矩阵对第二LDPC码字序列进行译码,还可以包括:接收端设备对第二LDPC码字序列进行第一解交织,得到第一LDPC码字序列,并根据LDPC基矩阵对第一LDPC码字序列进行译码,其中,第一LDPC码字序列对应的基矩阵包括的第二分组结构的数量小于第二LDPC码字序列对应的基矩阵包括的第二分组结构的数量,接收端设备执行的第一解交织与发送端设备进行的QC块之间的交织是对应的。第一解交织以提升值数量的列为粒度进行解交织,也即第一解交织为

以 QC 块为粒度进行的 QC 块之间的解交织。

需要说明的是，本申请的实施例不限定上述 QC 块之间的交织的应用场景。示例性地，上述 QC 之间的交织可以在某些特定场景中应用，如在高吞吐场景中应用的码率通常较高、码长通常不长（在 2048 以下），可以使用 LDPC 基矩阵的核心矩阵的部分或全部进行编码译码，因此可以应用上述 QC 块之间的交织。

当发送端设备执行上述 QC 块之间的交织时，可选地，发送端设备可以向接收端设备发送指示信息，用于指示接收端设备对 LDPC 基矩阵进行对应的 QC 块之间的列变换或对第二 LDPC 码字序列进行对应的 QC 块之间的解交织。

下面对发送端设备执行的 QC 块之间的交织进行详细描述。

由于 LDPC 基矩阵的信息列的数目可能不能被列分组规模 k 整除，同时 LDPC 基矩阵的核心校验列需要具有易编码的矩阵结构，因此 LDPC 基矩阵不可避免的会具有许多非列正则的分组结构，造成硬件资源的浪费。在本申请的实施例中，上述 QC 块之间的交织的内容是核心列，目的是对核心列中的信息列和核心校验列进行交织，通过对信息列和核心校验列进行 QC 块之间的交织，可以减少第二分组结构（或者说非列正则的分组结构）的数量，从而进一步减少硬件资源的浪费。并且，由于交织的粒度为 QC 块，复杂度很低。

为实现上述 QC 块之间的交织，发送端设备的编码链（encoding chain）可以具备一个 QC 块级的交织器，该 QC 块级的交织器不同于用于正交振幅调制（quadrature amplitude modulation, QAM）或衰落（fading）的交织器。本申请的实施例不限定该 QC 块级的交织器在编码链中的位置。例如，如图 12 所示，该 QC 块级的交织器可以在发送循环缓冲器之前。又例如，该 QC 块级的交织器可以在发送循环缓冲器之后且在从发送循环缓冲器读取发送之前。

一种可能的实现方式，上述 QC 块之间的交织的原则是：将 LDPC 基矩阵的信息列对应的码字序列与 LDPC 基矩阵的核心校验列对应的码字序列以 QC 块为粒度进行 QC 块之间的交织，使得交织后的码字序列对应的 LDPC 基矩阵的每个列分组的子集合中的任意两列的包括的行的对称差小于或者等于 1。某一列包括的行可以指与该列具有连边的行。两列包括的行的对称差，也可以替换为，两列的非零元素所在位置的对称差或者两列的非零元素的对称差。两列包括的行的对称差可以理解为两列包括的行的并集减去两列包括的行的交集所得到的行的数量。

图 13 是信息列与核心校验列进行 QC 块之间的交织的一个示意图。

图 13 以采用 $k=2$ 的分组结构 2 为例，图中加粗的黑框表示非列正则的分组结构。如图 13 所示，在交织前，第 7 列和第 8 列包括的行分别为 {1, 2, 3} 和 {1, 3, 4}，第 17 列和第 18 列包括的行分别为 {1, 2, 4} 和 {2, 3, 4}，第 25 列和第 26 列包括的行分别为 {2, 3} 和 {3, 4}，对称差均为 2，矩阵包括 8 个非列正则的分组结构；在交织后，列分组的每个子集合中的两列包括的行的对称差最大为 1，矩阵包括 4 个非列正则的分组结构。

需要说明的是，上述 QC 块之间的交织可以如上文所示的结合步骤 1002 中的 LDPC 基矩阵实施，也可以作为独立的实施例，单独实施。当 QC 块之间的交织单独实施时，编码使用的 LDPC 基矩阵本申请可以不具备步骤 1002 中所述的分组结构，但经过 QC 块之间的交织后，可以具备步骤 1002 中所述的分组结构，经过 QC 块之间的交织后的 LDPC 码字序列对应的基矩阵可以具备如步骤 1002 中 LDPC 基矩阵相同的分组结构。

下面对本申请的实施例的 LDPC 基矩阵的结构和特征进行详细描述。

如上文所述，本申请的实施例的 LDPC 基矩阵的第一部分具备分组结构。需要说明的是，本申请的实施例对 LDPC 基矩阵中应用分组结构的区域不进行限定。

一种可能的实现方式，分组结构应用于 LDPC 基矩阵的整个核心部分，核心部分的描述可以参见术语解释部分。若第一区域为 LDPC 基矩阵的核心部分，则 LDPC 基矩阵的第 1 列至第 x 列为 LDPC 基矩阵的全部核心列，也即第一部分为 LDPC 基矩阵的全部行和全部核心列构成的矩阵区域。

在此情况，具备分组结构的 LDPC 基矩阵可以由一个更小的指示矩阵 J 来表示，换句话说，LDPC 基矩阵可以根据指示矩阵 J 得到，其中，指示矩阵 J 的一个元素对应于第一分组结构、第二分组结构或第三分组结构中的一个，指示矩阵 J 中元素的取值用于指示该元素对应的第一分组结构、第二分组结构或第三分组结构中的零元素和/或非零元素的位置。

若 LDPC 基矩阵被划分为 $s \times t$ 个分组结构, 则 LDPC 基矩阵可以由一个 s 行 t 列的指示矩阵 J 来表示, 其中, s 为行分组的子集合数, t 为列分组的子集合数。

示例性地, 若指示矩阵 J 的第 i 行、第 j 列为 0, 则表示 LDPC 基矩阵的该位置是一个大小为 $q \times k$ 的分组结构, 且该分组结构为零矩阵; 若指示矩阵 J 的第 i 行、第 j 列为 1, 则代表 LDPC 基矩阵的该位置是一个大小为 $q \times k$ 的分组结构, 且该分组结构包含的连边数不为 0, 或者说该分组结构为基本分组结构。

一种方式中, LDPC 基矩阵的存储可以是存储指示矩阵 J , 并同时指示该指示矩阵 J 的取值为 1 的位置的对应的分组结构的连边关系或者说分组结构中的零元素和/或非零元素的位置。示例性地, 可以基于基本分组结构的种类, 在指示矩阵 J 的每个取值为 1 的位置存储一个数值, 该数值用于指示该位置的基本分组结构的类型。以图 7 所示的矩阵为例, 矩阵包括的基本分组结构有两类, 如图 7 所示的矩阵的第一个分组结构的类型为第一类, 第二个分组结构的类型为第二类, 若使用 0 表示零矩阵、使用数值 1 表示第一类基本分组结构、以及使用 2 表示第二类基本分组结构, 则图 7 所示的矩阵可以使用以下的指示矩阵 J 表示:

$$J = \begin{bmatrix} 1 & 2 & 2 & 1 & 1 & 2 & 1 & 2 & 1 & 2 & 0 & 0 & 0 \\ 2 & 1 & 1 & 1 & 2 & 1 & 2 & 0 & 0 & 0 & 1 & 1 & 2 \\ 1 & 2 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 2 & 1 & 1 & 1 \\ 1 & 0 & 0 & 0 & 2 & 2 & 1 & 1 & 2 & 2 & 1 & 1 & 1 \end{bmatrix}$$

另一种方式中, LDPC 基矩阵的存储还可以是存储 LDPC 基矩阵, 而不用指示矩阵 J 表示, LDPC 基矩阵具备明确的分组结构。

另一种可能的实现方式, 分组结构可以应用于 LDPC 基矩阵的核心部分的某个范围。

作为一个示例, 可以在 LDPC 基矩阵的第 n_1 列至第 n_2 列、第 m_1 行至第 m_2 行的范围内应用分组结构。

作为另一个示例, 可以在 LDPC 基矩阵的行数大于行数阈值的范围内应用分组结构, 也即 LDPC 基矩阵中包括第一分组结构、第二分组结构和第三分组结构的矩阵区域的行的行号均大于行号阈值。由于核心矩阵的连边密度很大, 因此能够应用的分组结构一般需要限制 $q=1$, 即若包括第一分组结构、第二分组结构和第三分组结构的矩阵区域包含核心矩阵, 则能够应用的分组结构一般需要限制 $q=1$ 。随着行号的增大, LDPC 基矩阵的连边密度会降低, 因此若只在行号大于行号阈值的范围 (例如拓展区域) 内应用分组结构, 则可以兼容更多种类的分组结构, 而不受限于 $q=1$ 的分组结构, 因而具有更加灵活的设计自由度。

作为另一个示例, 可以在 LDPC 基矩阵的行数大于第一行数阈值且小于第二行数阈值的范围内应用分组结构, 也即 LDPC 基矩阵中属于第一区域的行的行号均大于第一行号阈值且小于第二行号阈值。这样设计的好处也是具有更加灵活的设计自由度。

作为另一个示例, 可以在码率大于第二码率阈值的范围内应用分组结构, 也即 LDPC 基矩阵中包括第一分组结构、第二分组结构和第三分组结构的矩阵区域的行的行号均大于第一码率对应的矩阵区域中的行的行号, 其中第一码率大于第二码率阈值。

本申请的实施例对 LDPC 基矩阵的第一区域的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的第二分组结构 (即非列正则的分组结构) 的数量 F_i 的设置不做限制。

一种可能的实现方式, F_i 与以下信息中的至少一个相关: 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行对应的码率、第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的行重、或 LDPC 基矩阵的打孔列的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的连边关系。

示例性地, 从整体上来看, F_i 会随着码率降低而降低。在一种方式中, F_i 可以是随码率, 分段下降。例如, 当码率大于小于或等于第一码率阈值时 F_i 大于 0, 当码率大于第一码率阈值时 F_i 为 0。

示例性地, 从整体上来看, F_i 会随着行重降低而降低。在一种方式中, 例如, F_i 可以是随行重, 分段下降。例如, 当行重小于或等于行重阈值时 F_i 大于 0, 当行重大于行重阈值时 F_i 为 0。

示例性地, F_i 可以是随码率, 分段下降, 与除打孔列外的非零元素数成反比。

示例性地, F_i 可以是随码率, 分段下降, 与除打孔列外的零元素数成正比。

其中, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的行重, 包括以下信息中的至少一个: 在 LDPC 基矩阵包括打孔列的情况下, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的包括打孔列的行重; 在 LDPC 基矩阵包括打孔列的情况

下, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的不包括所述打孔列的行重; 或, 在 LDPC 基矩阵不包括打孔列的情况下, 第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的行重。

其中, 以 LDPC 基矩阵包括打孔列 1 和 2、 $q=1$ 为例对 LDPC 基矩阵的打孔列的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行的连边关系进行说明, 该连边关系可以为: 该行与打孔列 1 和 2 均具有连边、该行与打孔列 1 具有连边且与打孔列 2 不具有连边、该行与打孔列 1 不具有连边且与打孔列 2 具有连边、该行与打孔列 1 和 2 均不具有连边。

另一种可能的实现方式, 在本申请的实施例中, 随 i 增大, F_i 可以逐渐变小。如当 i_1 小于 i_2 时, F_{i_1} 大于 F_{i_2} , F_{i_1} 为 $i=i_1$ 时 F_i 的取值, F_{i_2} 为 $i=i_2$ 时 F_i 的取值。

作为一个示例, 随 i 增大 F_i 变小可以指: i 的取值区间包括多个连续的子区间, 同一子区间对应于相同的 F_i , 且 F_i 按照子区间递减。换句话说, 非列正则的分组结构的数量是随 i 的变化分段的, 并且非列正则的分组结构的数量按照分段递减。可选地, 每个分段对应相同的非列正则的分组结构的数量。若多个连续的子区间具有编号, 则 F_i 按照子区间递减可以理解为按照子区间编号由小到大 F_i 递减。

例如, 当 i 小于第一值 (也即子区间 1) 时, F_i 大于 0; 当 i 大于或者等于第一值 (也即子区间 2) 时, F_i 为 0, 换句话说, 可以设计在 i 超过第一值后非列正则的分组结构的数量为 0。

又例如, 当 i 小于第二值 (也即子区间 1) 时, F_i 为 2; 当 i 大于或者等于第二值且小于第三值 (也即子区间 2) 时, F_i 为 1; 当 i 大于或者等于第三值 (也即子区间 3) 时, F_i 为 0。

在本申请的实施例中, 可以设置 $q=1$ (对应于上文的分组结构 2), 也可以设置 $q=k$ 对应于上文的分组结构 1)。下面分别对这两种情况下的 LDPC 基矩阵设计进行描述。

情况 1: $q=1$, 即分组结构包括一行。

在该情况下, LDPC 基矩阵的设计方式有多种, 不予限制。

第一种可能的实现方式, 第一部分包括第三子部分, 第三子部分为第一部分的第 1 行至第 u 行、第 1 列至第 x 列构成的矩阵区域, u 为大于或等于 1 的整数。示例性地, 第三子部分为 LDPC 基矩阵的核心矩阵, 核心矩阵的列可以属于多个分组, 每个分组中的任意两列包括的行的对称差为 0 或 1, 且每个分组至多包括一个第二分组结构 (即非列正则的分组结构)。

这里所说的分组可以指按照“包含的行”作为分类依据, 对核心列进行分类得到的分组, 由于核心矩阵的行数较少, 因此可以使用列包含的行对核心列进行分类。其中, 某一列包含的行可以指与该列具有连边的行。示例性地, 设核心矩阵对应的行集合为 $\gamma = \{r_1, r_2, \dots, r_x\}$, 每个核心列包含的行的集合是 δ , $\delta \subseteq \gamma$, 依据每个核心列的 δ 对核心列进行分类, 得到的多个分组, 每个分组中的任意两列包括的行的对称差小于或者等于 1。可选地, 每个分组中的行的 δ 满足 $|\delta| = X$ 或 $|\delta| = X-1$, 其中, $|\delta|$ 表示行集合 δ 中的行的数量, X 为核心矩阵包括的行的数量。

图 14 是核心列的分组的一个示例。图 14 以 $k=2$ 为例, 如图 14 所示, 经过列变换后, 26 个核心列分可以为分组 1~分组 5, 分组 1 包括第 1 列和第 2 列, 分组 2 包括第 1~7 列和第 24 列, 分组 3 包括第 12~17 列和第 23 列, 分组 4 包括第 8~12 列和第 26 列, 分组 5 包括第 18~22 列和第 25 列, 分组 1、2、4、5 均包括一个非列正则的分组结构, 分组 3 不包括非列正则的分组结构。

按照“包含的行”对核心列进行分类的方式可以适用于包括打孔列的 LDPC 基矩阵, 也可以适用于不包括打孔列的 LDPC 基矩阵, 不予限制。

当 LDPC 基矩阵包括打孔列时, 核心矩阵一定包括非列正则的分组结构。一种可能的实现方式, 包含打孔列的分组中一定包含非列正则的分组结构。可选地, LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的 F_2 个第二分组结构中的至多一个第二分组结构包括打孔列。当 LDPC 基矩阵可以使用指示矩阵 J 表示时, LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的 F_2 个第二分组结构中的至多一个第二分组结构包括打孔列, 也可以描述为, 指示矩阵 J 的每行至多对应于一个非列正则且包含打孔列的分组结构。LDPC 基矩阵的非打孔信息列对应的矩阵区域不包括第二分组结构。

此外, 当核心矩阵包括非列正则的分组结构时, 分组结构可以适用的矩阵范围为全部核心矩阵, 也即非列正则的分组结构可以兼容由核心校验列和核心行构成的矩阵区域。

当 LDPC 基矩阵不包括打孔列时, 核心矩阵可以包括非列正则的分组结构, 也可以不包括非列正则的分组结构, 不予限制。

第二种可能的实现方式, 第一部分包括第二子部分和第一子部分。其中, 第二子部分为第一部分

的第 1 行至第 u 行、第 1 列至第 y 列构成的矩阵区域，第一子部分为第一部分的第 1 行至第 u 行、第 $y+1$ 列至第 x 列构成的矩阵区域， u 为大于或等于 1 的整数， $u-1=x-y-1$ ， y 小于 x 。示例性地，第二子部分是由 LDPC 基矩阵的全部核心行和 LDPC 基矩阵的全部信息列组成的矩阵区域，也即 A 部分，第一子部分是由 LDPC 基矩阵的全部核心行和 LDPC 基矩阵的全部核心校验列组成的矩阵区域，也即 B 部分。

第二子部分的列属于多个分组，每个分组中的任意两列包括的行的对称差为 0 或 1。每个分组至多包括一个非列正则的分组结构，或者第二子部分不包括非列正则的分组结构，其中，非打孔信息列对应的矩阵区域不包括第二分组结构。得到多个分组的方式可以参考第一种可能的实现方式，不再赘述。

第一子部分的对角元素均为非零元素，且第一子部分包括 N 个分块， N 个分块包括第一子部分的全部对角元素。 N 个分块中的每个分块均为方阵，且每个分块的对角元素与第一子部分的对角元素重叠，分块与分块之间不重叠。 N 个分块中的部分或全部分块包括多行，分块包括的多行中至少两行的非零元素具有真包含关系。两行具有真包含关系可以理解为两行中的一行包括的列真包含于两行中的另一列包括列。某一行包括的列可以指与该行具有连边的列。例如，行#1 包括列#1、列#2 和列#3，行#2 包括列#2 和列#3，则行#2 真包含于行#1。

一种可能的实现方式， N 个分块由 N_1 个第一分块和一个第二分块组成，其中，第一分块的大小为 $k \times k$ ，第二分块的大小为 $k' \times k'$ ， N_1 为正整数， N_2 为非负整数， k' 小于 k 。

一种可能的实现方式，第一子部分中除 N 个分块以外的元素可以包括非零元素，也可以均为零元素。当第一子部分中除 N 个分块以外的元素均为零元素时，第一子部分中的非零元素达到最少，有助于降低硬件复杂度。

下面对第一子部分（即 B 部分）的设计进行详细说明。

LDPC 基矩阵的 B 部分是核心校验区域，是个方阵。设 B 部分为 $X \times X$ 的方阵，其中 X 为核心行的数量，也即 $u-1=x-y-1=X$ 。矩阵的 B 部分的设计原则是：易于通过解方程进行编码且基矩阵满秩。由于 X 未必能整除列分组的规模 k ，故列分组可能为非均匀的列分组。若 B 部分的列分组为非均匀的列分组，则 B 部分对应的列分组的子集合中至多有一个子集合包括的列数小于 k ，即为 B 部分的列分组为 $C_1, C_2, \dots, C_r$ ，其中 $|C_i|=k$ 对 $i < r$ 成立， $|C_r|=k'$ ， $k' \leq k$ 。

首先，对 B 部分进行分块。对 $i, j < r$ ，分块 (i, j) 的范围为由第 $(i-1) \times k+1$ 至 $i \times k$ 行、第 $(j-1) \times k+1$ 至 $j \times k$ 列构成的矩阵区域；对 $i=r, j < r$ ，分块 (i, j) 的范围为由第 $(r-1) \times k+1$ 至 X 行、第 $(j-1) \times k+1$ 至 $j \times k$ 列构成的矩阵区域；对 $i < r, j=r$ ，分块 (i, j) 的范围为由第 $(i-1) \times k+1$ 至 $i \times k$ 行、第 $(r-1) \times k+1$ 至 X 列构成的矩阵区域；对 $i=r, j=r$ ，分块 (i, j) 的范围为由第 $(r-1) \times k+1$ 至 X 行、第 $(r-1) \times k+1$ 至 X 列构成的矩阵区域。

然后，对划分得到的分块进行分类，得到两类分块，第一类为 $i=j$ 的分块，第二类为剩余所有分块。上述第三矩阵中的 N 个分块指的是第一类分块。

其中，第一类分块包含 B 部分的全部的对角元素，第一类分块包括的分组结构一定为非全零的分组结构（或者说基本分组结构），若 LDPC 基矩阵使用指示矩阵 J 表示，则第一类分块对应的指示矩阵 J 中的位置的一定为非零元素。示例性地，设第一类分块中的分块 L 包含的行划分为包含的行划分为 $R_1, R_2, \dots, R_f$ ，则有 $e(R_x, C_i) \neq \emptyset$ 对 $x=1, \dots, f$ 成立。若采用分组结构 2，则 $|R_x|=q=1$ ，分块 L 包含 k 个分组结构（对 $i < r$ 分块 L 包括 k 行）或者 k' 个分组结构（对于 $i=r$ ，分块 L 包括 k' 行）。

第二类分块包括的分组结构可以为全零分组结构，也可以为非全零的分组结构，若 LDPC 基矩阵使用指示矩阵 J 表示，则第二类分块对应的指示矩阵 J 中的位置可能为零元素。一种可能的实现方式，第二类分块包括的分组结构全部为全零的分组结构，即在第二类分块的区域内无任何连边，所有的连边均在第一类分块中，此时 B 部分的非零元素的数量达到最少，硬件复杂度最低。

图 15 是对 B 部分进行分块的一个示意图。

图 15 中的加粗的黑框的区域表示一个分块，包括黑色方块和灰色方块的分块为第一类分块，包括白色方块的分块为第二类分块。其中，黑色方块的位置具有连边，灰色方块的位置可能具有连边，白色方块的位置并没有连边。

图 15 (a) 是 $k=2, X=3$ 时 B 部分包括的分块的示意图，此时 B 部分的第一类分块包括 1 个 2×2 的分块和 1 个 1×1 的分块，第二类分块包括 1 个 1×2 的分块和 1 个 2×1 的分块。图 15 (b) 是 $k=2, X=4$

时 B 部分包括的分块的示意图, 此时 B 部分的第一类分块包括 2 个 2×2 的分块, 第二类分块包括 2 个 2×2 的分块。图 15 (c) 是 $k=2$, $X=5$ 时 B 部分包括的分块的示意图, 此时 B 部分的第一类分块包括 2 个 2×2 的分块和 1 个 1×1 的分块, 第二类分块包括 2 个 2×2 的分块、2 个 2×1 的分块和 2 个 1×2 的分块。图 15 (d) 是 $k=2$, $X=6$ 时 B 部分包括的分块的示意图, 此时 B 部分的第一类分块包括 3 个 2×2 的分块, 第二类分块包括 6 个 2×2 的分块。图 15 (e) 是 $k=3$, $X=6$ 时 B 部分包括的分块的示意图, 此时 B 部分的第一类分块包括 2 个 3×3 的分块, 第二类分块包括 2 个 3×3 的分块。

在上述分块的位置确定后, 非全零的分组结构的位置已经确定。下面描述非全零的分组结构的更详细的特征。

由于第一类分块包含 B 部分的全部的对角元素, 对每个第一类的分块包括的 k 或者 k' 个非全零的分组结构 (当 $q=1$ 时) 中一定存在非列正则的分组结构, 且该分块包括的多行中至少两行的非零元素 (或者说连边) 具有真包含关系。示例性地, 设非列正则的分组结构对应行是 R_1 , 若存在列正则的分组结构, 设列正则的分组结构对应的行是 R_2 , 则有 $c(R_1, C_i)$ 真包含于 $c(R_2, C_i)$; 若不存在列正则的分组结构, 上述真包含关系也是一定存在的。不要求分块中一定存在列正则的分组结构的好处是度数分布更加灵活, 设计空间也更大。

一种可能的实现方式, 每个 $i=j=1, \dots, r-1$ 的分块均中存在列正则的分组结构和非列正则的分组结构。根据分块的规模, $i=j=r$ 的分块中可能只具有非列正则的分组结构, 或只具有列正则的分组结构, 或兼具非列正则的分组结构和列正则的分组结构。若 $i=j=r$ 的分块的行数大于 1, 则该分块的多行中至少两行的非零元素 (或者说连边) 具有真包含关系。

B 部分的上述实现方式的好处是易于编码, 可以通过核心校验方程进行累加实现解方程, 达到编码的效果。并且 B 部分的结构不会为双对角结构。基于本申请的实施例的 B 部分的编码过程可以以分块为基本结构进行, 即依次或并行对每个 $i=j$ 的分块进行, $i=j=1, 2, \dots, r$ 。

下面给出 B 部分的几个示例。

当 $u-l=x-y-l=X=3$, $k=2$ 时, B 部分的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}.$$

当 $u-l=x-y-l=X=3$, $k=3$ 时, B 部分的零元素和非零元素的位置如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}.$$

当 $u-l=x-y-l=X=4$, $k=2$ 时, B 部分的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix}.$$

当 $u-l=x-y-l=X=4$, $k=3$ 时, B 部分的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}.$$

当 $u-l=x-y-l=X=5$, $k=2$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}.$$

当 $u-l=x-y-l=X=5$, $k=3$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}.$$

当 $u-l=x-y-l=X=5$, $k=4$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}。$$

当 $u-l=x-y-l=X=5$, $k=5$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 & 0 & 1 \\ 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}。$$

当 $u-l=x-y-l=X=6$, $k=2$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}。$$

当 $u-l=x-y-l=X=6$, $k=3$ 时, B 部分的零元素和非零元素的位置可以如以下矩阵所示:

$$\begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}。$$

需要说明的是, 上述 B 部分的各个示例仅为了解方便, 并不意味着限制于此。

10 以上对情况 1 下的 LDPC 基矩阵的核心矩阵的设计进行了描述。在一些可能的实现方式中, 第一部分还包括第四子部分, 第四子部分可以为 LDPC 基矩阵的拓展矩阵。下面对拓展矩阵的设计进行描述。

拓展矩阵包括的非列正则的分组结构的数量比核心矩阵包括的非列正则的分组结构的数量少, 且随着码率的降低, 非列正则的分组结构的数量逐渐降低。

图 16 是不同码率下非列正则的分组结构的数量变化的一个曲线图。

15 随着指示矩阵 J 的行号 i 增加, 码率会逐渐降低。随着 i 的增大, 指示矩阵 J 的行重整体呈现降低的趋势, 非列正则的分组结构的数量也呈现降低的趋势。其中, 每个 i 对应的非列正则的分组结构 (也即第二分组结构) 的数量可以指 LDPC 基矩阵的第 1 列至第 x 列中的非打孔信息列的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的非列正则的分组结构的数量, 也可以指 LDPC 基矩阵的第 1 列至第 x 列中的信息列的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的非列正则的分组结构的数量, 还可以指 LDPC 基矩阵的第 1 列至第 x 列中的非打孔列的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括的非列正则的分组结构的数量。

20 拓展区域的非列正则的分组结构的数量随指示矩阵 J 的行号 i 的变化可以如前文 F_i 与 i 的关系, 在此不再详述。

在一种可能的实现方式中, 情况 1 中的第一分组结构的非零元素的偏移值之和是提升值的整数倍。

25 在一种可能的实现方式中, 在情况 1 下, 当码率大于第一码率阈值时, F_i 为 0。示例性地, 第一码率阈值为以下码率中的任意一个: 0.926、 $\frac{22}{24}$ 、 $\frac{22}{25}$ 、或 $\frac{22}{26}$ 。

情况 2: $q=k$, 即分组结构为方阵, 且包括的行数和列数大于或者等于 2。

在情况 2 下, 若分组结构是列正则且行正则的 (分组结构的每行的行重为 1 且每列的列重为 1), 即第一分组结构, 则每个分组结构可以看作是经过“提升”产生的, “提升”的方式不仅限于准循环的提升方式。下面给出情况 2 下分组结构的两种构造方式。

30 方式 1: 上述“提升”可以由一个长度为 k 的序列 $\theta (0_1, 0_2, \dots, 0_a, \dots, 0_k)$ 的置换来表示, 换句话说, 每个列正则且行正则的分组结构可以基于长度为 k 的序列 $\theta (0_1, 0_2, \dots, 0_a, \dots, 0_k)$ 的置换得到。其中, θ 的第 a 个元素 θ_a 表示分组结构的第 a 行、第 θ_a 列具有连边 (或者说该位置的元素为非零元素), a 为大于 0 且小于或者等于 k 的整数。

本申请的实施例不限定 θ_a 的构造方式。

$$\begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}, \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix}, \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \text{ 或 } \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix}.$$

需要说明的是，上述第二分组结构的各个示例仅为了理解方便，并不意味着限制于此。

下面结合仿真结果，对本申请的实施例的 LDPC 码的性能进行描述。

图 17 是不同码率下的 LDPC 码的等效译码 QC 块数的仿真结果。

5 等效译码 QC 块数可以体现译码的复杂度和时延等方面的性能。图 17 示出了并行译码的 QC 块数为 1 和 2（也即并行度为 1 和 2）情况下，采用基图 1（base graph 1, BG1）的 NR LDPC 码的和采用分组结构 2 的 LDPC 码（也即本申请的 LDPC 码）的在不同码率下的等效译码 QC 块数的仿真结果。

10 如图 17 所示，在并行译码的 QC 块数为 1 的情况下，采用 BG1 的 NR LDPC 码和采用分组结构 2 的 LDPC 码在各个码率下的等效译码 QC 块数基本持平（低码率略有降低），也就是说，在并行度为 1 的情况下，引入列分组结构 2 不会增加译码复杂度，也不会造成时延损失。在并行译码的 QC 块数为 1 的情况下，相较于 BG1 的 NR LDPC 码，采用分组结构 2 的 LDPC 码在各个码率下的等效译码 QC 块数均有下降，也就是说，在并行度为 2 的情况下，引入列分组结构 2 可以降低译码复杂度和译码时延。

图 18 是不同码率下的 LDPC 码的 SNR 的仿真结果。

15 信噪比可以体现译码的极限性能。图 18 示出了采用 BG1 的 NR LDPC 码的和采用分组结构 2 的 LDPC 码的在不同码率下的信噪比的仿真结果。

如图 18 所示，采用 BG1 的 NR LDPC 码和采用分组结构 2 的 LDPC 码在各个码率下的信噪比基本持平，也就是说，引入列分组结构 2 不会损失译码性能。

图 19 是不同码长、不同码率下的 LDPC 码的信噪比的仿真结果一。

20 图 19 示出了 NR LDPC 码的和采用分组结构 2 的 LDPC 码在不同码长（也即信息长度（information length））、不同码率、拉齐译码迭代次数 20 轮下的信噪比的仿真结果。在图 19 中，实线表示 NR LDPC 码的仿真结果，虚线表示采用分组结构 2 的 LDPC 码的仿真结果。如图 19 所示，在码率 5/6、2/3、1/2、1/3 下，NR LDPC 码和采用分组结构 2 的 LDPC 码在各个码长下的信噪比基本持平，也就是说，引入列分组结构 2 不会损失译码性能。

图 20 是不同码长、不同码率下的 LDPC 码的信噪比的仿真结果二。

25 图 20 示出了 NR LDPC 码的和采用分组结构 2 的 LDPC 码在不同码长、不同码率、拉齐译码时延（或复杂度）为 NR 迭代 20 轮下的信噪比的仿真结果。在图 20 中，实线表示 NR LDPC 码的仿真结果，虚线表示采用分组结构 2 的 LDPC 码的仿真结果。如图 20 所示，与 NR LDPC 码相比，除高码率以外，在其余码率下，采用分组结构 2 的 LDPC 码的拉齐译码时延的性能增益在 0.1xdB 左右。

图 21 是不同码长、不同码率下的 LDPC 码的信噪比的仿真结果三。

30 图 21 示出了 NR LDPC 码的和采用分组结构 2 的 LDPC 码在不同码长、不同码率、拉齐译码时延（或复杂度）为 NR 迭代 4 轮下的信噪比的仿真结果。在图 21 中，实线表示 NR LDPC 码的仿真结果，虚线表示采用分组结构 2 的 LDPC 码的仿真结果。如图 21 所示，与 NR LDPC 码相比，除高码率以外，在其余码率下，采用分组结构 2 的 LDPC 码的拉齐译码时延的性能增益在 0.3xdB 左右。

35 需要说明的是，以上各实施例均已 LDPC 基矩阵应用一种规模的分组结构，实际上 LDPC 基矩阵可以应用多种规模的分组机构，例如在 LDPC 基矩阵的核心矩阵应用上文所述的分组机构 2，在 LDPC 基矩阵的拓展区域应用上文所述的分组结构 1，不予限制。

上文结合图 1 至图 21，详细描述了本申请提供的方法实施例，下面将结合图 22 至图 24，描述本申请的装置实施例。

40 可以理解的是，为了实现上述实施例中功能，图 22 至图 24 中的装置包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到，结合本申请中所公开的实施例描述的各示例的单元及方法步骤，本申请能够以硬件或硬件和计算机软件相结合的形式来实现。

图 22 和图 23 为本申请的实施例提供的可能的装置的结构示意图。这些装置可以用于实现上述方法实施例中发送端设备或接收端设备的功能，因此也能实现上述方法实施例所具备的有益效果。

如图 22 所示，装置 10 包括收发单元 11 和处理单元 12。

45 当装置 10 用于实现图 10 中发送端设备的功能时，收发单元 11 用于执行发送端设备的收发步骤，

如步骤 1003, 处理单元 12 用于执行发送端设备的处理步骤, 如步骤 1001 和步骤 1002。当装置 10 用于实现图 10 中接收端设备的功能时, 收发单元 11 用于执行接收端设备的收发步骤, 如步骤 1003, 处理单元 12 用于执行接收端设备的处理步骤, 如步骤 1004。

关于上述收发单元 11 和处理单元 12 更详细的描述, 可参考上述方法实施例中的相关描述, 在此不再说明。

如图 23 所示, 装置 20 包括处理器 21。处理器 21 与存储器 23 耦合, 存储器 23 用于存储指令。当装置 20 用于实现上文所述的方法时, 处理器 21 用于执行存储器 23 中的指令, 以实现上述处理单元 12 的功能。

可选地, 装置 20 还包括存储器 23。

可选地, 装置 20 还包括接口电路 22。处理器 21 和接口电路 22 之间相互耦合。可以理解的是, 接口电路 22 可以为收发器或输入输出接口。当装置 20 用于实现上文所述的方法时, 处理器 21 用于执行指令, 以实现上述处理单元 12 的功能, 接口电路 22 用于实现上述收发单元 11 的功能。

示例性地, 当装置 20 为应用于发送端设备或接收端设备的芯片时, 该芯片实现上述方法实施例中发送端设备或接收端设备的功能。该芯片从发送端设备或接收端设备中的其它模块(如射频模块或天线)接收信息, 该信息是其他装置发送给发送端设备或接收端设备的; 或者, 该芯片向发送端设备或接收端设备中的其它模块(如射频模块或天线)发送信息, 该信息是发送端设备或接收端设备发送给其他装置的。

图 24 是本申请实施例提供一种芯片系统 30 的示意图。该芯片系统 30(或者也可以称为处理系统)包括逻辑电路 31 以及输入/输出接口(input/output interface) 32。

其中, 逻辑电路 31 可以为芯片系统 30 中的处理电路。逻辑电路 31 可以耦合连接存储单元, 调用存储单元中的指令, 使得芯片系统 30 可以实现本申请各实施例的方法和功能。输入/输出接口 32, 可以为芯片系统 30 中的输入输出电路, 将芯片系统 30 处理好的信息输出, 或将待处理的数据或信令信息输入芯片系统 30 进行处理。

作为一种方案, 该芯片系统 30 用于实现上文各个方法实施例中由发送端设备或接收端设备执行的操作。

例如, 逻辑电路 31 用于实现上文方法实施例中由发送端设备或接收端设备执行的与处理相关的操作; 输入/输出接口 32 用于实现上文方法实施例中由发送端设备或接收端设备执行的发送和/或接收相关的操作。

本申请还提供一种通信装置, 包括处理器, 该处理器与存储器耦合, 存储器用于存储计算机程序或指令和/或数据, 处理器用于执行存储器存储的计算机程序或指令, 或读取存储器存储的数据, 以执行上文各方法实施例中的方法。可选地, 处理器为一个或多个。可选地, 该通信装置包括存储器。可选地, 存储器为一个或多个。可选地, 该存储器与该处理器集成在一起, 或者分离设置。

本申请还提供一种芯片, 包括处理器, 所述处理器和存储器耦合, 所述存储器用于存储计算机程序或指令, 所述处理器用于执行所述存储器中存储的计算机程序或指令以实现上述各方法实施例中由发送端设备或接收端设备执行的方法。

本申请还提供一种计算机可读存储介质, 其上存储有用于实现上述各方法实施例中由发送端设备或接收端设备执行的方法的计算机指令。

本申请还提供一种计算机程序产品, 包含指令, 该指令被计算机执行时以实现上述各方法实施例中由发送端设备或接收端设备执行的方法。

本申请还提供一种通信系统, 该通信系统包括上文各实施例中的发送端设备或接收端设备中至少一个。

上述提供的任一种装置中相关内容的解释及有益效果均可参考上文提供的对应的方法实施例, 此处不再赘述。

可以理解的是, 本申请的实施例中的处理器可以是中央处理单元(central processing unit, CPU), 还可以是其它通用处理器、数字信号处理器(digital signal processor, DSP)、专用集成电路(application specific integrated circuit, ASIC)、现场可编程门阵列(field programmable gate array, FPGA)或者其它可编程逻辑器件、晶体管逻辑器件, 硬件部件或者其任意组合。通用处理器可以是微处理器, 也可以

5 5 是任何常规的处理

5 5 本申请的实施例中的方法步骤可以通过硬件的方式来实现，也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成，软件模块可以被存放于随机存取存储器、闪存、只读存储器、可编程只读存储器、可擦除可编程只读存储器、电可擦除可编程只读存储器、寄存器、硬盘、移动硬盘、只读光盘存储器（compact disc read-only memory, CD-ROM）或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于ASIC中。另外，该ASIC可以位于发送端设备或接收端设备中。当然，处理器和存储介质也可以作为分立组件存在于发送端设备或接收端设备中。

10 10 在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时，全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，例如，软盘、硬盘、磁带；也可以是光介质，例如，数字视频光盘；还可以是半导体介质，例如，固态硬盘。

20 20 在本申请的各个实施例中，如果没有特殊说明以及逻辑冲突，不同的实施例之间的术语和/或描述具有一致性、且可以相互引用，不同的实施例中的技术特征根据其内在的逻辑关系可以组合形成新的实施例。

25 25 除非另有说明，本申请实施例所使用的所有技术和科学术语与本申请的技术领域的技术人员通常理解的含义相同。本申请中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请的范围。应理解，上述为举例说明，上文的例子仅仅是为了帮助本领域技术人员理解本申请实施例，而非要将申请实施例限制于所示例的具体数值或具体场景。本领域技术人员根据上文所给出的例子，显然可以进行各种等价的修改或变化，这样的修改和变化也落入本申请实施例的范围内。

权 利 要 求 书

- 1.一种基于低密度奇偶校验 LDPC 码的通信方法,其特征在于,所述方法包括:
获取信息比特序列;
- 5 根据 LDPC 基矩阵对所述信息比特序列进行 LDPC 编码,得到第一 LDPC 码字序列,其中,所述 LDPC 基矩阵的第一部分的第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元,所述第一部分是所述 LDPC 基矩阵的第 1 列至第 x 列构成的矩阵区域,所述第一单元为 q 行 k 列的矩阵且每列的列重为 1,所述第二单元为 q 行 k 列的矩阵,且所述第二单元的至少一个列的列重为 1 且剩余列的列重为 0,所述第三单元为 q 行 k 列的矩阵且每列的列重为 0, i 和 q 为正整数, x 和 k 为大于或者等于 2 的整数, M_i 为正整数, F_i 和 G_i 为非负整数;
- 10 基于所述第一 LDPC 码字序列,输出第二 LDPC 码字序列。
- 2.根据权利要求 1 所述的方法,其特征在于,所述基于所述第一 LDPC 码字序列,输出第二 LDPC 码字序列,包括:
对所述第一 LDPC 码字序列中对应于所述 LDPC 基矩阵的信息列的部分和所述第一 LDPC 码字序
15 列中对应于所述 LDPC 基矩阵的核心校验列的部分进行第一交织,得到所述第二 LDPC 码字序列,所述
第一交织以提升值数量的列为粒度进行交织,所述第二 LDPC 码字序列对应的基矩阵包括的所述第
二单元的数量小于所述第一 LDPC 码字序列对应的基矩阵包括的所述第二单元的数量;
输出所述第二 LDPC 码字序列。
- 20 3.一种基于低密度奇偶校验 LDPC 码的通信方法,其特征在于,所述方法包括:
接收第二 LDPC 码字序列;
- 根据 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码,其中,所述 LDPC 基矩阵的第一部分的
第 $q \times (i-1) + 1$ 行至第 $q \times i$ 行包括 M_i 个第一单元、 F_i 个第二单元和 G_i 个第三单元,所述第一部分是所
述 LDPC 基矩阵的第 1 列至第 x 列构成的矩阵区域,所述第一单元为 q 行 k 列的矩阵且每列的列重为
1,所述第二单元为 q 行 k 列的矩阵,且所述第二单元的至少一个列的列重为 1 且剩余列的列重为 0,
25 所述第三单元为 q 行 k 列的矩阵且每列的列重为 0, i 和 q 为正整数, x 和 k 为大于或者等于 2 的整数,
 M_i 为正整数, F_i 和 G_i 为非负整数。
- 4.根据权利要求 3 所述的方法,其特征在于,所述根据 LDPC 基矩阵对所述第二 LDPC 码字序列
进行译码,包括:
对所述 LDPC 基矩阵的信息列和核心校验列进行第一列变换,所述第一列变换以提升值数量的列
30 为粒度进行变换,经过所述第一列变换的所述 LDPC 基矩阵包括的所述第二单元的数量小于未经过
所述第一列变换的所述 LDPC 基矩阵包括的所述第二单元的数量;
根据经过所述第一列变换的所述 LDPC 基矩阵对所述第二 LDPC 码字序列进行译码。
- 5.根据权利要求 1 至 4 中任一项所述的方法,其特征在于,
当 i_1 小于 i_2 时, F_{i_1} 大于 F_{i_2} , F_{i_1} 为 $i=i_1$ 时 F_i 的取值, F_{i_2} 为 $i=i_2$ 时 F_i 的取值。
- 35 6.根据权利要求 1 至 4 所述的方法,其特征在于,
 i 的取值区间包括多个连续的子区间,同一子区间对应于相同的 F_i ,且 F_i 按照子区间递减。
- 7.根据权利要求 6 所述的方法,其特征在于,
当 i 小于第一值时, F_i 大于 0;
当 i 大于或者等于所述第一值时, F_i 为 0。
- 40 8.根据权利要求 6 所述的方法,其特征在于,
当 i 小于第二值时,阈值 V_i 为 2;
当 i 大于或者等于第二值且小于第三值时,阈值 V_i 为 1;
当 i 大于或者等于第三值时,阈值 V_i 为 0。
- 9.根据权利要求 1 至 8 中任一项所述的方法,其特征在于,
45 所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列
至第 x 列中的非打孔信息列;或者,

所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列至第 x 列中的信息列；或者，

所述 M_i 个第一单元、所述 F_i 个第二单元和所述 G_i 个第三单元包含于所述 LDPC 基矩阵的第 1 列至第 x 列中的非打孔列。

5 10. 根据权利要求 1 至 9 中任一项所述的方法，其特征在于， $q=1$ 。

11. 根据权利要求 10 所述的方法，其特征在于，所述第一单元的非零元素的偏移值之和是提升值的整数倍。

12. 根据权利要求 10 或 11 所述的方法，其特征在于，
当码率大于第一码率阈值时， F_i 为 0。

10 13. 根据权利要求 12 所述的方法，其特征在于，
所述第一码率阈值为以下码率中的任意一个： 0.926 、 $\frac{22}{24}$ 、 $\frac{22}{25}$ 、或 $\frac{22}{26}$ 。

14. 根据权利要求 1 至 13 中任一项所述的方法，其特征在于，
所述 LDPC 基矩阵包括打孔列；

所述 F_i 个第二单元中的至多一个第二单元包括所述打孔列。

15 15. 根据权利要求 1 至 14 中任一项所述的方法，其特征在于，
所述 LDPC 基矩阵的非打孔信息列对应的矩阵区域不包括所述第二单元。

16. 根据权利要求 1 至 15 中任一项所述的方法，其特征在于，

所述第一部分包括第一子部分，所述第一子部分为所述第一部分的第 1 行至第 u 行、第 $y+1$ 列至第 x 列构成的矩阵区域， u 为大于或等于 1 的整数， $u-l=x-y-l$ ， y 小于 x ；

20 所述第一子部分的对角元素均为非零元素，所述第一子部分包括 N 个分块，所述分块为方阵；所述 N 个分块包括所述第一子部分的全部对角元素，所述 N 个分块中的每个分块的对角元素与所述第一子部分的对角元素重叠，所述分块之间不重叠；所述 N 个分块中的部分或全部分块包括多行，所述多行中至少两行的非零元素具有真包含关系。

17. 根据权利要求 16 所述的方法，其特征在于，

25 所述 N 个分块由 N_1 个第一分块和一个第二分块组成，所述第一分块的大小为 $k \times k$ ，所述第二分块的大小为 $k' \times k'$ ， N_1 为正整数， N_2 为非负整数， k' 小于 k 。

18. 根据权利要求 16 或 17 所述的方法，其特征在于，
所述第一子部分中除所述 N 个分块以外的元素均为零元素。

19. 根据权利要求 1 至 18 中任一项所述的方法，其特征在于，

30 所述第一部分包括第一子部分，所述第一子部分为所述第一部分的第 1 行至第 u 行、第 $y+1$ 列至第 x 列构成的矩阵区域， u 为大于或等于 1 的整数， $u-l=x-y-l$ ， y 小于 x ；

当 $u-l=x-y-l=3$ 时，所述第一子部分的零元素和非零元素的位置如以下矩阵所示：

$$\begin{bmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}; \text{和/或,}$$

当 $u-l=x-y-l=4$ 时，所述第一子部分的零元素和非零元素的位置如以下任意一个矩阵所示：

35 $\begin{bmatrix} 1 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix}$ 或 $\begin{bmatrix} 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}$; 和/或,

当 $u-l=x-y-l=5$ 时，所述第一子部分的零元素和非零元素的位置如以下任意一个矩阵所示：

$$\begin{bmatrix} 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 1 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix};$$

其中，上述各矩阵中的“1”表示非零元素、“0”表示非零元素。

20. 根据权利要求 1 至 9 中任一项所述的方法，其特征在于， $q=k$ 。

40 21. 根据权利要求 20 所述的方法，其特征在于，
所述第一单元的每行的行重为 1。

22.根据权利要求 21 所述的方法,其特征在于,

每个所述第一单元基于长度为 k 的序列 $\theta(\theta_1, \theta_2, \dots, \theta_{a_1}, \dots, \theta_k)$ 的置换得到, 其中, θ 的第 a 个元素 θ_a 表示所述第一单元的第 a 行、第 θ_a 列的元素为非零元素, a 为大于 0 且小于或者等于 k 的整数。

23. 根据权利要求 22 所述的方法, 其特征在于,

5 $\theta_a = a + b \pmod{k}$, 或者, $\theta_a = k + 1 - a + b \pmod{k}$, 其中, b 为常数。

24. 根据权利要求 21 至 23 中任一项所述的方法, 其特征在于,

所述第一单元的非零元素的偏移值相同；或者，

所述第一单元的任意两个非零元素相对于提升值的余数相同；或者，

所述第一单元的非零元素的偏移值之和是提升值的整数倍。

10 25.根据权利要求 21 至 24 中任一项所述的方法,其特征在于,

当 $q=k=2$ 时, 所述第一单元的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \text{ 或 } \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}; \text{ 和/或,}$$

当 $q=k=3$ 时, 所述第一单元的零元素和非零元素的位置如以下任意一个矩阵所示:

$$\begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix}, \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix}, \begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 0 & 0 \end{bmatrix}, \begin{bmatrix} 0 & 0 & 1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \text{ 或 } \begin{bmatrix} 0 & 0 & 1 \\ 0 & 1 & 0 \\ 1 & 0 & 0 \end{bmatrix}; \text{ 和/或,}$$

15 当 $q=k=4$ 时, 所述第一单元的零元素和非零元素的位置如以下任意一个矩阵所示:

[illegible]

20 其中, 上述各矩阵中的“1”表示非零元素、“0”表示非零元素。

26. 根据权利要求 1 至 25 中任一项所述的方法, 其特征在于,

所述 LDPC 基矩阵是根据指示矩阵得到的, 所述指示矩阵的一个元素对应于所述第一单元、所述第二单元或所述第三单元中的一个, 所述指示矩阵中元素的取值用于指示所述元素对应的所述第一单元、所述第二单元或所述第三单元中的零元素和/或非零元素的位置。

25 27. 根据权利要求 1 至 25 中任一项所述的方法, 其特征在于,

包括所述第一单元、所述第二单元和所述第三单元的矩阵区域的行的行号大于第一码率对应的矩阵区域中的行的行号，所述第一码率大于码率阈值。

28. 根据权利要求 1 至 27 中任一项所述的方法, 其特征在于, F_i 与以下信息中的至少一个相关:

30 所述第 $q \times (i-1) + 1$ 行至所述第 $q \times i$ 行对应的码率、所述第 $q \times (i-1) + 1$ 行至所述第 $q \times i$ 行的行重、或所述 LDPC 基矩阵的打孔列的所述第 $q \times (i-1) + 1$ 行至所述第 $q \times i$ 行的零元素和/或非零元素的位置。

29.一种通信装置,其特征在于,包括用于执行如权利要求1至28中的任一项所述方法的模块或单元。

35 30.一种通信装置,其特征在于,包括处理器和接口电路,所述接口电路用于接收来自所述通信装置之外的其它通信装置的信号并传输至所述处理器或将来自所述处理器的信号发送给所述通信装置之外的其它通信装置,所述处理器通过逻辑电路或执行代码指令用于实现如权利要求1至28中任一项所述的方法。

31. 根据权利要求 30 所述的通信装置, 其特征在于, 所述通信装置为芯片或芯片系统。

32.一种计算机可读存储介质,其特征在于,所述存储介质中存储有计算机程序或指令,当所述计

算机程序或指令被通信装置执行时，实现如权利要求 1 至 28 中任一项所述的方法。

33.一种计算机程序产品，其特征在于，包括计算机程序，当所述计算机程序被运行时，实现如权利要求 1 至 28 中任一项所述的方法。

34.一种通信系统，其特征在于，包括：

- 5 用于执行如权利要求 1、2、5 至 28 中任一项所述方法的发送端设备；
 用于执行如权利要求 3 至 28 中任一项所述方法的接收端设备。