

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2025/066932 A1

(43) 国际公布日
2025 年 4 月 3 日 (03.04.2025)

(51) 国际专利分类号:
H01L 21/8234 (2006.01)

(21) 国际申请号: PCT/CN2024/118714

(22) 国际申请日: 2024 年 9 月 13 日 (13.09.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202311283689.9 2023 年 9 月 28 日 (28.09.2023) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北京经济技术开发区文昌大道 8 号 100176 (CN)。

(72) 发明人: 蒋兴宇 (JIANG, Xingyu); 中国北京市大兴区北京经济技术开发区文昌大道 8 号 100176 (CN)。

高铭达 (GAO, Mingda); 中国北京市大兴区北京经济技术开发区文昌大道 8 号 100176 (CN)。朱瑞苹 (ZHU, Ruiping); 中国北京市大兴区北京经济技术开发区文昌大道 8 号 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街 1 号东方广场东方经贸城西一办公楼 5 层 1, 6-12 室 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: METHOD FOR FORMING ISOLATION TRENCH, PREPARATION METHOD FOR SEMICONDUCTOR DEVICE, AND PROCESS DEVICE

(54) 发明名称: 形成隔离槽的方法、半导体器件的制备方法及工艺设备

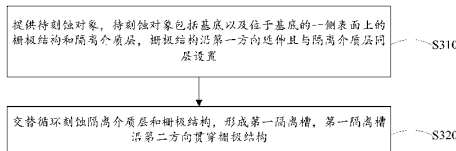


图 2

(57) Abstract: The present application provides a method for forming an isolation trench, a preparation method for a semiconductor device, and a process device. The method for forming an isolation trench comprises: providing an object to be etched, said object comprising a substrate, and a gate structure and an isolation dielectric layer which are located on one side surface of the substrate, and the gate structure extending in a first direction and being arranged on the same layer as the isolation dielectric layer; and alternately and cyclically etching the isolation dielectric layer and the gate structure to form a first isolation trench, the first isolation trench penetrating the gate structure in a second direction, and the first direction and the second direction being perpendicular to each other. The solution of the present application enables the isolation trench to meet the high aspect ratio and etching morphology design requirements of the semiconductor device while further reducing the feature size of the semiconductor device, which is beneficial for improving the level of integration of an integrated circuit.

(57) 摘要: 本申请提供了一种形成隔离槽的方法、半导体器件的制备方法及工艺设备, 该形成隔离槽的方法包括: 提供待刻蚀对象, 待刻蚀对象包括基底以及位于基底一侧表面上的栅极结构和隔离介质层, 栅极结构沿第一方向延伸且与隔离介质层同层设置; 交替循环刻蚀隔离介质层和栅极结构, 形成第一隔离槽, 第一隔离槽沿第二方向贯穿栅极结构, 第一方向与第二方向相互垂直。本申请的方案可在半导体器件的特征尺寸进一步缩小的情况下, 满足半导体器件针对隔离槽的高深宽比和刻蚀形貌设计需求, 有利于提升集成电路的集成度。

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。