

半导体结构及其制作方法

本申请要求于 2021 年 10 月 22 日提交中国专利局、申请号为 202111231509.3、申请名称为“半导体结构及其制作方法”的中国专利申
5 请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

10 背景技术

半导体结构可以包括存储单元，存储单元通常包括晶体管，以及和晶体管电连接的电容器。电容器存储数据信息，晶体管控制电容器中的数据信息的读写。其中，晶体管的栅极与字线（Word Line，简称 WL）电连接，通过字线上的电压控制晶体管的开启和关闭；晶体管的源极和漏极中的一个与位线（Bit Line，简称 BL）电连接，源极和漏极中的另一个与电容器电连接，通过位线对数据信息进行存储或者输出。
15

随着半导体结构尺寸的微缩，晶体管通常采用全环绕式栅极（Gate all Around，简称 GAA）晶体管。相关技术中，全环绕式栅极晶体管包括依次层叠设置的第一导电层、沟道区和第二导电层，第一导电层和第二导电层中的一个为源极，另一个为漏极，沟道区的侧表面环绕有介质层，介质层上设置有栅极。然而，上述晶体管与其他结构（例如位线或者电容器）的接触电阻较大，晶体管所需电流较大，半导体结构性能较差。
20

发明内容

25 鉴于上述问题，本申请实施例提供一种半导体结构及其制作方法，用于提高半导体结构的性能。

本申请实施例的第一方面提供一种半导体结构的制作方法，其包括：提供衬底；在所述衬底上形成多个间隔设置的叠层结构，所述叠层结构包括依次层叠设置的第一导电层、绝缘层和第二导电层，所述第一导电层和

所述第二导电层中的至少一个为半金属层；形成覆盖所述叠层结构的沟道层，以及覆盖所述沟道层的介质层；形成沿第一方向延伸的字线，所述字线包括多个接触部和连接相邻的所述接触部的连接部，所述接触部环绕且接触所述介质层的侧表面，所述接触部与至少部分所述绝缘层相对。

5 本申请实施例提供的半导体结构的制作方法至少具有如下优点：

 本申请实施例提供的半导体结构的制作方法，第一导电层、绝缘层和第二导电层依次层叠设置形成叠层结构，第一导电层和第二导电层中的至少一个为半金属层，一方面可以降低叠层结构与其他结构的接触电阻，另一方面还可以降低第一导电层和/或第二导电层与沟道层之间的接触电阻，
10 从而提高半导体结构的性能。此外，第一导电层、绝缘层、第二导电层、沟道层、介质层和接触部形成垂直晶体管，可以通过调整叠层结构的高度增加沟道层的长度，便于改善晶体管的短沟道效应，提高半导体结构的性能。

 本申请实施例的第二方面提供一种半导体结构，其包括：叠层结构、
15 覆盖所述叠层结构的侧表面的沟道层、覆盖所述沟道层的侧表面的介质层，以及环设在所述介质层上的栅极；所述叠层结构包括依次层叠设置的第一导电层、绝缘层和第二导电层，所述第一导电层和所述第二导电层中的一个为源极，所述第一导电层和所述第二导电层中的另一个为漏极，所述源极和所述漏极中的至少一个为半金属层。

20 本申请实施例提供的半导体结构至少具有如下优点：

 本申请实施例的半导体结构中，第一导电层、绝缘层和第二导电层依次层叠设置形成叠层结构，第一导电层和第二导电层中的一个为源极，另一个为漏极，第一导电层和第二导电层中的至少一个为半金属层，一方面可以降低叠层结构与其他结构的接触电阻，另一方面还可以降低第一导电
25 层和/或第二导电层与沟道层之间的接触电阻，从而提高半导体结构的性能。此外，叠层结构的侧表面覆盖有沟道层，沟道层的侧表面覆盖有介质层，介质层上环设有栅极，叠层结构、沟道层、介质层和栅极形成垂直晶体管，可以通过调整叠层结构的高度增加沟道层的长度，便于改善晶体管的短沟道效应，提高半导体结构的性能。

30

附图说明

- 图 1 为本申请实施例中的半导体结构的制作方法的流程图；
- 图 2 为本申请实施例中的形成第二导电层后的第一截面的示意图；
- 图 3 为本申请实施例中的形成第二导电层后的第二截面的示意图；
- 图 4 为本申请实施例中的形成叠层结构后的第一截面的示意图；
- 5 图 5 为本申请实施例中的形成叠层结构后的第二截面的示意图；
- 图 6 为本申请实施例中的形成沟道层后的第一截面的示意图；
- 图 7 为本申请实施例中的形成沟道层后的第二截面的示意图；
- 图 8 为本申请实施例中的形成介质层后的第一截面的示意图；
- 图 9 为本申请实施例中的形成介质层后的第二截面的示意图；
- 10 图 10 为本申请实施例中的形成字线后的第一截面的示意图；
- 图 11 为本申请实施例中的形成字线后的第二截面的示意图
- 图 12 为本申请实施例中的形成第一初始支撑层后的第一截面的示意图；
- 图 13 为本申请实施例中的形成第一初始支撑层后的第二截面的示意图；
- 15 图 14 为本申请实施例中的形成第一支撑层后的第一截面的示意图；
- 图 15 为本申请实施例中的形成第一支撑层后的第二截面的示意图；
- 图 16 为本申请实施例中的形成初始字线层后的第一截面的示意图；
- 图 17 为本申请实施例中的形成初始字线层后的第二截面的示意图；
- 20 图 18 为本申请实施例中的形成第一光刻胶层后的第一截面的示意图；
- 图 19 为本申请实施例中的形成第一光刻胶层后的第二截面的示意图；
- 图 20 为本申请实施例中的刻蚀掩膜层后的第一截面的示意图；
- 图 21 为本申请实施例中的刻蚀掩膜层后的第二截面的示意图；
- 图 22 为本申请实施例中的形成中间字线层后的第一截面的示意图；
- 25 图 23 为本申请实施例中的形成中间字线层后的第二截面的示意图；
- 图 24 为本申请实施例中的形成第二光刻胶层后的第一截面的示意图；
- 图 25 为本申请实施例中的形成第二光刻胶层后的第二截面的示意图；
- 图 26 为本申请实施例中的形成接触孔后的第一截面的一种示意图；
- 图 27 为本申请实施例中的形成接触孔后的第二截面的一种示意图；
- 30 图 28 为本申请实施例中的去除第二光刻胶层后的第一截面的示意图；
- 图 29 为本申请实施例中的去除第二光刻胶层后的第二截面的示意图；

图 30 为本申请实施例中的形成接触孔后的第一截面的另一种示意图；
图 31 为本申请实施例中的形成接触孔后的第二截面的另一种示意图；
图 32 为本申请实施例中的形成第三导电层后的第一截面的示意图；
图 33 为本申请实施例中的形成第三导电层后的第二截面的示意图。

5

具体实施方式

为了提高半导体结构的性能，本申请实施例提供的半导体结构的制作方法中，通过形成垂直晶体管，且垂直晶体管中的源极和漏极中的至少一个为半金属层，以降低垂直晶体管与其他结构的接触电阻，以及垂直晶体管内部的接触电阻，从而提高半导体结构的性能。

为了使本申请实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本申请保护的范

围。

参考图 1，本申请实施例提供一种半导体结构的制作方法，该制作方法包括以下步骤：

步骤 S101：提供衬底。

衬底 10 可以为半导体衬底，示例性的，衬底 10 可以为硅衬底、锗衬底、硅锗衬底、氮化镓衬底、砷化镓衬底、绝缘体上硅（Silicon on Insulator，简称 SOI）衬底或者绝缘体上锗（Germanium on Insulator，简称 GOI）衬底等。其中，衬底 10 可以为掺杂或者非掺杂，例如，衬底 10 可以为 N 型衬底或者 P 型衬底。

在一些可能的示例中，参考图 2 和图 3，图 2 所示的第一截面为垂直于第二方向的平面，图 3 所示的第二截面为平行于第二方向的平面。衬底 10 内还可以设置有多条位线 11，多条位线 11 之间彼此间隔，且沿第二方向延伸。如图 3 所示，多条位线 11 沿水平方向（图 3 所示的 X 方向）延伸。位线 11 可以暴露于衬底 10 的表面，如图 2 和图 3 所示，位线 11 暴露于衬底 10 的上表面，以便于与位于衬底 10 上的其他结构电连接。

继续参考图 2 和图 3，衬底 10 内还设置有浅槽隔离结构 12（Shallow

Trench Isolation, 简称 STI)。浅槽隔离结构 12 设置在相邻的位线 11 之间, 以将各位线 11 隔离。浅槽隔离结构 12 中的填充材料可以为氮化硅或者氧化硅等绝缘材料。

5 步骤 S102: 在衬底上形成多个间隔设置的叠层结构, 叠层结构包括依次层叠设置的第一导电层、绝缘层和第二导电层, 第一导电层和第二导电层中的至少一个为半金属层。

参考图 4 和图 5, 衬底 10 上形成多个叠层结构 20, 各叠层结构 20 间隔设置。叠层结构 20 包括第一导电层 21、绝缘层 22 和第二导电层 23。第一导电层 21 中和第二导电层 23 中的一个与电容电连接, 第一导电层 21 10 和第二导电层 23 中的另一个与位线 11 (Bit Line, 简称 BL) 电连接。例如, 第一导电层 21、绝缘层 22 和第二导电层 23 沿竖直方向 (图 5 所示的 Z 方向) 依次层叠设置, 第一导电层 21 与位线 11 电连接, 第二导电层 23 与电容器电连接。

其中, 绝缘层 22 可以为氧化物层, 示例性的, 绝缘层 22 的材质可以为氧化硅。第一导电层 21 和第二导电层 23 中的至少一个为半金属层, 15 示例性的, 第一导电层 21 为半金属层, 第二导电层 23 也为半金属层。其中, 半金属层的材质可以为铋。通过将第一导电层 21 和/或第二导电层 23 设置为半金属层, 可以减少叠层结构 20 与位线 11 和/或电容之间的接触电阻, 从而提高半导体结构的性能。

20 继续参考图 4 和图 5, 沿第二方向 (图 5 所示的 X 方向), 每条位线 11 上至少设置有一个叠层结构 20, 第一导电层 21 与位线 11 相接触, 从而实现第一导电层 21 与位线 11 的电连接。叠层结构 20 可以为柱状, 例如圆柱、椭圆柱、方柱或者长方柱, 叠层结构 20 可以呈阵列排布。

参考图 2 至图 5, 在一些可能的示例中, 在衬底 10 上形成多个间隔设置 25 的叠层结构 20, 叠层结构 20 包括依次层叠设置的第一导电层 21、绝缘层 22 和第二导电层 23, 第一导电层 21 和第二导电层 23 中的至少一个为半金属层可以包括:

在衬底 10 上沉积形成层叠设置的第一导电层 21、绝缘层 22 和第二导电层 23。如图 2 和图 3 所示, 在衬底 10 上沉积第一导电层 21, 在第一导电层 21 上沉积绝缘层 22, 并在绝缘层 22 上沉积第二导电层 23。其中, 沉积 30 可以为化学气相沉积 (Chemical Vapor Deposition, 简称 CVD)、物理

气相沉积 (Physical Vapor Deposition, 简称 PVD) 或者原子层沉积 (Atomic Layer Deposition, 简称 ALD)。

再刻蚀第一导电层 21、绝缘层 22 和第二导电层 23, 形成多个间隔设置的叠层结构 20。如图 4 和图 5 所示, 干法刻蚀或者湿法刻蚀去除部分第一导电层 21、绝缘层 22 和第二导电层 23, 以使剩余的第一导电层 21、绝缘层 22 和第二导电层 23 分隔形成多个彼此间隔的叠层结构 20。

步骤 S103: 形成覆盖叠层结构的沟道层, 以及覆盖沟道层的介质层。

参考图 6 至图 9, 沟道层 30 覆盖叠层结构 20, 介质层 40 覆盖沟道层 30。具体的, 沟道层 30 覆盖叠层结构 20 的侧表面和顶表面, 介质层 40 覆盖沟道层 30 的侧表面和顶表面。其中, 顶表面是指背离衬底 10 的表面。如图 6 和图 7 所示, 沟道层 30 覆盖在第一导电层 21 的外周面、绝缘层 22 的外周面, 以及第二导电层 23 的外周面, 沟道层 30 还覆盖在第二导电层的顶表面 24。

其中, 第一导电层 21 和第二导电层 23 中的一个形成源极, 另一个形成漏极, 环绕在叠层结构 20 的侧表面上的沟道层 30 形成沟道区, 以在源极和漏极之间提供导电通道, 使得载流子可以由源极移动至漏极或者由漏极移动至源极。介质层 40 可以为氧化物层, 位于沟道层 30 的侧表面的介质层 40 形成栅氧层。

如图 6 和图 7 所示, 沟道区为层状, 沟道层 30 的材质可以包括硫化钼, 例如二硫化钼, 沟道层 30 的材质还可以为过渡金属硫化合物(TMDs)等。层状的硫化钼中存在带隙, 其形成的场效应晶体管开关比高。此外, 层状的硫化钼具有较高的比表面积, 有利于克服短沟道效应。其中, 开关比是指器件开状态电流与关状态电流的比值, 具体的, 在晶体管中, 源、漏电压不变的情况下, 施加门压和不施加门压时测得的源漏电流之比为开关比。

在一些可能的实施例中, 沟道层 30 的材质为硫化钼, 半金属层的材质为铋。优选地, 沟道层 30 的材质为硫化钼, 第一导电层 21 和第二导电层 23 的材质均为铋, 如此设置, 硫化钼与铋界面处的能垒降低, 可以降低沟道层 30 和第一导电层 21、沟道层 30 和第二导电层 23 之间的间隙态(MIGS), 从而降低沟道层 30 和第一导电层 21、沟道层 30 和第二导电层 23 之间的接触电阻。

在本申请实施例中, 形成覆盖叠层结构 20 的沟道层 30, 以及覆盖沟

道层 30 的介质层 40 可以包括：

在叠层结构 20 和衬底 10 上沉积沟道层 30，沟道层 30 覆盖叠层结构 20 的顶表面、侧表面，以及衬底 10 的顶表面。参考图 6 和图 7，沟道层 30 通过沉积工艺形成，沟道层 30 覆盖叠层结构 20 的顶表面、侧表面，以及衬底 10 的顶表面。再在沟道层 30 上沉积介质层 40。参考图 8 和图 9，介质层 40 通过沉积工艺形成，介质层 40 覆盖沟道层 30 的整个表面。

步骤 S104：形成沿第一方向延伸的字线，字线包括多个接触部和连接相邻的接触部的连接部，接触部环绕且接触介质层的侧表面，接触部与至少部分绝缘层相对应。

10 参考图 10 和图 11，在形成沟道层 30 和介质层 40 之后的叠层结构 20 之间形成字线 63，字线 63 的数量为多条，多条字线 63 间隔设置且沿第一方向（图 10 所示的 Y 方向）延伸。如图 10 和图 11 所示，字线 63 包括多个接触部 64 和连接相邻接触部 64 的连接部 65，其中，接触部 64 环绕且接触介质层 40 的侧表面。

15 如图 10 和图 11 所示，接触部 64 与至少部分绝缘层 22 相对应，接触部 64 用作晶体管的栅极，即字线 63 的一部分为栅极。沿垂直于衬底 10 的方向（图 10 所示的 Z 方向），绝缘层 22 在该方向的正投影与接触部 64 在该方向的正投影至少部分重合，示例性的，接触部 64 的顶表面低于绝缘层 22 的顶表面，接触部 64 的底面高于绝缘层 22 的底面。

20 沿第一方向，连接部 65 连接相邻的两个接触部 64，连接部 65 的高度可以与接触部 64 的高度相同，也可以不同，连接部 65 的具体结构可以根据实际工况确定。

25 综上，本申请实施例中，第一导电层 21、绝缘层 22 和第二导电层 23 依次层叠设置形成叠层结构 20，第一导电层 21 和第二导电层 23 中的至少一个为半金属层，一方面可以降低叠层结构 20 与其他结构的接触电阻，另一方面还可以降低第一导电层 21 和/或第二导电层 23 与沟道层 30 之间的接触电阻，从而提高半导体结构的性能。此外，第一导电层 21、绝缘层 22、第二导电层 23、沟道层 30、介质层 40 和接触部 64 形成垂直晶体管，可以通过调整叠层结构 20 的高度增加沟道层 30 的长度，便于改善晶体管的短沟道效应，提高半导体结构的性能。

在本申请一种可能的实施例中，参考图 12 至图 15，形成沿第一方向

延伸的字线 63，字线 63 包括多个接触部 64 和连接相邻的接触部 64 的连接部 65，接触部 64 环绕且接触介质层 40 的侧表面，接触部 64 与至少部分绝缘层 22 相对的步骤之前，还包括：在覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间填充第一支撑层 50，第一支撑层 50 背离衬底 10 的表面高于第一导电层 21 背离衬底 10 的表面，且低于绝缘层 22 背离衬底 10 的表面。

如图 12 至图 15 所示，第一支撑层 50 可以作为垫层，增加后续形成的字线 63 与衬底 10 之间的间距，使得字线 63 的底面高于第一导电层 21 的顶表面，即字线 63 朝向衬底 10 的表面高于第一导电层 21 背离衬底 10 的表面。同时，第一支撑层 50 背离衬底 10 的表面低于绝缘层 22 背离衬底 10 的表面，使得字线 63 的底面低于第一导电层 21 的顶表面，从而保证字线 63 与绝缘层 22 相对。其中，第一支撑层 50 的材质可以为氮化硅或者氮氧化硅，第一支撑层 50 与介质层 40 具有较大的选择比，例如，第一支撑层 50 与介质层 40 的选择比大于 5，以避免刻蚀第一支撑层 50 时损伤介质层 40，从而减少晶体管的栅氧层的损伤。

在本申请一种可能的实现方式中，参考图 12 至图 15，在覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间填充第一支撑层 50，第一支撑层 50 背离衬底 10 的表面高于第一导电层 21 背离衬底 10 的表面，且低于绝缘层 22 背离衬底 10 的表面可以包括以下过程：

在介质层 40 上形成第一初始支撑层 51，第一初始支撑层 51 填充在覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间，且第一初始支撑层 51 覆盖介质层 40 的顶表面。如图 12 和图 13 所示，沉积形成第一初始支撑层 51，第一初始支撑层 51 填充在覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间，第一初始支撑层 51 还覆盖介质层 40 的顶表面。具体的，第一初始支撑层 51 的上表面高于介质层 40 的上表面。

形成第一初始支撑层 51 后，去除部分第一初始支撑层 51，保留的第一初始支撑层 51 形成第一支撑层 50。如图 14 和图 15 所示，沿垂直于衬底 10 的方向，干法刻蚀或湿法刻蚀去除部分第一初始支撑层 51，保留位于覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间的部分第一初始支撑层 51，保留的第一初始支撑层 51 形成第一支撑层 50。

在上述实施例的基础上，即形成第一支撑层 50 后，在一种可能的示例

中,参考图 16 至图 23,形成沿第一方向延伸的字线 63,字线 63 包括多个接触部 64 和连接相邻的接触部 64 的连接部 65,接触部 64 环绕且接触介质层 40 的侧表面,接触部 64 与至少部分绝缘层 22 相对可以包括以下步骤:

步骤 S1041: 形成覆盖第一支撑层和介质层的初始字线层。

- 5 参考图 16 和图 17,通过沉积工艺形成初始字线层 61,初始字线层 61 覆盖第一支撑层 50 和介质层 40。如图 16 和图 17 所示,初始字线层 61 覆盖第一支撑层 50 的顶表面,且覆盖介质层 40 的侧表面和顶表面。覆盖在各介质层 40 的侧表面上的初始字线层 61 之间还具有间隙,也就是说,初始字线层 61 没有填充满覆盖有沟道层 30 和介质层 40 的叠层结构 20 之间的空间。

步骤 S1042: 沿第一方向去除位于第一支撑层上的部分初始字线层,以使初始字线层形成多条间隔设置的中间字线层。

- 参考图 18 至图 23,去除位于第一支撑层 50 上的部分初始字线层 61,以使初始字线层 61 形成多条间隔设置的中间字线层 62,各中间字线层 62 均沿第一方向延伸,即沿第一方向去除第一支撑层 50 上的部分初始字线层 61,保留的初始字线层 61 形成中间字线层 62。

具体的,如图 18 至图 23 所示,沿第一方向去除位于第一支撑层 50 上的部分初始字线层 61,以使初始字线层 61 形成多条间隔设置的中间字线层 62 还可以包括以下过程:

- 20 形成覆盖初始字线层 61 的掩膜层 71,掩膜层 71 填充在覆盖有沟道层 30、介质层 40 和初始字线层 61 的叠层结构 20 之间,且掩膜层 71 覆盖初始字线层 61 的顶表面。如图 18 和图 19 所示,在初始字线层 61 上沉积掩膜层 71,掩膜层 71 填充在沟道层 30、介质层 40 和初始字线层 61 的叠层结构 20 之间,掩膜层 71 还覆盖初始字线层 61 的顶表面。掩膜层 71 的顶表面高于初始字线层 61 的顶表面。

- 形成掩膜层 71 后,在掩膜层 71 上形成第一光刻胶层 72,第一光刻胶层 72 具有沿第一方向延伸的沟槽 73,沟槽 73 在衬底 10 上的正投影与位于叠层结构 20 侧表面的初始字线层 61 在衬底 10 上的正投影不相重叠。如图 18 和图 19 所示,在掩膜层 71 上旋涂第一光刻胶层 72,第一光刻胶层 72 具有贯穿第一光刻胶层 72 的沟槽 73,该沟槽 73 与位于介质层 40 的侧表面和顶表面上的初始字线层 61 错开,与第一支撑层 50 上的部分初始字

线层 61 相对。

形成第一光刻胶层 72 后,以第一光刻胶层 72 为掩膜,刻蚀掩膜层 71。
通过以第一光刻胶层 72 为掩膜刻蚀掩膜层 71,第一光刻胶层 72 上的图形
转移到掩膜层 71,如图 20 和图 21 所示,掩膜层 71 形成的图案中暴露初
始字线层 61。

刻蚀掩膜层 71 后,以刻蚀后的掩膜层 71 为掩膜,刻蚀初始字线层 61,
以形成中间字线层 62。利用各向异性刻蚀,去除第一支撑层 50 上的部分
初始字线层 61,如图 22 和图 23 所示,保留的初始字线层 61 形成中间字
线层 62。多个中间字线层 62 之间的间隙暴露第一支撑层 50。

10 步骤 S1043: 去除介质层的顶表面上的中间字线层,以及介质层的侧
表面上远离衬底的部分中间字线层,保留的中间字线层形成字线。

刻蚀去除介质层 40 的顶表面上的中间字线层 62,以及介质层 40 的侧
表面上的上部分中间字线层 62,保留的中间字线层 62 形成字线 63。如图
10 和图 11 所示,字线 63 的顶表面低于绝缘层 22 的顶表面,字线 63 与绝
缘层 22 相对。

在本申请另一种可能的实施例中,形成沿第一方向延伸的字线 63,字
线 63 包括多个接触部 64 和连接相邻的接触部 64 的连接部 65,接触部 64
与叠层结构 20 连接,且接触部 64 环绕在介质层 40 的侧表面上的步骤之后,
20 参考图 24 至图 33,半导体结构的制作方法还包括:

形成覆盖字线 63、第一支撑层 50,以及介质层 40 的第二支撑层 81。
如图 24 和图 25 所示,沉积第二支撑层 81,第二支撑层 81 覆盖字线 63、
第一支撑层 50 和介质层 40,第二支撑层 81 的顶表面高于介质层 40 的顶
表面。第二支撑层 81 背离衬底 10 的表面可以齐平,示例性的,对第二支
撑层 81 平坦化处理,例如化学机械研磨 (Chemical Mechanical Polishing,
25 简称 CMP),以使第二支撑层 81 的顶表面齐平。第二支撑层 81 的材质可
以与第一支撑层 50 的材质相同,均为绝缘材料,以使第二支撑层 81 和第
一支撑层 50 形成一体,第二支撑层 81 和第一支撑层 50 将各字线 63 包覆
并隔离,以使各字线 63 之间绝缘。

30 形成第二支撑层 81 后,在第二支撑层 81 上形成第二光刻胶层 82,第
二光刻胶层 82 具有多个开口 83,开口 83 与叠层结构 20 正对。如图 24 和

图 25 所示，在第二支撑层 81 上形成第二光刻胶层 82，第二光刻胶层 82 具有多个开口 83，多个开口 83 与多个叠层结构 20 分别对应，且开口 83 与相对应的叠层结构 20 正对。各开口 83 在衬底 10 上的正投影位于其对应的叠层结构 20 在衬底 10 上的正投影之内，或者，各开口 83 在衬底 10 上的正投影与其对应的叠层结构 20 在衬底 10 上的正投影相重合。

形成第二光刻胶层 82 后，以第二光刻胶层 82 为掩膜，刻蚀第二支撑层 81、介质层 40 和沟道层 30，形成接触孔 84，接触孔 84 暴露第二导电层 23。如图 26 和图 27 所示，接触孔 84 贯穿第二支撑层 81、介质层 40 和沟道层 30，以暴露第二导电层 23。形成接触孔 84 的同时，第二光刻胶层 82 也被去除，或者，形成接触孔 84 后，再去除第二光刻胶层 82。如图 28 和图 29 所示，去除第二光刻胶层 82 后，第二支撑层 81 的顶表面暴露出来。

需要说明的是，接触孔 84 的开口 83 的面积大于接触孔 84 的底部的面积，即接触孔 84 的上部分宽度较大，下部分宽度较小。如此设置，在接触孔 84 内形成第三导电层 90 后，第三导电层 90 的上部分宽度较大，通过增加操作窗口的宽度，便于与电容对准。此外，第三导电层 90 的下部分宽度较小，可以降低晶体管的临界尺寸。

示例性的，以垂直与衬底 10 的平面为截面，接触孔 84 的截面形状可以为上大下小的倒梯形。如图 30 和图 31 所示，接触孔 84 的截面形状还可以为相连接的矩形和梯形，矩形设置在梯形靠近衬底 10 的一侧，矩形的底边与梯形的上底相重合。

形成接触孔 84 后，在接触孔 84 内形成第三导电层 90，第三导电层 90 与第二导电层 23 电连接。如图 32 和图 33 所示，接触孔 84 内沉积第三导电层 90，第三导电层 90 与第二导电层 23 相接触，以实现第三导电层 90 与第二导电层 23 电连接。第三导电层 90 可以为电容接触垫，第三导电层 90 上形成电容。

参考图 10 和图 11，本申请实施例还提供一种半导体结构，其包括：叠层结构 20、沟道层 30、介质层 40 和栅极。其中，叠层结构 20 设置在衬底 10 上，衬底 10 用于支撑叠层结构 20，衬底 10 可以为半导体衬底，例如硅衬底。

衬底 10 内还可以设置有多条位线 11，多条位线 11 之间彼此间隔，多条位线 11 沿第二方向（图 11 所示的 X 方向）延伸。位线 11 可以暴露于衬底 10 的表面，以便于与位于衬底 10 上的其他结构电连接。相邻的位线 11 之间还可以设置浅槽隔离结构 12，通过浅槽隔离结构 12 将各位线 11 隔离。

衬底 10 上设置有多层叠层结构 20，各叠层结构 20 间隔设置。叠层结构 20 包括层叠设置的第一导电层 21、绝缘层 22 和第二导电层 23。如图 10 和图 11 所示，沿远离衬底 10 的方向，第一导电层 21、绝缘层 22 和第二导电层 23 依次设置。第一导电层 21 和第二导电层 23 中的一个为源极，第一导电层 21 和第二导电层 23 中的另一个为漏极，源极和漏极中的至少一个为半金属层，半金属层的材质可以为铋，绝缘层 22 的材质可以为氧化硅。通过将源极或者漏极中的至少一个设置为半金属层，可以减少叠层结构 20 与其他结构（例如位线 11 和/或电容）之间的接触电阻，从而提高半导体结构的性能。

继续参考图 10 和图 11，沿第二方向，每条位线 11 上至少设置有一个叠层结构 20，叠层结构 20 中的源极和漏极中的一个与位线 11 相接触，从而实现该源极或者漏极与位线 11 的电连接。叠层结构 20 可以为柱状，例如圆柱、椭圆柱、方柱或者长方柱，叠层结构 20 可以为阵列排布。

叠层结构 20 的侧表面覆盖有沟道层 30，环绕在叠层结构 20 的侧表面上的沟道层 30 形成沟道区，以在源极和漏极之间提供导电通道，使得载流子可以由源极移动至漏极或者由漏极移动至源极。沟道区为层状，沟道层 30 的材质可以包括硫化钼，例如二硫化钼。层状的硫化钼中存在带隙，其形成的场效应晶体管开关比高。优选地，沟道层 30 的材质为硫化钼，源极和漏极的材质均为铋，以降低沟道层 30 和源极、沟道层 30 和漏极之间的间隙态及能垒，从而降低沟道层 30 和源极、沟道层 30 和漏极之间的接触电阻。

沟道层 30 的侧表面覆盖有介质层 40，介质层 40 可以为氧化物层，位于沟道层 30 的侧表面的介质层 40 形成栅氧层。示例性的，介质层 40 的材质为氧化硅。

继续参考图 10 和图 11，介质层 40 上环设有栅极，栅极环绕在介质层 40 的侧表面上，且与介质层 40 的侧表面相接触。栅极与至少部分绝缘层

22 相对，沿垂直与衬底 10 的方向（图 10 所示的 Z 方向），介质层 40 在该方向的正投影与栅极在该方向的正投影至少部分重合。示例性的，栅极的顶表面低于介质层 40 的顶表面，栅极的底面高于介质层 40 的底面。

本申请实施例中的半导体结构还包括字线 63，字线 63 沿第一方向延伸，字线 63 包括接触部 64 和连接相邻两个接触部 64 的连接部 65，其中，接触部 64 为环设在介质层 40 上的栅极，即字线 63 的一部分为栅极。可以理解的是，沿第一方向，连接部 65 和栅极间隔设置，连接部 65 将第一方向上的多个栅极连成一体，形成字线 63。

在一些可能的示例中，参考图 32 和图 33，字线 63 设置在第一支撑层 50 上，第一支撑层 50 位于字线 63 的下方，并填充在覆盖有介质层 40 和沟道层 30 的叠层结构 20 之间，以垫高字线 63。字线 63 上还可以覆盖有第二支撑层 81，第二支撑层 81 和第一支撑层 50 对字线 63 进行电气隔离。第二支撑层 81 的材质可以与第一支撑层 50 的材质相同，以使第二支撑层 81 和第一支撑层 50 形成一体。

继续参考图 32 和图 33，第二支撑层 81 还覆盖介质层 40，第二支撑层 81 具有接触孔，接触孔贯穿介质层 40 和沟道层 30，以暴露叠层结构 20 的第二导电层 23。接触孔内填充第三导电层 90，第三导电层 90 的一端与第二导电层 23 相接触，以实现第三导电层 90 与第二导电层 23 电连接，第三导电层 90 的另一端可以连接电容。

本申请实施例的半导体结构中，第一导电层 21、绝缘层 22 和第二导电层 23 依次层叠设置形成叠层结构 20，第一导电层 21 和第二导电层 23 中的一个为源极，另一个为漏极，第一导电层 21 和第二导电层 23 中的至少一个为半金属层，一方面可以降低叠层结构 20 与其他结构的接触电阻，另一方面还可以降低第一导电层 21 和/或第二导电层 23 与沟道层 30 之间的接触电阻，从而提高半导体结构的性能。此外，叠层结构 20 的侧表面覆盖有沟道层 30，沟道层 30 的侧表面覆盖有介质层 40，介质层 40 上环设有栅极，叠层结构 20、沟道层 30、介质层 40 和栅极形成垂直晶体管，可以通过调整叠层结构 20 的高度增加沟道层 30 的长度，便于改善晶体管的短沟道效应，提高半导体结构的性能。

本说明书中各实施例或实施方式采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参

见即可。

在本说明书的描述中，参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本申请的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1、一种半导体结构的制作方法，包括：

提供衬底；

5 在所述衬底上形成多个间隔设置的叠层结构，所述叠层结构包括依次层叠设置的第一导电层、绝缘层和第二导电层，所述第一导电层和所述第二导电层中的至少一个为半金属层；

形成覆盖所述叠层结构的沟道层，以及覆盖所述沟道层的介质层；

10 形成沿第一方向延伸的字线，所述字线包括多个接触部和连接相邻的所述接触部的连接部，所述接触部环绕且接触所述介质层的侧表面，所述接触部与至少部分所述绝缘层相对。

2、根据权利要求 1 所述的半导体结构的制作方法，其中，所述沟道层的材质包括硫化钼，和/或所述半金属层的材质包括铋。

3、根据权利要求 1 所述的半导体结构的制作方法，其中，形成覆盖所述叠层结构的沟道层，以及覆盖所述沟道层的介质层的步骤包括：

15 在所述叠层结构和所述衬底上沉积所述沟道层，所述沟道层覆盖所述叠层结构的顶表面、侧表面，以及所述衬底的顶表面；

在所述沟道层上沉积所述介质层。

20 4、根据权利要求 3 所述的半导体结构的制作方法，其中，形成沿第一方向延伸的字线，所述字线包括多个接触部和连接相邻的所述接触部的连接部，所述接触部环绕且接触所述介质层的侧表面，所述接触部与至少部分所述绝缘层相对的步骤之前，还包括：

在覆盖有所述沟道层和所述介质层的所述叠层结构之间填充第一支撑层，所述第一支撑层背离所述衬底的表面高于所述第一导电层背离所述衬底的表面，且低于所述绝缘层背离所述衬底的表面。

25 5、根据权利要求 4 所述的半导体结构的制作方法，其中，在覆盖有所述沟道层和所述介质层的所述叠层结构之间填充第一支撑层，所述第一支撑层背离所述衬底的表面高于所述第一导电层背离所述衬底的表面，且低于所述绝缘层背离所述衬底的表面的步骤包括：

30 在所述介质层上形成第一初始支撑层，所述第一初始支撑层填充在覆盖有所述沟道层和所述介质层的所述叠层结构之间，且所述第一初始支撑

层覆盖所述介质层的顶表面；

去除部分所述第一初始支撑层，保留的所述第一初始支撑层形成所述第一支撑层。

- 5 6、根据权利要求4所述的半导体结构的制作方法，其中，形成沿第一方向延伸的字线，所述字线包括多个接触部和连接相邻的所述接触部的连接部，所述接触部环绕且接触所述介质层的侧表面，所述接触部与至少部分所述绝缘层相对的步骤包括：

形成覆盖所述第一支撑层和所述介质层的初始字线层；

- 10 沿第一方向去除位于所述第一支撑层上的部分所述初始字线层，以使所述初始字线层形成多条间隔设置的中间字线层；

去除所述介质层的顶表面上的所述中间字线层，以及所述介质层的侧表面上远离所述衬底的部分所述中间字线层，保留的所述中间字线层形成字线。

- 15 7、根据权利要求6所述的半导体结构的制作方法，其中，沿第一方向去除位于所述第一支撑层上的部分所述初始字线层，以使所述初始字线层间断，形成多条间隔设置的中间字线层的步骤包括：

形成覆盖所述初始字线层的掩膜层，所述掩膜层填充在覆盖有所述沟道层、所述介质层和所述初始字线层的所述叠层结构之间，且所述掩膜层覆盖所述初始字线层的顶表面；

- 20 在所述掩膜层上形成第一光刻胶层，所述第一光刻胶层具有沿第一方向延伸的沟槽，所述沟槽在所述衬底上的正投影与位于所述叠层结构侧表面的初始字线层在所述衬底上的正投影不相重叠；

以所述第一光刻胶层为掩膜，刻蚀所述掩膜层；

- 25 以刻蚀后的所述掩膜层为掩膜，刻蚀所述初始字线层，以形成所述中间字线层。

8、根据权利要求4所述的半导体结构的制作方法，其中，形成沿第一方向延伸的字线，所述字线包括多个接触部和连接相邻的所述接触部的连接部，所述接触部环绕且接触所述介质层的侧表面，所述接触部与至少部分所述绝缘层相对的步骤之后，还包括：

- 30 形成覆盖所述字线、所述第一支撑层，以及所述介质层的第二支撑层，所述第二支撑层背离所述衬底的表面齐平；

在所述第二支撑层上形成第二光刻胶层，所述第二光刻胶层具有多个开口，所述开口与所述叠层结构正对；

以所述第二光刻胶层为掩膜，刻蚀所述第二支撑层、所述介质层和所述沟道层，形成接触孔，所述接触孔暴露所述第二导电层；

5 在所述接触孔内形成第三导电层，所述第三导电层与所述第二导电层连接。

9、根据权利要求 8 所述的半导体结构的制作方法，其中，所述接触孔的开口的面积大于所述接触孔的底部的面积。

10 10、根据权利要求 9 所述的半导体结构的制作方法，其中，以垂直于所述衬底的平面为截面，所述接触孔的截面形状包括相连接的矩形和梯形，所述矩形设置在所述梯形靠近所述衬底的一侧，所述矩形的底边与所述梯形的上底相重合。

11、根据权利要求 1 所述的半导体结构的制作方法，其中，所述衬底内设置有多条间隔设置的位线，所述位线沿第二方向延伸；

15 沿所述第二方向，每条所述位线上至少设置有一个所述叠层结构，所述第一导电层与所述位线电连接。

12、根据权利要求 11 所述的半导体结构的制作方法，其中，所述衬底内还设置有浅槽隔离结构，所述浅槽隔离结构设置在相邻的所述位线之间。

20 13、一种半导体结构，包括：叠层结构、覆盖所述叠层结构的侧表面的沟道层、覆盖所述沟道层的侧表面的介质层，以及环设在所述介质层上的栅极；

25 所述叠层结构包括依次层叠设置的第一导电层、绝缘层和第二导电层，所述第一导电层和所述第二导电层中的一个为源极，所述第一导电层和所述第二导电层中的另一个为漏极，所述源极和所述漏极中的至少一个为半金属层。

14、根据权利要求 13 所述的半导体结构，其中，所述沟道层的材质包括硫化钼，和/或所述半金属层的材质包括铋。

15、根据权利要求 13 所述的半导体结构，其中，所述半导体结构还包括字线和位线；

30 所述位线设置在衬底中，所述叠层结构设置在所述衬底上，所述源极和所述漏极中的一个与所述位线电连接，所述字线包括栅极以及连接相邻

的两个所述栅极之间的连接部。