

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2022/193503 A1

(43) 国际公布日
2022 年 9 月 22 日 (22.09.2022)

(51) 国际专利分类号:
H01L 27/02 (2006.01) **H01L 27/118** (2006.01)

国北京市海淀区西直门北大街 32 号枫蓝国际 A 座 8F-6, Beijing 100082 (CN)。

(21) 国际申请号: PCT/CN2021/106527

(22) 国际申请日: 2021 年 7 月 15 日 (15.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110285294.7 2021 年 3 月 17 日 (17.03.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 卢美香 (LU, Meixiang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: INTEGRATED CIRCUIT AND LAYOUT METHOD THEREFOR

(54) 发明名称: 集成电路及其布局方法

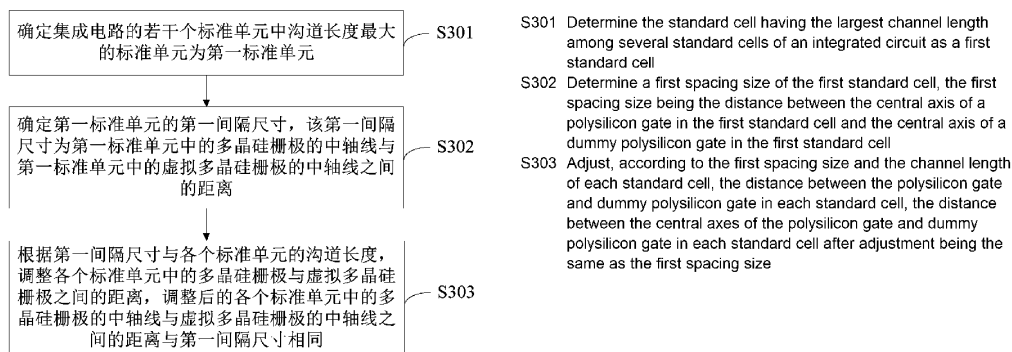


图 3

(57) Abstract: Embodiments of the present application provide an integrated circuit and a layout method therefor. The method comprises: first determining a first spacing size of a first standard cell having the largest channel length among several standard cells in the integrated circuit, the first spacing size being the distance between the central axes of a polysilicon gate and dummy polysilicon gate in the first standard cell; and then adjusting the distance between the polysilicon gate and dummy polysilicon gate in each standard cell by using the first spacing size and the channel length of each standard cell, the distance between the central axes of the polysilicon gate and dummy polysilicon gate in each standard cell after adjustment being the same as the first spacing size. In this way, after the standard cells having different channel lengths are integrated together, the size of the space occupied by each standard cell is not affected by the channel length, thereby effectively reducing errors of a key pattern size in the production process of the integrated circuit, thus improving the performance of the integrated circuit.

[见续页]

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要： 本申请实施例提供一种集成电路及其布局方法，先确定集成电路中的若干个标准单元中沟道长度最大的第一标准单元的第一间隔尺寸，该第一间隔尺寸为第一标准单元中的多晶硅栅极的中轴线与虚拟多晶硅栅极的中轴线之间的距离，然后利用第一间隔尺寸以及各个标准单元的沟道长度，调整各个标准单元中的多晶硅栅极与虚拟多晶硅栅极之间的距离，调整后的各个标准单元中的多晶硅栅极的中轴线与虚拟多晶硅栅极的中轴线之间的距离与上述第一间隔尺寸相同，从而使得各个不同沟道长度的标准单元集成在一起之后，各个标准单元的所占用的空间大小不受沟道长度的影响，有效降低了在集成电路生产过程中关键图形尺寸的误差，提升了集成电路的性能。