

一种封装基板、半导体封装件以及电子设备

相关申请的交叉引用

5 本申请要求在2021年12月06日提交中国专利局、申请号为202111479104.1、申请名称为“一种封装基板、半导体封装件以及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电子设备技术领域，尤其涉及一种封装基板、半导体封装件以及电子设备。

10 背景技术

随着计算技术和通讯技术的不断发展，电子设备的处理器与内存芯片之间的数据交换速度不断提高，这对内存总线位宽、存储密度等要求也不断提高，由此也对芯片的封装技术提出更高的要求。在制作芯片的封装基板时，需要对封装基板上的引脚排布进行设计。通常，一方面需要减小引脚之间的电磁串扰，另一方面需要提高引脚的排布密度。然而，
15 提高引脚的排布密度会引起电磁串扰的增加。因此，如何使封装基板的引脚实现高密度、低串扰的排布方式，是目前亟需解决的问题。

发明内容

20 本申请提供了一种封装基板、半导体封装件以及电子设备，以减小芯片的封装面积，并降低芯片引脚之间的串扰，从而实现高密度、低串扰的引脚排布方式。

第一方面，本申请提供了一种封装基板。封装基板包括基板本体。基板本体设置有多个单元区域。单元区域包括至少一个焊球组。焊球组包括间隔设置的第一焊球、第二焊球、第三焊球、第四焊球、第五焊球和第六焊球。第一焊球、第二焊球、第三焊球和第四焊球可以分别位于一个平行四边形的四个顶点，且第二焊球和第三焊球分别与第一焊球相邻。
25 第五焊球可以设置于上述平行四边形的一个边上，并且位于第一焊球和第三焊球之间。第六焊球设置于上述平行四边形的另一个边上，并且位于第二焊球和第四焊球之间。第一焊球和第四焊球分别位于第五焊球和第六焊球之间的连线的中垂线上。

在上述技术方案中，焊球组包含的六个焊球呈平行四边形的排布方式，可以提高焊球的排布密度，以减小焊球组的面积，从而可以减小封装面积，进而可以降低半导体封装件的制作成本。另外，第一焊球和第四焊球分别位于第五焊球和第六焊球之间的连线的中垂线上，使得第一焊球和第四焊球受到来自第五焊球和第六焊球的信号振幅相等，有利于降低焊球组内的串扰，从而可以实现高密度、低串扰的引脚排布方式。
30

在具体设置时，焊球组中的六个焊球可以为四个单端信号焊球和两个差分信号焊球。其中，第一焊球、第二焊球、第三焊球和第四焊球为单端信号焊球，第五焊球和第六焊球为差分信号焊球。也就是说，在该方案中，四个单端信号焊球形成平行四边形的四个顶点，两个差分信号焊球位于平行四边形的边上。基于上述焊球组的结构，其中两个单端信号焊球分别位于两个差分信号焊球之间的连线的中垂线上。由于两个差分信号焊球的两个信号
35

振幅相等且相位相反，因此，中垂线上的这两个单端信号焊球受到来自差分信号焊球的影响可以相互抵消，从而可以降低差分信号对单端信号的电磁干扰。

上述平行四边形的内角度数不作具体限制。例如，在一些可能的技术方案中，上述平行四边形的内角度数分别为 60°、120°、60°、120°。或者，在另外一些可能的技术方案中，

上述平行四边形的内角度数分别为 45°、135°、45°、135°。

在一些技术方案中，每个焊球组的周侧设置有接地焊球，以降低相邻的焊球组之间的相互串扰。

上述接地焊球的具体数量不限。焊球组的周侧可以设置多个接地焊球，从而可以在焊球组的周侧形成回流地，减小与其他焊球组之间的电磁干扰。

具体设置接地焊球时，焊球组周侧设置的接地焊球可以包括十二个接地焊球，十二个接地焊球的排布呈现为六边形。

上述单元区域还可以包括两个焊球组，两个焊球组可以共用多个接地焊球。这样，在不影响信号抗干扰能力的前提下，减小接地焊球的设置数量，从而可以减小接地焊球的排布面积。

具体设置上述单元区域时，根据具体情况，两个焊球组可以以轴对称的方式排布，或者也可以以中心对称的方式排布。

在设置封装基板时，相邻两个单元区域也可以共用多个接地焊球，以进一步减小接地焊球的设置数量，从而可以减小接地焊球的排布面积。

第二方面，本申请提供了一种半导体封装件。半导体封装件包括芯片和第一方面的封装基板。芯片设置在封装基板上，并且芯片上的信号管脚与封装基板的焊球电连接。封装基板上的焊球排布方式可以提高引脚排布的密度，从而减小芯片的封装面积，并且还可以降低芯片引脚之间的串扰，从而实现高密度、低串扰的引脚排布方式。

第三方面，本申请提供了一种电子设备。电子设备包括电路板和第二方面的半导体封装件。半导体封装件设置于电路板，且半导体封装件与电路板电连接。电路板上设置有用与半导体封装件连接的信号管脚，以使得半导体封装件可以通过信号管脚及电路板上的走线与其它器件连接，进而实现芯片与外部电路的连接。

附图说明

- 图 1 为本申请实施例电子设备的一种结构示意图；
- 图 2 为本申请实施例封装基板的一种结构示意图；
- 图 3 为本申请实施例封装基板上的焊球的一种排布结构示意图；
- 图 4 为本申请实施例封装基板上的焊球的另一种排布结构示意图；
- 图 5 为本申请实施例封装基板上的焊球的另一种排布结构示意图；
- 图 6 为本申请实施例封装基板上的焊球的另一种排布结构示意图；
- 图 7 为本申请实施例封装基板上的焊球的另一种排布结构示意图；
- 图 8 为本申请实施例提供的封装基板上的单元区域的一种排布结构示意图；
- 图 9 为本申请实施例提供的封装基板上的单元区域的另一种排布结构示意图；
- 图 10 为本申请实施例提供的 CPU 双倍速率同步动态随机存储器接口的硬件架构示意图；
- 图 11 为本申请实施例提供的 CPU DDR 的接口示意图。

附图标记:

- 10-电子设备; 11-电路板;
- 12-半导体封装件; 011-字节单位;
- 121-芯片; 122-封装基板;
- 123-基板本体; 124-单元区域;
- 125-焊球组; 125a-第一焊球;
- 125b-第二焊球; 125c-第三焊球;
- 125d-第四焊球; 125e-第五焊球;
- 125f-第六焊球; 126-接地焊球。

具体实施方式

为了使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请作进一步地详细描述。

在本说明书中描述的参考“一个实施例”或“一些实施例”等意味着在本申请的一个或多个实施例中包括结合该实施例描述的特定特征、结构或特点。由此，在本说明书中的不同之处出现的语句“在一个实施例中”、“在另一个实施例中”、“在一些实施例中”、“在其他一些实施例中”、“在另外一些实施例中”等不是必然都参考相同的实施例，而是意味着“一个或多个但不是所有的实施例”，除非是以其他方式另外特别强调。术语“包括”、“包含”、“具有”及它们的变形都意味着“包括但不限于”，除非是以其他方式另外特别强调。

在具体制作半导体封装件时，通常将芯片放置在封装基板上，通过金线键合或倒装芯片技术等方式将芯片的引脚与封装基板的焊球电连接。然后将芯片和封装基板进行封装，形成半导体封装件。半导体封装件的外部引脚可以与印刷电路板（Printed Circuit Board，PCB）电连接，从而实现芯片与外部电路的连接，并且芯片还可以通过 PCB 走线与其他器件电连接。需要说明的是，在本申请中，芯片是指晶圆被切割形成的裸片（die），该裸片具有用于封装的压焊点。

由于半导体封装件的封装效果会直接影响芯片的工作性能和封装基板的走线设计，因此，半导体封装技术在半导体领域中占据重要地位。目前，衡量芯片封装技术性能的一个重要指标是芯片面积与封装面积之比，其中，芯片面积是指裸片面积。当芯片面积一定时，比值越小说明封装面积越大，也就是说半导体封装件的尺寸越大，这会导致半导体封装件的制造良率下降，还会增加制作成本；比值越接近 1，则封装面积越小，这样半导体封装件的制造良率上升，制作成本也可以相应降低。因此，封装面积越小越好。对于封装基板来说，封装基板的引脚排布密度是影响封装面积的重要因素。封装面积减小，就需要增大引脚排布密度，这样可以提高芯片引脚的利用率。但是，封装基板的引脚排布密度增大又会引起引脚之间的电磁串扰，从而影响了芯片的性能。

因此，本申请提供了一种封装基板、半导体封装件以及电子设备，以减小芯片的封装面积，并降低芯片引脚之间的串扰，从而实现高密度、低串扰的引脚排布方式。

图 1 为本申请实施例中电子设备的一种结构示意图。如图 1 所示，电子设备 10 可以包括电路板 11 以及半导体封装件 12，其中，半导体封装件 12 可以设置于电路板 11，并且与电路板 11 电连接。半导体封装件 12 可以包括芯片 121 和封装基板 122，其中，芯片 121 设置于封装基板 122。在对芯片 121 进行封装时，芯片 121 被放置于封装基板 122，并且

通过金线键合或倒装芯片技术等方式将芯片 121 的引脚与封装基板 122 的焊球电连接。

在本申请中，电子设备 10 可以为交换机、路由器、计算机、服务器或通讯设备等。半导体封装件 12 可以通过焊接固定于电路板 11。电路板 11 设置有信号管脚，半导体封装件 12 的外部引脚可以与这些信号管脚连接，并且通过这些信号管脚与电路板 11 的走线和其他器件电连接，以实现半导体封装件 12 内部的芯片 121 与外部电路的电连接。

下面将结合附图对本申请的封装基板 122 进行具体说明。

图 2 为本申请实施例中封装基板的一种结构示意图。如图 2 所示，封装基板 122 可以包括基板本体 123。基板本体 123 设置有多个单元区域 124。每个单元区域 124 可以包括一个或多个焊球组 125，也就是说每个单元区域 124 可以包括至少一个焊球组 125。需要说明的是，在本申请的描述中，“多个”是指至少两个。在一些实施例中，每个单元区域 124 可以包括一个焊球组 125，因此，相邻的两个单元区域 124 可以对应单个字节单元的数据信号。在其他一些实施例中，每个单元区域 124 可以包括两个焊球组 125，因此，一个单元区域 124 可以对应单个字节单元的数据信号。

图 3 为本申请实施例中封装基板上的焊球的一种排布结构示意图。如图 3 所示，焊球组 125 可以包括六个焊球，即第一焊球 125a、第二焊球 125b、第三焊球 125c、第四焊球 125d、第五焊球 125e 和第六焊球 125f，这六个焊球彼此间隔设置。在具体排布这些焊球时，第一焊球 125a、第二焊球 125b、第三焊球 125c、第四焊球 125d、第五焊球 125e 和第六焊球 125f 可以呈平行四边形排布。其中，第一焊球 125a、第二焊球 125b、第三焊球 125c 和第四焊球 125d 可以位于平行四边形的四个顶点，并且第二焊球 125b 和第三焊球 125c 分别与第一焊球 125a 相邻。也就是说，第一焊球 125a 与第二焊球 125b 之间的连线、以及第三焊球 125c 与第四焊球 125d 之间的连线形成上述平行四边形的一组对边。第五焊球 125e 可以设置于平行四边形的一个边上，并且位于第一焊球 125a 和第三焊球 125c 之间，也就是说第五焊球 125e 可以设置在平行四边形的第一焊球 125a 和第三焊球 125c 之间的边上。第六焊球 125f 设置于平行四边形的另一个边上，并且位于第二焊球 125b 和第四焊球 125d 之间，也就是说第六焊球 125f 可以设置在平行四边形的第二焊球 125b 和第四焊球 125d 之间的边上。第一焊球 125a 和第四焊球 125d 分别位于第五焊球 125e 和第六焊球 125f 之间的连线的中垂线（如图 3 中点划线所示）上。

需要说明的是，在本申请的各附图中，连接于焊球之间的虚线仅用于示意各个焊球的位置关系，表示单元区域 124 的实线仅用于示意单元区域 124 的位置，这些虚线和实线并不存在于封装基板 122 的具体结构当中，因此不对封装基板 122 的具体结构构成限定。

在上述实施例中，第一焊球 125a 和第二焊球 125b 可以形成第一行焊球，第五焊球 125e 和第六焊球 125f 可以形成第二行焊球，第三焊球 125c 和第四焊球 125d 可以形成第三行焊球。如图 3 所示，不同行或列的焊球之间呈三角形的排布方式。当焊球之间的距离一定时，这种三角形排布方式可以减小焊球组 125 的总面积。因此，焊球组 125 中的六个焊球呈平行四边形的排布方式，可以提高焊球的排布密度，从而可以减小封装面积，进而还可以降低半导体封装件 12 的制作成本。

上述第一焊球 125a 和第四焊球 125d 分别位于第五焊球 125e 和第六焊球 125f 之间的连线的中垂线上。使得第一焊球 125a 和第四焊球 125d 受到来自第五焊球 125e 和第六焊球 125f 的信号振幅相等，有利于降低焊球组 125 内的串扰，从而可以实现高密度、低串扰的引脚排布方式。此外，由于第一焊球 125a 和第四焊球 125d 分别位于第五焊球 125e 和第六

焊球 125f 之间的连线的中垂线上, 根据三角形全等判定定理, 第一焊球 125a 与第三焊球 125c 之间的距离大于第一焊球 125a 与第二焊球 125b 之间的距离。

在具体设计时, 平行四边形的内角度数不作具体限制。例如, 如图 3 所示, 在一个具体的实施例中, 平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 60° 、 120° 、 60° 、 120° 。

5 图 4 为本申请实施例中封装基板上的焊球的另一种排布结构示意图。如图 4 所示, 在另一个具体的实施例中, 平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 45° 、 135° 、 45° 、 135° 。图 5 为本申请实施例中封装基板上的焊球的另一种排布结构示意图。如图 5 所示, 在另一个具体的实施例中, 平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 55° 、 125° 、 55° 、 125° 。

10 请继续参考图 3 和图 4。当平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 60° 、 120° 、 60° 、 120° 时, 或者当平行四边形的四个内角 α_1 、 α_2 、 α_3 、 α_4 可以分别为 45° 、 135° 、 45° 、 135° 时, 第五焊球 125e 位于第一焊球 125a 和第三焊球 125c 之间的距离的中点位置, 第六焊球 125f 位于第二焊球 125b 和第四焊球 125d 之间的距离的中点位置。在本申请中, “距离的中点位置”是指连线的中点位置。换句话说, 第五焊球 125e 位于第一焊球 125a 和第三焊球 125c 之间的连线的中点位置, 第六焊球 125f 位于第二焊球 125b 和第四焊球 125d 之间的连线的中点位置。在该实施例中, 第一焊球 125a 与第三焊球 125c 之间的距离, 是第一焊球 125a 与第二焊球 125b 之间的距离的两倍; 并且, 相邻两个隔焊球之间的距离相等, 这样使得平行四边形的面积最小。

20 在一些实施例中, 一个单元区域 124 可以包括两个焊球组 125。该单元区域 124 可以对应一个字节单位的数据信号。每个字节单元通常可以包括八个单端信号和四个差分信号, 其中, 四个差分信号可以分为两对差分信号。每对差分信号的两个信号的振幅相等且相位相反。

具体的, 在上述单元区域 124 中, 每个焊球组 125 的第一焊球 125a、第二焊球 125b、第三焊球 125c 和第四焊球 125d 可以为单端信号焊球, 每个焊球组 125 的第五焊球 125e 25 和第六焊球 125f 可以为差分信号焊球。也就是说, 八个单端信号焊球分成两组, 每组四个单端信号焊球形成一个平行四边形的四个顶点; 两对差分信号焊球分别位于两个平行四边形的边上。基于上述焊球组 125 的结构, 每个焊球组 125 中, 两个单端信号焊球分别位于两个差分信号焊球之间的连线的中垂线上。由于两个差分信号焊球的两信号振幅相等且相位相反, 因此, 中垂线上的这两个单端信号焊球受到来自差分信号焊球的影响可以相互抵消, 从而可以降低差分信号对单端信号的电磁干扰。此外, 每个单端信号焊球的周边只 30 有一个与其相邻的单端信号焊球, 也就是说每个单端信号焊球周边设置的单端信号焊球的数量较少, 因此也能够降低单端信号焊球之间的电磁串扰。

图 6 为本申请实施例中封装基板上的焊球的另一种排布结构示意图。如图 6 所示, 每个焊球组 125 的周侧可以设置接地焊球 126, 以降低相邻的焊球组 125 之间的相互串扰。 35 具体的, 接地焊球 126 的数量不限。例如, 在一些实施例中, 焊球组 125 的周侧可以设置多个接地焊球 126, 从而可以在焊球组 125 的周侧形成回流地, 减小与其他焊球组 125 之间的电磁干扰。

请继续参考图 6。在一个具体的实施例中, 焊球组 125 周侧设置有十二个接地焊球 126。这些接地焊球 126 呈六边形排布, 其中, 六边形的四个边可以分别与焊球组 125 的平行四 40 边形的四个边平行设置。这种六边形排布方式可以较佳地与焊球组 125 的四边形排布形式

相匹配,使得十二个接地焊球 126 能够较为紧密地设置于焊球组 125 的外侧,从而可以减少接地焊球 126 的排布面积,进而使得封装基板 122 上能够容纳更多的焊球。另外,每个单端信号焊球周边至少设置有三个接地焊球 126,从而能够有效降低信号间的电磁干扰。

图 7 为本申请实施例中封装基板上的焊球的另一种排布结构示意图。如图 7 所示,相邻的两个焊球组 125 可以共用多个接地焊球 126。这样,在不影响信号抗干扰能力的前提下,可以减小接地焊球 126 的设置数量,从而减小接地焊球 126 的排布面积。需要说明的是,在该实施例中,相邻的两个焊球组 125 可以位于同一个单元区域 124 内,或者也可以分别位于相邻的两个单元区域 124 内。

具体设置时,本申请实施例对焊球之间的间距不做限定,具体可以根据实际使用需求进行设计。在一些实施例中,相邻焊球之间的间距可以在 0.8mm~1.2mm 之间。例如,相邻焊球之间的间距可以为 0.8mm、0.9mm、1mm、1.1mm 或 1.2mm 等。

图 8 为本申请实施例提供的封装基板上的单元区域的一种排布结构示意图,图 9 为本申请实施例提供的封装基板上的单元区域的另一种排布结构示意图。如图 8 和图 9 所示,在本申请实施例中,单元区域 124 可以横向或者纵向组合延伸,从而形成封装基板 122 的引脚区域。由于单元区域 124 中最外侧的接地焊球 126 呈六边形排布,在具体设计时,沿行向或列向方向,相邻的两个单元区域 124 可以错位设置,并且可以共用相邻部分的多个接地焊球 126。也就是说,左侧单元区域 124a 的右侧竖直侧边与右侧单元区域 124b 的左侧竖直侧边可以共用四个接地焊球 126;上侧单元区域 124c 的下侧倾斜侧边与下侧单元区域 124d 的上侧倾斜侧边可以共用两个接地焊球 126,这样一方面可以节约接地焊球 126 的排布面积,另一方面左右两个单元区域 124、上下两个单元区域 124 可以分别共用部分接地焊球 126,从而可以在不影响信号抗干扰能力的前提下,减少接地焊球 126 的排布数量。具体设置上述单元区域 124 时,如图 8 所示,相邻两个单元区域 124 内的两个焊球组 125 可以以轴对称的方式排布,即呈蝴蝶形排布。或者如图 9 所示,相邻两个单元区域 124 内的两个焊球组 125 也可以以中心对称的方式排布。

在本申请的上述实施例中,芯片 121 可以为中央处理器(central processing unit, CPU)芯片匹配。也就是说,上述封装基板 122 可以用于封装 CPU。

图 10 为本申请实施例提供的 CPU 双倍速率同步动态随机存储器(double data rate synchronous dynamic random access memory, DDR SDRAM)接口的硬件架构示意图。如图 10 所示,CPU 侧通常包括多个 DDR 通道(Channel),每个 DDR 通道可以驱动连接一根或多根内存条,例如双列直插式存储模块(dual-inline-memory-modules, DIMM)。其中,上述通道可以指 CPU 配置的内存通道,一个通道的内存带宽通常为 32bit 或 64bit。

在一个具体的实施例中,CPU 可以包括六个 DDR 通道,分别为 Channel 0、Channel 1、Channel 2、Channel 3、Channel 4、Channel 5,其中,Channel 0 可以连接 DIMM 00、DIMM 01 两根内存条,Channel 1 可以连接 DIMM 10、DIMM 11 两根内存条,Channel 2 可以连接 DIMM 20、DIMM 21 两根内存条,Channel 3 可以连接 DIMM 30、DIMM 31 两根内存条,Channel 4 可以连接 DIMM 40、DIMM 41 两根内存条,Channel 5 可以连接 DIMM 50、DIMM 51 两根内存条。应当理解的是,本申请实施例中的 CPU 不仅限于图 10 中所示的架构,CPU 的通道数量以及每个通道对应连接的内存条数量可以根据实际需要进行设置,此处不再进行过多赘述。

图 11 为本申请实施例提供的 CPU DDR 的接口示意图。如图 11 所示,CPU 侧的 DDR

通道可以包括多个 8bit 组成的字节单位 011, 可以理解的, 当 DDR 通道的内存带宽为 32bit 时, DDR 通道可以包括四个字节单位 011; 当 DDR 通道的内存带宽为 64bit 时, DDR 通道可以包括八个字节单位 011。图 11 所示的实施例以 DDR 通道的内存带宽为 64bit 为例进行说明。

5 在本实施例中, 每个字节单位 011 可以对应前述的一个单元区域 124, 也即, 每个字节单位 011 可以对应两个焊球组 125。对于内存带宽为 64bit 的 DDR 通道, 每个 DDR 通道对应八个单元区域 124, 八个单元区域 124 可以按照图 11 中所示的 4*2 (4 指八个单元区域 124 的排布行数, 2 指八个单元区域 124 的排布列数) 的排布方式进行排布, 也可以以 2*4 (2 指八个单元区域 124 的排布行数, 4 指八个单元区域 124 的排布列数) 的排布方式进行排布, 或者也可以以同行或者同列的方式进行排布, 具体可以根据封装基板 122 上的空间划分进行设置, 本申请对此不做限定。

10 实验表明, 采用本申请实施例提供的封装基板 122 对 CPU 进行封装, 利用焊球组 125 的平行四边形引脚排布方案, DDR 数据信号间的电磁串扰可低至 -33.5dB。另外, 如果定义采用梯形排布方式的单元区域 124 的使用面积为 1, 则采用本申请实施例的排布方式的单元区域 124 的使用面积大概为 0.95; 因此可以有效减小封装面积。如果定义采用箭头形排布方式的单元区域 124 的使用面积为 1, 则采用本申请实施例的排布方式的单元区域 124 的使用面积大概为 0.92。

15 因此, 本申请实施例的封装基板 122 所采用的引脚布图方案, 不仅可以降低 DDR 数据信号之间的电磁串扰, 支持 CPU 支撑更高的 DDR 运行速率, 并且可以提高封装基板 122 上引脚的利用率, 从而能够有效减小封装面积, 进而有利于降低半导体器件的制作成本。

20 以上实施例中所使用的术语只是为了描述特定实施例的目的, 而并非旨在作为对本申请的限制。如在本申请的说明书和所附权利要求书中所使用的那样, 单数表达形式“一个”、“一种”、“所述”、“上述”、“该”和“这一”旨在也包括例如“一个或多个”这种表达形式, 除非其上下文中明确地有相反指示。

25 以上, 仅为本申请的具体实施方式, 但本申请的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本申请揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本申请的保护范围之内。因此, 本申请的保护范围应以权利要求的保护范围为准。

权 利 要 求

1.一种封装基板，其特征在于，包括基板本体，所述基板本体设置有多个单元区域，所述单元区域包括至少一个焊球组，所述焊球组包括间隔设置的第一焊球、第二焊球、第三焊球、第四焊球、第五焊球和第六焊球，其中：

5 所述第一焊球、所述第二焊球、所述第三焊球和所述第四焊球分别位于一个平行四边形的四个顶点，且所述第二焊球和所述第三焊球分别与所述第一焊球相邻；

 所述第五焊球设置于所述平行四边形的一个边，且位于所述第一焊球和所述第三焊球之间；所述第六焊球设置于所述平行四边形的另一个边，且位于所述第二焊球和所述第四焊球之间；所述第一焊球和所述第四焊球分别位于所述第五焊球和所述第六焊球之间的连线的中垂线。
10

2.如权利要求 1 所述的封装基板，其特征在于，所述第一焊球、所述第二焊球、所述第三焊球和所述第四焊球为单端信号焊球，所述第五焊球和所述第六焊球为差分信号焊球。

3.如权利要求 1 或 2 所述的封装基板，其特征在于，所述平行四边形的内角度数分别为 60°、120°、60°、120°。

15 4.如权利要求 1 至 3 中任一项所述的封装基板，其特征在于，每个所述焊球组的周侧设置有接地焊球。

5.如权利要求 4 所述的封装基板，其特征在于，所述焊球组周侧设置的所述接地焊球包括十二个所述接地焊球，十二个所述接地焊球的排布呈现为六边形。

20 6.如权利要求 4 或 5 所述的封装基板，其特征在于，所述单元区域包括两个所述焊球组，两个所述焊球组共用多个所述接地焊球。

7.如权利要求 6 所述的封装基板，其特征在于，两个所述焊球组轴对称排布或中心对称排布。

8.如权利要求 4 至 7 中任一项所述的封装基板，其特征在于，相邻两个所述单元区域共用多个所述接地焊球。

25 9.一种半导体封装件，其特征在于，包括芯片、以及如权利要求 1 至 8 中任一项所述的封装基板，所述芯片设置于所述封装基板。

10.一种电子设备，其特征在于，包括电路板以及如权利要求 9 所述的半导体封装件，所述半导体封装件设置于所述电路板，且所述半导体封装件与所述电路板电连接。