

一种存储管理装置及芯片

5 技术领域

本发明涉及芯片技术领域，尤其是涉及一种存储管理装置及芯片。

背景技术

随着科学技术的发展，人类社会正在快速进入智能时代。智能时代的重要特点，就是人们获得数据的种类越来越多，获得数据的量越来越大，而对
10 处理数据的速度要求越来越高。

芯片是数据处理的基石，它从根本上决定了人们处理数据的能力。从应用领域来看，芯片主要有两条路线：一条是通用芯片路线，例如中央处理器（Central Processing Unit, CPU）等，它们能提供极大的灵活性，但是在处理特定领域算法时有效算力比较低；另一条是专用芯片路线，例如张量处
15 理器（Tensor Processing Unit, TPU）等，它们在某些特定领域，能发挥较高的有效算力，但是面对灵活多变的比较通用的领域，它们处理能力比较差甚至无法处理。

由于智能时代的数据种类繁多且数量巨大，所以要求芯片既具有极高的灵活性，能处理不同领域且日新月异的算法，又具有极强的处理能力，能快
20 速处理极大的且急剧增长的数据量。

发明内容

（一）发明目的

25 本发明的目的是提供一种存储管理装置及芯片，该存储管理装置能解析

从片上网络接收到的指令，基于从外部存储装置中释放的数据生成至少一个数据包，并将全部的数据包发送至片上网络，能够通过片上网络将存储管理装置生成的全部的数据包发送至相应的处理核，使得需要相同数据的各个处理核无需分别从存储装置中取数，降低了时延，节省了芯片及存储装置的功耗，节省了需要相同数据的处理核读取数据的时间。

（二）技术方案

为解决上述问题，本发明的第一方面提供了一种存储管理装置，所述存储管理装置设置于片上网络和存储装置之间；所述存储管理装置包括：指令解析单元，用于解析从所述片上网络接收到的指令，并根据所述指令生成控制信号，数据包生成单元，用于根据所述控制信号，基于从所述存储装置中释放的数据生成至少一个数据包，并将全部所述数据包发送至所述片上网络。

本发明实施方式提供的存储管理装置，能解析从片上网络接收到的指令，基于从外部存储装置中释放的数据生成至少一个数据包，并将全部的数据包发送至片上网络，通过在片上网络和存储装置之间设置存储管理装置，由存储管理装置将数据包发送至需要相同数据的全部处理核，从而需要相同数据的各个处理核无需分别从存储装置中取数，降低了时延，节省了芯片及存储装置的功耗，节省了需要相同数据的处理核读取数据的时间。

进一步地，所述数据包生成单元用于根据所述控制信号，基于从所述存储装置中释放的数据生成数据包，包括：所述数据包生成单元用于根据所述控制信号，基于所述释放的数据和所述指令指示的处理核，生成与所述处理核对应的所述数据包。

进一步地，当所述指令指示的处理核的个数为多个时，所述数据包生成单元用于基于所述释放的数据和所述指令指示的处理核，生成与每个所述处理核对应的所述数据包，并将生成的多个所述数据包并行的发送至所述片上网络。

进一步，所述指令包括取数信息和存数信息。

可选地，所述装置还包括存取数指示单元；所述存取数指示单元，用于

接收所述存数信息，以指示所述存储装置释放所述取数信息所指示的数据；
所述存取数指示单元还用于接收所述取数信息，根据所述存数信息生成与每个所述指令指示的处理核对应的所述数据的存储地址。

可选地，所述数据包生成单元用于根据所述控制信号，基于从所述存储
5 装置中释放的数据生成数据包，包括：所述数据包生成单元用于根据所述控制信号生成所述指令指示的处理核的地址，基于所述释放的数据、所述存储地址和所述指令指示的处理核的地址生成所述数据包。

可选地，数据包生成单元包括开关，所述开关的数量大于或等于与所述片上网络连接的
10 处理核的数量；其中，每个处理核对应一个所述开关，所述控制信号用于控制所述开关的状态。

可选地，数据包生成单元用于将所述数据包并行的发送至所述指令指示的处理核，
包括：所述数据包生成单元用于根据所述控制信号接通与
15 所述指令指示的处理核对应的开关，将所述数据包并行的发送至所述片上网络，以通过所述片上网络将所述数据包发送至对应的所述处理核。

可选地，开关包括控制端、输入端和输出端；每个所述开关的所述输入端用于接收所述存取数指示单元发送的所述存储地址和所述存储装置释放的所述数据；
20 每个所述开关的所述控制端用于根据接收的所述控制信号实现接通状态或断开状态。

进一步可选的，所述指令解析单元用于将所述控制信号发送至所述控制
20 端，以控制所述开关接通，所述数据包生成单元将所述处理核的地址和通过所述输入端获取的所述存储地址、所述数据生成数据包。

可选地，所述指令包括用于控制所述开关的控制位；与每个所述指令指示的处理核对应的所述控制位为预设值；当所述指令解析单元确定所述控制位为预设值时，生成所述控制信号。

25 优选的，所述指令包括取数个数，所述取数信息包括取数地址的首地址；所述存取数指示单元，用于根据所述取数地址的首地址和所述取数个数生成取数地址，并根据所述取数地址指示所述存储装置释放所述数据。

进一步优选的，所述存数信息包括所述指令指示的处理核中数据的存储地址的首地址，所述存取数指示单元，用于根据所述存储地址的首地址和所述取数个数生成所述存储地址。

可选的，所述指令包括：控制位、信息位、取数首地址、取数个数、每个待接收数据的处理核中数据的存储地址的首地址。

其中，控制位用于控制开关的状态，信息位用于指示待接收数据的处理核。

可选的，所述存储管理装置还包括指令缓存单元，用于接收所述片上网络发送的所述指令，并对所述指令缓存，将缓存后的所述指令发送给所述指令解析单元。

根据本发明的第二方面，提供了一种芯片，包括片上网络、与所述片上网络连接的多个所述处理核、存储装置和第一方面提供的存储管理装置。

根据本发明的第三方面，提供了一种卡板，包括一个或多个第二方面提供的芯片。

根据本发明的第四方面，提供了一种电子设备，包括一个或多个第三方面提供的卡板。

根据本发明的第五方面，提供了一种存储管理方法，包括：解析从片上网络接收到的指令，并根据所述指令生成控制信号；根据所述控制信号，基于从存储装置中释放的数据生成至少一个数据包，并将全部所述数据包发送至片上网络。

根据本发明的第六方面，提供了一种计算机存储介质，所述计算机存储介质上存储有计算机程序，所述程序被处理器执行时实现第五方面的一种存储管理方法。

根据本发明的第七方面，提供了一种电子设备，包括存储器、处理器及存储在该存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现第五方面的一种存储管理方法。

根据本发明的第八方面，提供一种计算机程序产品，其中，包括计算机

指令，当所述计算机指令被计算设备执行时，所述计算设备可以执行第五方面的一种存储管理方法。

(三) 有益效果

本发明实施方式提供的存储管理装置，能解析从片上网络接收到的指令，
5 基于从外部存储装置中释放的数据生成至少一个数据包，并将全部的数据包发送至片上网络，通过在片上网络和存储装置之间设置存储管理装置，由存储管理装置将数据包发送至需要相同数据的全部处理核，从而需要相同数据的各个处理核无需分别从存储装置中取数，降低了时延，节省了芯片及存储装置的功耗，节省了需要相同数据的处理核读取数据的时间。

10 附图说明

图 1 是现有技术中多个核获取相同数据的流程示意图；

图 2 是现有技术中多个核获取相同数据的流程示意图；

图 3 是根据本发明一实施方式的存储管理装置的结构示意图；

图 4 是根据本发明又一实施方式的存储管理装置的结构示意图；

15 图 5 是根据本发明再一实施方式的芯片的结构示意图；

图 6 是根据本发明一实施方式的存储管理方法的流程示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚明了，下面结合具体实施方式并参照附图，对本发明进一步详细说明。应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。
20

在神经网络计算中，经常会用到多核或者众核的芯片架构。如何让众多的核能够发挥出尽量高的算力成为芯片性能的关键。而算力的发挥，取决于核怎么将数据高效的读到核内进行计算。

25 例如，在图片识别的应用中，芯片有 N 个核，所有的核独立并行处理图

片，各核所用的算法和权重均相同。那么最大的发挥芯片的算力，且花费最小的延时及功耗的方法，就是所有的核共用相同一份权重，即多个核提取相同数据。

图 1 是现有技术中多个核获取相同数据的流程示意图。

- 5 如图 1 所示，一个 CPU 包括 N 个处理核和共享存储模块 (Shared Memory, SM)，N 个处理核为处理核 C1 到处理核 Cn，各个处理核均单独从 SM 中读取本核需要的数据，当各个处理核需要相同的数据时，例如相同的权重或其他相同的参数，多个处理核取数的流程为：

10 处理核 C1 向 SM 发出取数指示，并提取到 SM 释放的数据，当处理核 C1 取数完成之后，其他处理核在依次向 SM 发出取数指令，再次从 SM 中提取存储在相同位置的数据。

图 1 中的单箭头表示多个核获取相同数据的数据传输的方向，虚线表示核能够与共享存储模块 SM 实现数据的双向传输。

通常这种方式存在如下的弊端：

- 15 当多个处理核需要使用相同的数据，每个处理核都需要独自去读取，一方面，相同的数据从 SM 中读取多次，导致 SM 的功耗大，另一方面，当 SM 中只存储有一份该数据，则需要多个处理核一个接一个的读取，排在后面的处理核需要等前面的处理核读取之后，才能读取，导致排在后面的处理核读取数据存在延时，有时候只有处理核读取到该数据后才能计算，这样导致排
20 在后面的处理核等待的时间很长，浪费了算力，降低了芯片的性能。

图 2 是现有技术中多个核获取相同数据的流程示意图。

- 如图 2 所示，一个 GPU 中包括 N 个处理核和 SM，N 个处理核为处理核 C1 到处理核 Cn，该 SM 中连续的存储有多个相同的数据，一个处理核从 SM 中读取需要的数据，SM 将连续的存储的相同的数据都释放，供多个处理核读取。
25 多个处理核取数的流程为：

 第一个处理核 C1 向 SM 发出取数指示，SM 释放连续存储的相同的数据，需要相同数据的处理核 C1-Cn 分别对应接收 SM 释放的相同的数据，这种方式

需要 SM 将同一个数据连续的存储有多份，浪费 SM 的内存。

图 2 中的单箭头表示多个核获取相同数据的数据传输的方向，虚线表示核能够与共享存储模块 SM 实现数据的双向传输。

为解决上述问题，提出本发明的技术方案。

- 5 下面将详细说明本申请一实施方式提供的芯片。在本发明的描述中，需要说明的是，术语“第一”、“第二”、“第三”、“第四”仅用于描述目的，而不能理解为指示或暗示相对重要性。此外，下面所描述的本发明不同实施方式中所涉及的技术特征只要彼此之间未构成冲突就可以相互结合。

图 3 是根据本发明一实施方式的存储管理装置的结构示意图。

- 10 在本实施方式中，该存储管理装置设置于片上网络和存储装置之间；其中片上网络 NoC 连接 N 个处理核，N 为大于等于 1 的整数。

如图 3 所示，所述存储管理装置包括：指令解析单元 ID 和数据包生成单元 PG-SW。

- 15 指令解析单元 ID，用于解析从所述片上网络接收到的指令，并根据所述指令生成控制信号。

数据包生成单元 PG-SW，用于根据所述控制信号，基于从所述存储装置中释放的数据生成至少一个数据包，并将全部所述数据包发送至所述片上网络。

- 20 存储管理装置能解析从片上网络接收到的指令，基于从外部存储装置中释放的数据生成至少一个数据包，并将全部的数据包发送至片上网络，通过在片上网络和存储装置之间设置存储管理装置，由存储管理装置将数据包发送至需要相同数据的全部处理核，从而需要相同数据的处理核无需分别从存储装置中取数，降低了时延，节省了芯片及存储装置的功耗，节省了需要相同数据的处理核读取数据的时间。

- 25 在一个实施例，数据包生成单元 PG-SW 用于根据所述控制信号，基于从所述存储装置中释放的数据生成数据包，包括：数据包生成单元 PG-SW 用于根据所述控制信号，基于所述释放的数据和所述指令指示的处理核，生成

与所述处理核对应的所述数据包。

在一个优选的实施例中，当所述指令指示的处理核为多个时，所述数据包生成单元用于基于所述释放的数据和所述指令指示的处理核，生成与所述处理核对应的所述数据包，并将所述数据包发送至所述片上网络，包括：所述数据包生成单元用于基于所述释放的数据和所述指令指示的处理核，生成与每个所述处理核对应的所述数据包，并将生成的多个所述数据包并行的发送至所述片上网络，进而通过片上网络将每个数据包发送给指令指示的处理核。

需要说明的是，“与每个处理核对应”是指与每个处理核地址对应。优选的，“与每个处理核对应”还可以是指分别与每个处理核地址对应、与每个处理核中数据的存储地址相对应。

在一个实施例中，指令包括取数信息和存数信息。

在一个实施例中，存储管理装置还包括存取数指示单元 Addr-G；存取数指示单元 Addr-G，用于接收所述取数信息，根据所述取数信息指示存储装置释放所述取数信息所指示的数据，其中，数据可以是权重等参数。

在一个优选的实施例中，指令包括取数个数，所述取数信息包括取数地址的首地址；所述存取数指示单元，用于根据所述取数地址的首地址和所述取数个数生成取数地址，并根据所述取数地址指示所述存储装置释放所述数据。

在本实施例中，设置取数信息为取数地址的首地址，一方面能节省指令的位数，使得指令能携带更多的其他信息，另一方面，通过取数指示单元根据指令的取数地址首地址和取数个数，提取数据更方便。

在一个实施例中，存取数指示单元 Addr-G 还用于接收所述存数信息，根据所述存数信息生成与所述指令指示的处理核对应的所述数据包的存储地址。

在一个可选的实施例中，存储管理装置还包括指令缓存单元，用于接收所述片上网络发送的指令，并对所述指令缓存，将缓存后的所述指令发送给

所述指令解析单元 ID。

当片上网络发送的指令为多个时,指令缓存单元 IS 按照接收指令的时间的先后顺序对指令缓存,并按照缓存的顺序将指令发送给指令解析单元 ID。

可选的,指令缓存单元 IS 可以是指令栈,用于临时存储接收到的存取数据指令,该存储管理装置 MME 会逐条的执行栈中的指令。

在一个优选的实施例中,存数信息包括所述指令指示的处理核中数据的存储地址的首地址,所述存取数指示单元,用于根据所述存储地址的首地址和所述取数个数生成所述存储地址。

在本实施例中,设置存数信息为处理核中数据的存储地址的首地址,相比于指令中存数信息为处理核中数据的存储地址,能节省指令的位数。

在一个实施例中,数据包生成单元用于根据所述控制信号,基于从所述存储装置释放的数据生成数据包,包括:

所述数据包生成单元 PG-SW,用于根据所述控制信号生成所述指令指示的处理核的地址,基于所述释放的数据、所述存储地址以及所述指令指示的处理核的地址生成所述数据包。

在一个实施例中,指令包括控制位,与每个所述指令指示的待接收数据的处理核对应的所述控制位为预设值,当所述指令解析单元 ID 确定所述控制位为预设值时,生成对应该处理核的所述控制信号。

在一个实施例中,指令包括用于指示待接收数据的处理核的信息位、取数首地址、取数个数、每个待接收数据的处理核中数据的存储地址的首地址、用于控制开关的控制位。

在一个具体的实施例中,指令的格式如下:

信息位	取数地址的首地址	存数地址的首地址	取数个数	保留	指令编码	控制位
ID_C	Addr_S	Addr_	M	保留	取数指令	C_C
147:144(4b)	143:128(16b)	127:112(16b)	111:96(16b)	95:4(84b)	11:4(8b)	3:0(4b)

需要说明的是,可以先对多个处理核进行编号,由于存储管理装置需要

通过 NoC 接收指令，也需要通过 NoC 将生成的数据包发送给指令指示的一个或多个处理核，所以将存储管理装置与处理核一同编号。例如，芯片中共有 N 个处理核，可设定存储管理装置的编号为 1、第一个处理核 C1 的编号为 2、第 N 个处理核 Cn 的编号为 N+1。

- 5 应当理解的是，也可以设定存储管理装置的编号为 0、第一个处理核 C1 的编号为 1、第 N 个处理核 Cn 的编号为第 N，本发明以存储管理装置的编号为 1 为例，但不以此为限。

该指令可以为 148 比特。

- 其中，信息位用 ID_C 表示，可以为 4 比特，用于指示待接收数据的处理核的地址，信息位设置有 N+1 位，这 N+1 位中的第一位与存储管理装置对应，
10 第二位至第 N+1 位分别与 N 个处理核一一对应。片上网络 NoC 通过该信息位确定指令或数据包的接收方。这里接收方可以是处理核或者存储管理装置。即当 ID_C 中第一位为 1 时，表示该指令或数据包是发送给存储管理装置的；当 ID_C 中第二位至第 N+1 位中的某一位为 1 时，则表示该数据包是发给与该
15 某一位对应的处理核的。

指令编码，可以为 8 比特，指令编码设置有多种信息，例如设定取数指令编码为 00000001，当指令解析单元 ID 发现指令编码为 00000001 时，说明这是一条取数指令。

- 其中，控制位的位数为 N+1 位，控制位的 N+1 位与信息位的 N+1 位是一一对应的，其中第二位到第 N+1 位与 N 个处理核分别是一一对应的，与每个
20 指令指示的处理核对应的所述控制位为预设值，例如，预设值是 1，即当指令解析单元识别出控制位为 1 时，产生控制信号。例如，芯片有 4 个处理核，则控制位有 5 位，第 2 位到第 5 位一一对应该 4 个处理核，当 C-C 为 10110 时，即第一位和第四位为 0、第二位、第三位和第五位为 1，表示第一处理核、
25 第二处理核、第四处理核都需要接收数据。

需要说明的是，本发明实施例中，设置 C-C 的 N+1 位中右侧第一个数对应的是第一位（对应存储管理装置），右侧第二个数对应的是第二位（对应

第一处理核)，右侧最后一个数对应的是最后一位（第 N 处理核），当然也可以设置左侧第一个数对应的是第一位（存储管理装置），左侧第二个数对应的是第二位（第一处理核），左侧最后一个数对应的是最后一位（第 N 处理核），本发明并不以此为限。

5 其中，取数信息、存数信息和取数个数可以分别为 16 比特。

其中，保留是指未进行编码。

图 4 是根据本发明又一实施方式的存储管理装置的结构示意图。

在一个实施例中，数据包生成单元包括 Tx 发送器和 Rx 接收器，其中 Tx 发送器包括开关和包头生成单元，所述开关的数量大于或等于与所述片上网络 NoC 连接的处理核的数量。其中，每个处理核对应一个所述开关，所述控制信号用于控制所述开关的状态。

10 在一个实施例中，所述数据包生成单元 PG-SW 用于将多个所述数据包并行的发送至所述片上网络 NoC，包括：所述数据包生成单元用于根据所述控制信号接通与所述指令指示的处理核对应的开关，将所述数据包并行的发送至所述片上网络，以通过所述片上网络将全部的所述数据包发送至所述处理核。

20 在一个具体的实施例中，开关包括控制端、输入端和输出端；每个所述开关的所述输入端用于接收所述存取数指示单元发送的所述存储地址和从所述存储装置中释放的所述数据；每个所述开关的所述控制端用于根据接收的所述控制信号实现接通状态或断开状态。

其中，指令包括的控制位，该控制位用于控制开关的状态；与每个所述指令指示的处理核对应的所述控制位为预设值；当所述指令解析单元 ID 确定所述控制位为预设值时，生成所述控制信号。

25 在一个实施方式中，上述存储管理装置 MME 通过 Rx 接收器将接收到的数据存储在存储装置中。

在图 4 所示的实施方式中，第一处理核 C1 通过片上网络 NoC 将指令发送存储管理装置 MME，其中，缓存单元 IS 缓存所述指令，并将指令发送给指令

解析单元 ID。

指令解析单元 ID 解析出解码指令为 00000001，表示是需要从存储装置中取出数据，指令解析单元 ID 解析出取数首地址 Addr_S、取数个数为 M 个，控制信息 C_C 为 0110，表示需要将该 M 个数发送给第一处理核 C1 和第二处理核 C2，解析出将该 M 个数据存入到第一处理核 C1 的存储地址的首地址 Addr_D1 和将该 M 个数据存入到第二处理核 C2 的存储地址的首地址 Addr_D2。指令解析单元 ID 根据控制信息 0110，分别生成第一控制信号 C_C1 即 0010 5 和第二控制信号 C_C2 即 0100。

指令解析单元 ID 将取数个数 M、Addr_S 和 Addr_D 发送给存取数指示单元 Addr_G，且将第一控制信号 C_C1 和第二控制信号 C_C2 分别发送给数据包生成单元 PG_SW 中与第一处理核和第二处理核分别对应的第一开关 S1 和第二开关 S2。10

Addr_G 根据 M 和 Addr_S 生成具体的取数地址，并从外部的存储装置 SM 中取数，且根据 M、Addr_D1 和 Addr_D2 生成具体的存数地址 Addr_D1_N 和 Addr_D2_N，并将 Addr_D1_N 和 Addr_D2_N 发给 PG_SW。15

PG_SW 根据接收到的第一控制信号 C_C1 和第二控制信号 C_C2 接通第一开关和第二开关。包头生成单元 ID-GEN 根据第一控制信号 C_C1 和第二控制信号 C_C2 分别生成第一信息位 ID_C1 和第二信息位 ID_C2，第一信息位为 0010，第二信息位为 0100。

20 需要说明的是，当处理核的个数位小于 3 时，信息位的第四位可以设置为 0。

PG_SW 根据从第一开关的输出端获得的存储地址 Addr_D1_N 和第一信息位 ID_C1 生成第一包头，根据从第二开关的输出端获得的存储地址 Addr_D2_N 和第二信息位 ID_C2 生成第二包头。PG_SW 还根据该第一包头和从第一开关的输出端获得的从存储装置释放的数据生成第一数据包，根据该第二包头和从第二开关的输出端获得的从存储装置释放的数据生成第二数据包，并行的将第一数据包和第二数据包发送到片上网络 NoC。25

NoC 将第一数据包发送至第一处理核，将第二数据包发送到第二处理核。

在一个实施例中，存储管理装置 MME 接收的数据包或者 MME 发送出的数据包都可以是下述格式：

信息位	处理核中数据的存储地址	数据
(ID_C, 4bit)	(Addr_D, 16bit)	(128bit)

需要说明的是，在图 4 所示的实施方式中，具有两个处理核，当具有三个处理核时，则数据包生成单元则设置有 3 个开关。当第一处理核发送的指示第一处理核和第二处理核都需要数据，第三处理核不需要数据。指令解析单元 ID 可以生成第三控制信号，控制第三开关为断开的状态，或者指令解析单元 ID 也可以不生成第三控制信号。

本发明实施方式提供的存储装置，能够将数据包发送至需要相同数据的全部处理核，从而需要相同数据的各个处理核无需分别从存储装置中取数，降低了时延，节省了芯片及存储装置的功耗，节省了需要相同数据的处理核读取数据的时间。

图 5 是根据本发明再一实施方式的芯片的结构示意图。

如图 5 所示，该芯片包括片上网络 NoC、与片上网络连接的多个所述处理核、存储装置和上述实施方式提供的存储管理装置 MME。

其中，多个处理核为 N 个即第一处理核 C1 到第 N 处理核 Cn。

该存储管理装置，解析从片上网络获取的指令，根据该指令和从存储模块释放的数据，生成与指令指示的接收数据的处理核对应的数据包，将生成的全部的数据包发送至片上网络，通过片上网络将全部的数据包发送至处理核。

需要说明的是，在图 5 中，单箭头表示本发明实施方式提供中数据的传输方向，虚线表示能够实现双线的交互，例如处理核 C1 与存储管理装置 MME 之间虚线的双箭头表示处理核与存储管理装置 MME 能够双向的实现数据的发送和接收。存储管理装置 MME 与存储装置 SM 也能够双向的实现数据的发送和接收。

本发明的一个实施方式，提供了一种卡板，包括一个或多个上述实施方式提供的芯片。

本发明的一个实施方式，提供了一种电子设备，包括一个或多个上述实施方式提供的卡板。

5 图 6 是根据本发明一实施方式的存储管理方法的流程示意图。

如图 6 所示，该存储管理方法包括步骤 S101-步骤 S102：

步骤 S101，指令解析单元解析从所述片上网络接收到的指令，并根据所述指令生成控制信号。

10 步骤 S102，数据包生成单元根据所述控制信号，基于从所述存储装置中释放的数据生成至少一个数据包，并将全部所述数据包发送至所述片上网络。

本发明一个实施方式还提供了一种计算机存储介质，所述计算机存储介质上存储有计算机程序，所述程序被处理器执行时实现上述实施方式提供的存储管理方法。

15 本发明的又一个实施方式，提供了一种电子设备，包括存储器、处理器及存储在所述存储器上并可在所述处理器上运行的计算机程序，所述处理器执行所述程序时实现上述实施方式提供的一种存储管理方法。

本发明的又一个实施方式，提供了一种计算机程序产品，其中，包括计算机指令，当所述计算机指令被计算设备执行时，所述计算设备可以执行上述实施方式提供的一种存储管理方法。

20 应当理解的是，本发明的上述具体实施方式仅仅用于示例性说明或解释本发明的原理，而不构成对本发明的限制。因此，在不偏离本发明的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。此外，本发明所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

25

权 利 要 求 书

1、一种存储管理装置，其特征在于，所述存储管理装置设置于片上网络和存储装置之间；

所述存储管理装置包括：

指令解析单元，用于解析从所述片上网络接收到的指令，并根据所述指令生成控制信号；

数据包生成单元，用于根据所述控制信号，基于从所述存储装置中释放的数据生成至少一个数据包，并将全部所述数据包发送至所述片上网络。

2、如权利要求 1 所述的装置，其特征在于，所述数据包生成单元用于根据所述控制信号，基于从所述存储装置中释放的数据生成至少一个数据包，包括：

所述数据包生成单元用于根据所述控制信号，基于所述释放的数据和所述指令指示的处理核，生成与所述处理核对应的所述数据包。

3、如权利要求 2 所述的装置，其特征在于，

当所述指令指示的处理核为多个时，

所述数据包生成单元用于基于所述释放的数据和所述指令指示的处理核，生成与每个所述处理核对应的所述数据包，并将所述数据包发送至所述片上网络，包括：

所述数据包生成单元用于基于所述释放的数据和所述指令指示的处理核，生成与每个所述处理核对应的所述数据包，并将生成的多个所述数据包并行的发送至所述片上网络。

3、如权利要求 1-3 任一项所述的装置，其特征在于，所述指令包括取数信息和存数信息。

4、如权利要求 3 所述的装置，其特征在于，所述装置还包括存取数指示单元；

所述存取数指示单元，用于接收所述取数信息，根据所述取数信息指

示所述存储装置释放所述取数信息所指示的数据；

所述存取数指示单元还用于接收所述存数信息，根据所述存数信息生成与所述指令指示的处理核对应的所述数据包的存储地址。

5、如权利要求 4 所述的装置，其特征在于，所述数据包生成单元用于根据所述控制信号，基于从所述存储装置释放的数据生成数据包，包括：

所述数据包生成单元用于根据所述控制信号生成所述指令指示的处理核的地址，基于所述释放的数据、所述存储地址以及所述指令指示的处理核的地址生成所述数据包。

6、如权利要求 5 所述的装置，其特征在于，所述数据包生成单元包括开关，所述开关的数量大于或等于与所述片上网络连接的处理核的数量；

其中，每个处理核对应一个所述开关，所述控制信号用于控制所述开关的状态。

7、如权利要求 6 所述的装置，其特征在于，所述数据包生成单元用于将多个所述数据包并行的发送至所述片上网络，包括：

所述数据包生成单元用于根据所述控制信号接通与所述指令指示的处理核对应的开关，将多个所述数据包并行的发送至所述片上网络，以通过所述片上网络将多个所述数据包发送至对应的所述处理核。

8. 如权利要求 6 或 7 所述的装置，其特征在于，所述开关包括控制端、输入端和输出端；

每个所述开关的所述输入端用于接收所述存取数指示单元发送的所述存储地址和所述存储装置中释放的所述数据；

每个所述开关的所述控制端用于根据接收的所述控制信号实现接通状态或断开状态。

9. 如权利要求 1-8 任一项所述的装置，其特征在于，

所述指令包括控制位；与每个所述指令指示的处理核对应的所述控制位为预设值；

当所述指令解析单元确定所述控制位为预设值时，生成所述控制信号。

10 一种芯片，其特征在于，包括片上网络、与所述片上网络连接的多个所述处理核、存储装置和如权利要求 1-9 任一项提供的存储管理装置。