

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 実施形態は、半導体記憶装置に関する。

背景技術

[0002] データを不揮発に記憶することが可能なNAND型フラッシュメモリが知られている。

先行技術文献

特許文献

[0003] 特許文献1：特開2004-348788号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体記憶装置のレイテンシを改善する。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、複数のプレーンと、シーケンサとを含む。複数のプレーンの各々は、メモリセルの集合であるブロックを複数有する。シーケンサは、第1動作と、第1動作よりも短い第2動作とを実行する。シーケンサは、第1動作の実行を指示する第1コマンドセットを受信すると前記第1動作を実行する。シーケンサは、第1動作を実行している間に第2動作の実行を指示する第2コマンドセットを受信すると、第1動作の対象であるブロックのアドレスと第2動作の対象であるブロックのアドレスとに基づいて、第1動作をサスペンドして第2動作を実行する、又は第1動作と並行して第2動作を実行する。

図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係る半導体記憶装置の構成例を示すブロック図である。

[図2]図2は、第1実施形態に係る半導体記憶装置の備えるプレーングループの構成例を示すブロック図である。

[図3]図3は、第1実施形態に係る半導体記憶装置におけるプレーンの構成例を示すブロック図である。

[図4]図4は、第1実施形態に係る半導体記憶装置におけるメモリセルアレイの回路構成の一例を示す回路図である。

[図5]図5は、第1実施形態に係る半導体記憶装置におけるメモリセルアレイの断面構造の一例を示す断面図である。

[図6]図6は、第1実施形態に係る半導体記憶装置におけるメモリピラーの断面構造の一例を示す断面図である。

[図7]図7は、第1実施形態に係る半導体記憶装置におけるメモリセルトランジスタの閾値電圧の分布の一例を示す閾値分布図である。

[図8]図8は、第1実施形態に係る半導体記憶装置におけるロウデコーダモジュールの回路構成の一例を示す回路図である。

[図9]図9は、第1実施形態に係る半導体記憶装置におけるセンスアンプモジュールの回路構成の一例を示す回路図である。

[図10]図10は、第1実施形態に係る半導体記憶装置における判定回路の回路構成の一例を示す回路図である。

[図11]図11は、第1実施形態に係る半導体記憶装置における読み出し動作の一例を説明するためのコマンドシーケンス及びタイミングチャートである。

[図12]図12は、第1実施形態に係る半導体記憶装置における消去動作の一例を説明するためのコマンドシーケンス及びタイミングチャートである。

[図13]図13は、第1実施形態に係る半導体記憶装置の消去動作における、選択されたプレーンとその他のプレーンとの関係の一例を示すブロック図である。

[図14]図14は、第1実施形態に係る半導体記憶装置の消去動作における、選択されたプレーンとその他のプレーンとの関係の一例を示すブロック図で

ある。

[図15]図15は、第1実施形態に係る半導体記憶装置の消去動作における、選択されたプレーンとその他のプレーンとの関係の一例を示すブロック図である。

[図16]図16は、第1実施形態に係る半導体記憶装置における、消去動作と同電源グループのプレーンが選択されたバックグラウンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図17]図17は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図18]図18は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図19]図19は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図20]図20は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図21]図21は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図22]図22は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図23]図23は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図24]図24は、第1実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図25]図25は、第1実施形態に係る半導体記憶装置における、消去動作と異電源グループのプレーンが選択されたバックグラウンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図26]図26は、第1実施形態に係る半導体記憶装置における、消去動作と同一ペアプレーンが選択されたサスペンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図27]図27は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図28]図28は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図29]図29は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図30]図30は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図31]図31は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図32]図32は、第1実施形態に係る半導体記憶装置における、同一ペアプレーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図33]図33は、第1実施形態に係る半導体記憶装置における、同一ペアプ

レーンが選択されたサスペンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図34]図34は、第1実施形態の比較例における、消去動作とサスペンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図35]図35は、第2実施形態に係る半導体記憶装置における消去動作の一例を説明するためのコマンドシーケンス及びタイミングチャートである。

[図36]図36は、第2実施形態に係る半導体記憶装置における、同電源グループのプレーンが選択されたバックグラウンド読み出しのより詳細な実行タイミングの一例を説明するためのタイミングチャートである。

[図37]図37は、第3実施形態に係る半導体記憶装置における、消去動作と同一ペアプレーンが選択されたサスペンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図38]図38は、第3実施形態に係る半導体記憶装置における、消去動作と同一ペアプレーンが選択されたサスペンド読み出しとを説明するためのコマンドシーケンス及びタイミングチャートである。

[図39]図39は、第1実施形態に係る半導体記憶装置を含むメモリシステムの一例を示すブロック図である。

実施形態

[0007] 以下に、実施形態について図面を参照して説明する。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものと同じとは限らない。本発明の技術思想は、構成要素の形状、構造、配置等によって特定されるものではない。

[0008] 以下の説明において、略同一の機能及び構成を有する構成要素には同一の符号が付されている。参照符号を構成する文字の後の数字は、同じ文字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために使用される。同じ文字を含んだ参照符号で示される要素を相互に区

別する必要がある場合、これらの要素は同じ文字のみを含んだ参照符号により参照される。

[0009] 本明細書において、“H”レベルは、NMOSトランジスタがオン状態になり、PMOSトランジスタがオフ状態になる電圧に対応している。“L”レベルは、NMOSトランジスタがオフ状態になり、PMOSトランジスタがオン状態になる電圧に対応している。

[0010] [1] 第1実施形態

以下で説明される実施形態に係る半導体記憶装置は、データを不揮発に記憶することが可能なNAND型フラッシュメモリである。まず、第1実施形態に係る半導体記憶装置10について説明する。

[0011] [1-1] 構成

[1-1-1] 半導体記憶装置10の全体構成

図1は、第1実施形態に係る半導体記憶装置10の構成例を示している。図1に示すように、第1実施形態に係る半導体記憶装置10は、例えば入力回路11、レジスタセット12、ロジックコントローラ13、シーケンサ14、レディ／ビジー制御回路15、電圧生成回路16、並びにプレーングループPG1及びPG2を備えている。

[0012] 入出力回路11は、例えば8ビット幅の入出力信号I/O1～I/O8を、外部のメモリコントローラとの間で送受信する。入出力信号I/Oは、データDAT、ステータス情報STS、アドレス情報ADD、コマンドCMD等を含み得る。また、入出力回路11は、各プレーングループPGとの間で、データバスを介してデータDATを送受信する。

[0013] レジスタセット12は、ステータスレジスタ12A、アドレスレジスタ12B、及びコマンドレジスタ12Cを含んでいる。ステータスレジスタ12A、アドレスレジスタ12B、及びコマンドレジスタ12Cは、それぞれステータス情報STS、アドレス情報ADD、及びコマンドCMDを保持する。

[0014] ステータス情報STSは、例えばシーケンサ14の動作状態に基づいて更

新される。また、ステータス情報STSは、メモリコントローラからの指示に基づいてステータスレジスタ12Aから入出力回路11に転送され、メモリコントローラに出力される。アドレス情報ADDは、入出力回路11からアドレスレジスタ12Bに転送され、例えばブロックアドレス、ページアドレス、カラムアドレス等を含み得る。コマンドCMDは、入出力回路11からコマンドレジスタ12Cに転送され、半導体記憶装置10の各種動作に関する命令を含んでいる。

[0015] ロジックコントローラ13は、外部のメモリコントローラから受信した制御信号に基づいて、入出力回路11及びシーケンサ14を制御する。このような制御信号としては、例えばチップイネーブル信号CEN、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号WEN、リードイネーブル信号REN、及びライトプロテクト信号WPNが使用される。

[0016] チップイネーブル信号CENは、半導体記憶装置10をイネーブルにするための信号である。コマンドラッチイネーブル信号CLEは、受け取った入出力信号I/OがコマンドCMDであることを入出力回路11に通知するための信号である。アドレスラッチイネーブル信号ALEは、受け取った入出力信号I/Oがアドレス情報ADDであることを入出力回路11に通知するための信号である。ライトイネーブル信号WENは、入出力信号I/Oの入力を入出力回路11に命令するための信号である。リードイネーブル信号RENは、入出力信号I/Oの出力を入出力回路11に命令するための信号である。ライトプロテクト信号WPNは、電源のオンオフ時に半導体記憶装置10を保護状態にするための信号である。

[0017] シーケンサ14は、半導体記憶装置1全体の動作を制御する。例えば、シーケンサ14は、コマンドレジスタ12Cに保持されたコマンドCMDと、アドレスレジスタ12Bに保持されたアドレス情報ADDとに基づいて、読み出し動作、書き込み動作、消去動作等を実行する。また、シーケンサ14は、判定回路DCを含んでいる。

- [0018] 判定回路DCは、アドレスデコーダとしての機能を有する。そして、判定回路DCは、アドレス情報ADD及びコマンドCMDに基づいて、所定の制御信号を生成する。この制御信号は、例えば半導体記憶装置10が消去動作中に割り込み処理の実行を指示するコマンドを受信した際に参照される。判定回路DCの詳細については後述する。
- [0019] レディ／ビジー制御回路15は、シーケンサ14の動作状態に基づいて、レディ／ビジー信号RBnを生成する。レディ／ビジー信号RBnは、半導体記憶装置10がレディ状態であるかビジー状態であるかを、外部のメモリコントローラに通知するための信号である。尚、本明細書において“レディ状態”は、半導体記憶装置10がメモリコントローラからの命令を受け付ける状態であることを示し、“ビジー状態”は、半導体記憶装置10がメモリコントローラからの命令を受け付けない状態であることを示している。
- [0020] 電圧生成回路16は、読み出し動作、書き込み動作、消去動作等で使用される電圧を生成する。電圧生成回路16は、例えばドライバモジュールDRM1及びDRM2を含んでいる。ドライバモジュールDRM1は、プレーングループPG1に対して電圧を供給し、ドライバモジュールDRM2は、プレーングループPG2に対して電圧を供給する。つまり、プレーングループPG1及びPG2は、互いに異なる電源に接続されている。
- [0021] プレーングループPGは、複数のプレーンPLを含んでいる。プレーンPLは、データを不揮発に記憶するメモリセルトランジスタの集合を含んでいる。プレーンPLの詳細については後述する。プレーングループPG1及びPG2は、シーケンサ14によって独立に制御され得る。
- [0022] 図2は、第1実施形態に係る半導体記憶装置10の備えるプレーングループPGの構成例を示している。図2に示すように、例えば、プレーングループPG1はプレーンPL0～PL7を含み、プレーングループPG2はプレーンPL8～PL15を含んでいる。
- [0023] プレーングループPG1において、例えばプレーンPL0及びPL1の組と、プレーンPL2及びPL3の組と、プレーンPL4及びPL5の組と、

プレーン P L 6 及び P L 7 の組とは、それぞれペアプレーン P P 0 ~ P P 3 を構成している。

[0024] プレーングループ P G 2 において、例えばプレーン P L 8 及び P L 9 の組と、プレーン P L 1 0 及び P L 1 1 の組と、プレーン P L 1 2 及び P L 1 3 の組と、プレーン P L 1 4 及び P L 1 5 の組とは、それぞれペアプレーン P P 1 4 ~ P P 1 5 を構成している。

[0025] ペアプレーン P P の各々は、シーケンサ 1 4 によって独立に制御され得る。また、ペアプレーン P P の各々には、共有回路 S C が設けられている。共有回路 S C は、ペアプレーン P P に含まれた 2 つのプレーン P L によって共有される回路である。例えば、共有回路 S C は、各プレーン P L 含まれた構成要素に電圧を供給する電源回路を含んでいる。

[0026] 尚、プレーングループ P G が含むプレーン P L 及びペアプレーン P P の個数は、任意の個数に設計され得る。また、ペアプレーン P P を構成する 2 つのプレーン P L が共有する共有回路 C S は、電源回路に限定されず、任意の機能を有する回路を含み得る。

[0027] 図 3 は、第 1 実施形態に係る半導体記憶装置 1 0 におけるプレーン P L の構成例を示している。図 3 に示すように、各プレーン P L は、例えばメモリセルアレイ 2 0、ロウデコーダモジュール 2 1、及びセンスアンプモジュール 2 2 を含んでいる。

[0028] メモリセルアレイ 2 0 は、複数のブロック B L K 0 ~ B L K n (n は 1 以上の整数) を含んでいる。ブロック B L K は、データを不揮発に記憶することが可能な複数のメモリセルトランジスタの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ 2 0 には、複数のビット線 B L 0 ~ B L m (m は 1 以上の整数) と、複数のワード線と、ソース線と、ウェル線とが設けられる。各メモリセルトランジスタは、1 本のビット線と 1 本のワード線とに関連付けられている。メモリセルアレイ 2 0 の詳細な構成については後述する。

[0029] ロウデコーダモジュール 2 1 は、ブロックアドレスに基づいて、各種動作

を実行するブロックBLKを選択する。そして、ロウデコーダモジュール21は、電圧生成回路16から供給された電圧を、選択したブロックBLK内の各種配線に転送する。例えば、ロウデコーダモジュール21は、複数のロウデコーダRD0～RDnを含んでいる。ロウデコーダRD0～RDnは、それぞれブロックBLK0～BLKnに関連付けられている。ロウデコーダRDの詳細な回路構成については後述する。

[0030] センスアンプモジュール22は、読み出し動作において、メモリセルアレイ20からデータを読み出し、読み出したデータを入出力回路11に転送する。また、センスアンプモジュール22は、書き込み動作において、入出力回路11から受け取ったデータに基づいて、ビット線BLに所望の電圧を印加する。例えば、センスアンプモジュール22は、複数のセンスアンプユニットSAU0～SAUmを含んでいる。センスアンプユニットSAU0～SAUmは、それぞれビット線BL0～BLmに関連付けられている。センスアンプユニットSAUの詳細な回路構成については後述する。

[0031] 尚、以上で説明したプレーンPLは、少なくともメモリセルアレイ20を含んでいれば良い。この場合に、ロウデコーダモジュール21やセンスアンプモジュール22は、各ペアプレーンPP内の共有回路SCに含まれ得る。

[0032] [1-1-2] メモリセルアレイ20の構成

次に、第1実施形態に係る半導体記憶装置10におけるメモリセルアレイ20の詳細な構成について説明する。

[0033] (メモリセルアレイ20の回路構成について)

図4は、第1実施形態に係る半導体記憶装置10におけるメモリセルアレイ20の回路構成の一例であり、1つのブロックBLKを抽出して示している。図4に示すように、ブロックBLKは、例えば4つのストリングユニットSU0～SU3を含んでいる。

[0034] 各ストリングユニットSUは、ビット線BL0～BLmにそれぞれ関連付けられた複数のNANDストリングNSを含んでいる。NANDストリングNSは、例えばメモリセルトランジスタMT0～MT7、並びに選択トラン

ジスタST1及びST2を含んでいる。

- [0035] メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を含み、データを不揮発に記憶する。選択トランジスタST1及びST2のそれぞれは、各種動作時におけるストリングユニットSUの選択に使用される。
- [0036] 各NANDストリングNSにおいて、メモリセルトランジスタMT0～MT7は、直列接続される。直列接続されたメモリセルトランジスタMT0～MT7の一端と、関連付けられたビット線BLとの間には、選択トランジスタST1が接続される。直列接続されたメモリセルトランジスタMT0～MT7の他端には、選択トランジスタST2のドレインが接続される。選択トランジスタST2のソースには、ソース線CELSRC及びウェル線CPWELLのそれぞれが接続される。
- [0037] 同一のブロックBLKにおいて、ストリングユニットSU0～SU3に含まれた複数の選択トランジスタST1のそれぞれのゲートは、それぞれ選択ゲート線SGD0～SGD3に共通接続される。複数のメモリセルトランジスタMT0～MT7のそれぞれの制御ゲートは、それぞれワード線WL0～WL7に共通接続される。複数の選択トランジスタST2のそれぞれのゲートは、選択ゲート線SGSに共通接続される。
- [0038] ビット線BL0～BLmは、複数のブロックBLK間で共有される。同じカラムアドレスに対応するNANDストリングNSには、同じビット線BLが接続される。ワード線WL0～WL7のそれぞれは、ブロックBLK毎に設けられる。ソース線CELSRC及びウェル線CPWELLのそれぞれは、例えば複数のブロックBLK間で共有される。
- [0039] 1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと称される。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて2ページデータ以上の記憶容量を有し得る。

[0040] 尚、以上で説明したメモリセルアレイ 20 の回路構成はあくまで一例であり、これに限定されない。例えば、各ブロック B L K が含むストリングユニット S U の個数は、任意の個数に設計され得る。各 N A N D ストリング N S が含むメモリセルトランジスタ M T 並びに選択トランジスタ S T 1 及び S T 2 のそれぞれの個数は、それぞれ任意の個数に設計され得る。ワード線 W L 並びに選択ゲート線 S G D 及び S G S のそれぞれの本数は、各 N A N D ストリング N S が含むメモリセルトランジスタ M T 並びに選択トランジスタ S T 1 及び S T 2 のそれぞれの個数にそれぞれ対応して設計される。

[0041] (メモリセルアレイ 20 の断面構造について)

図 5 は、第 1 実施形態に係る半導体記憶装置 10 におけるメモリセルアレイ 20 の断面構造の一例であり、1つのブロック B L K に対応する構造体を抽出して示している。尚、以下で参照される断面図では、図を見易くするために、層間絶縁膜、配線、コンタクト等の構成要素が適宜省略されている。X 方向は、ビット線 B L の延伸方向に対応している。Y 方向は、ワード線 W L の延伸方向に対応している。Z 方向は、半導体基板の表面に対する鉛直方向に対応している。

[0042] 図 5 に示すように、メモリセルアレイ 20 が形成される領域には、例えば P 型ウェル領域 30、絶縁体層 33、4 層の導電体層 34、8 層の導電体層 35、4 層の導電体層 36、複数のメモリピラー M P、導電体層 37、38 及び 39、並びに複数のコンタクト C P が含まれている。

[0043] P 型ウェル領域 30 は、半導体基板の表面近傍に設けられる。P 型ウェル領域 30 は、互いに離れて配置された n^+ 不純物拡散領域 31 及び p^+ 不純物拡散領域 32 を含んでいる。 n^+ 不純物拡散領域 31 及び p^+ 不純物拡散領域 32 の各々は、P 型ウェル領域 30 の表面近傍に設けられる。

[0044] P 型ウェル領域 30 上には、絶縁体層 33 が設けられる。絶縁体層 33 上には、互いに離れて積層された 4 層の導電体層 34 が設けられる。最下層の導電体層 34 と絶縁体層 33 とは、 n^+ 不純物拡散領域 31 の近傍まで設けられる。最上層の導電体層 34 の上方には、互いに離れて積層された 8 層の導

電体層 35 が設けられる。最上層の導電体層 35 の上方には、互いに離れて積層された 4 層の導電体層 36 が設けられる。最上層の導電体層 36 の上方には、導電体層 37 が設けられる。

- [0045] 導電体層 34 は、XY 平面に沿って広がった構造を有し、選択ゲート線 SG S として使用される。導電体層 35 は、XY 平面に沿って広がった構造を有し、8 層の導電体層 35 は、下層から順に、それぞれワード線 WL 0 ~ WL 7 として使用される。導電体層 36 は、Y 方向に沿って延伸した構造を有し、各配線層において対応するストリングユニット SU 毎に分離されている。導電体層 36 は、選択ゲート線 SG D として使用される。導電体層 37 は、X 方向に延伸した構造を有し、図示せぬ領域において、複数の導電体層 37 は、Y 方向に配列している。導電体層 37 は、ビット線 BL として使用される。
- [0046] 導電体層 38 及び 39 のそれぞれは、例えば最上層の導電体層 36 と導電体層 37 との間の配線層に配置される。導電体層 38 は、ソース線 CEL S RC として使用され、導電体層 39 は、ウェル線 CPWELL として使用される。コンタクト CP は、導電体層 38 及び n^+ 不純物拡散領域 31 間と、導電体層 39 及び p^+ 不純物拡散領域 32 間とのそれぞれに設けられる。導電体層 38 及び 39 は、コンタクト CP を介してそれぞれ n^+ 不純物拡散領域 31 及び p^+ 不純物拡散領域 32 に電氣的に接続される。
- [0047] 複数のメモリピラー MP の各々は、絶縁体層 33 と、4 層の導電体層 34 と、8 層の導電体層 35 と、4 層の導電体層 36 とのそれぞれを貫通（通過）している。また、複数のメモリピラー MP の各々は、例えば半導体部材 40、及び積層膜 41 を含んでいる。
- [0048] 半導体部材 40 は、例えば Z 方向に沿って延伸した柱状に形成される。半導体部材 40 の側面は、積層膜 41 によって覆われている。半導体部材 40 の下部は、P 型ウェル領域 30 に接触している。半導体部材 40 の上部は、例えばコンタクト CH を介して導電体層 37 に接触している。同じカラムアドレスに対応するメモリピラー MP 内の半導体部材 40 は、同じ導電体層 3

7に電氣的に接続される。尚、半導体部材40と導電体層37との間は、コンタクトや配線等を介して電氣的に接続されても良い。

[0049] 図6は、図5のVⅠ-VⅠ線に沿った断面図であり、導電体層35を含む配線層におけるメモリピラーMPの断面構造の一例を示している。図6に示すように、積層膜41は、例えばトンネル酸化膜42、絶縁膜43、及びブロック絶縁膜44を含んでいる。

[0050] トンネル酸化膜42は、半導体部材40の側面を囲っている。トンネル酸化膜42の側面には、絶縁膜43が設けられる。絶縁膜43の側面には、ブロック絶縁膜44が設けられる。ブロック絶縁膜44の側面には、導電体層35が接触している。尚、メモリピラーMPの中央部には、側面が半導体部材40によって囲まれた絶縁体が設けられても良い。

[0051] 以上で説明したメモリセルアレイ20の構造において、メモリピラーMPと導電体層34とが交差する部分は、選択トランジスタST2として機能する。メモリピラーMPと導電体層35とが交差する部分は、メモリセルトランジスタMTとして機能する。メモリピラーMPと導電体層25とが交差する部分は、選択トランジスタST1として機能する。

[0052] つまり、本例において1つのメモリピラーMPは、1つのNANDストリングNSとして機能する。ストリングユニットSUは、Y方向に並ぶ複数のメモリピラーMPの集合によって形成される。NANDストリングNSに含まれたトランジスタの電流経路としては、半導体部材40が使用される。NANDストリングNSとソース線CELSRCとの間は、選択トランジスタST2がオン状態とされた場合にP型ウェル領域30の表面近傍に形成されたチャネルによって電氣的に接続される。

[0053] 尚、以上で説明したメモリセルアレイ20の構造はあくまで一例であり、適宜変更され得る。例えば、導電体層35の層数は、ワード線WLの本数に基づいて設計される。選択ゲート線SGSとして使用される導電体層34の層数は、任意の層数に設計され得る。選択ゲート線SGDとして使用される導電体層36の層数は、任意の層数に設計され得る。

[0054] (メモリセルトランジスタMTの閾値分布について)

図7は、第1実施形態に係る半導体記憶装置10におけるメモリセルトランジスタMTの閾値分布の一例を示している。図7に示されたグラフの縦軸はメモリセルトランジスタMTの個数に対応し、横軸はメモリセルトランジスタMTの閾値電圧に対応している。

[0055] 図7に示すように、第1実施形態に係る半導体記憶装置10では、1つのセルユニットCUに含まれた複数のメモリセルトランジスタMTの閾値電圧によって、4種類の閾値分布が形成され得る。すなわち、第1実施形態に係る半導体記憶装置10におけるメモリセルトランジスタMTは、2ビット（4値）のデータを保持可能なMLC（Multi Level Cell）である。この4種類の閾値分布は、例えば閾値電圧の低い方から順に、“ER”状態、“A”状態、“B”状態、“C”状態と称される。尚、メモリセルトランジスタMTがMLCである例を示したが、メモリセルトランジスタMTは、1ビット（2値）のデータを保持可能なSLC（Single Level Cell）であっても良い。この場合、例えば、後述するセンスアンプモジュール22におけるラッチ回路の数を削減しても良い。

[0056] 隣り合う閾値分布の間のそれぞれには、それぞれ書き込み動作で使用されるベリファイ電圧が設定される。例えば、“ER”状態と“A”状態との間、且つ“A”状態の近傍には、“A”状態に対応するベリファイ電圧AVが設定される。同様に、“B”状態及び“C”状態に対応して、それぞれベリファイ電圧BV及びCVが設定される。書き込み動作においてシーケンサ14は、あるデータを記憶させるメモリセルトランジスタMTの閾値電圧が当該データに対応するベリファイ電圧を超えたことを検知すると、当該メモリセルトランジスタMTのプログラムを完了する。

[0057] 隣り合う閾値分布の間のそれぞれには、それぞれ読み出し動作で使用される読み出し電圧も設定される。例えば、“ER”状態及び“A”状態間には、読み出し電圧ARが設定される。同様に、“A”状態及び“B”状態間に読み出し電圧BRが設定され、“B”状態及び“C”状態間に読み出し電圧

C Rが設定される。例えば、読み出し電圧A R、B R及びC Rは、それぞれベリファイ電圧A V、B V及びC Vよりも低い電圧に設定される。メモリセルトランジスタM Tは、ゲートに読み出し電圧が印加されると、記憶するデータに応じてオン状態又はオフ状態になる。

[0058] 最も高い閾値分布よりも高い電圧には、読み出しパス電圧V readが設定される。具体的には、読み出しパス電圧V readは、“C”状態における最大の閾値電圧よりも高い電圧に設定される。メモリセルトランジスタM Tは、ゲートに読み出しパス電圧V readが印加されると、記憶するデータに依らずにオン状態になる。

[0059] そして、以上で説明された4種類の閾値分布には、それぞれ異なる2ビットデータが割り当てられる。以下に、閾値分布に対するデータの割り付けの一例を羅列する。

[0060] “E R”状態：“1 1（上位ビット／下位ビット）”データ

“A”状態：“0 1”データ

“B”状態：“0 0”データ

“C”状態：“1 0”データ。

[0061] このようなデータの割り付けが適用された場合、下位ビットで構成される1ページデータ（下位ページデータ）は、読み出し電圧B Rを用いた読み出し処理によって確定する。上位ビットで構成される1ページデータ（上位ページデータ）は、読み出し電圧A R及びC Rのそれぞれを用いた読み出し処理によって確定する。

[0062] [1-1-3] ロウデコーダモジュール21の回路構成

図8は、第1実施形態に係る半導体記憶装置10におけるロウデコーダモジュール21の回路構成の一例を示し、ドライバモジュールD R Mとメモリセルアレイ20との関係も併せて示している。図8に示すように、ロウデコーダモジュール21は、複数の信号線を介してドライバモジュールD R Mに接続される。

[0063] 以下に、ブロックB L K 0に対応するロウデコーダR D 0に着目して、ロ

ウデコーダRDの詳細な回路構成について説明する。ロウデコーダRDは、例えばブロックデコーダBD並びにトランジスタTR0～TR17を含んでいる。

[0064] ブロックデコーダBDは、ブロックアドレスをデコードして、デコード結果に基づいて転送ゲート線TG及びbTGのそれぞれに所定の電圧を印加する。転送ゲート線TGは、トランジスタTR0～TR12のそれぞれのゲートに共通接続される。転送ゲート線bTGには、転送ゲート線TGの反転信号が入力され、転送ゲート線bTGは、トランジスタTR13～TR17のそれぞれのゲートに共通接続される。

[0065] トランジスタTR0～TR17のそれぞれは、高耐圧のnチャネルMOSトランジスタである。トランジスタTRは、ドライバモジュールDRMから配線された信号線と、対応するブロックBLKに設けられた配線との間に接続される。

[0066] 具体的には、トランジスタTR0のドレインは、信号線SGSDに接続される。トランジスタTR0のソースは、選択ゲート線SGSに接続される。トランジスタTR1～TR8のそれぞれのドレインは、それぞれ信号線CG0～CG7に接続される。トランジスタTR1～TR8のそれぞれのソースは、それぞれワード線WL0～WL7に接続される。トランジスタTR9～TR12のそれぞれのドレインは、それぞれ信号線SGDD0～SGDD3に接続される。トランジスタTR9～TR12のそれぞれのソースは、それぞれ選択ゲート線SGD0～SGD3に接続される。

[0067] トランジスタTR13のドレインは、信号線USGSに接続される。トランジスタTR13のソースは、選択ゲート線SGSに接続される。トランジスタTR14～TR17のそれぞれのドレインは、信号線USGDに共通接続される。トランジスタTR14～TR17のそれぞれのソースは、それぞれ選択ゲート線SGD0～SGD3に接続される。

[0068] 以上の構成によりロウデコーダモジュール21は、ブロックBLKを選択することが出来る。例えば、各種動作時において、選択されたブロックBL

Kに対応するブロックデコーダBDは、“H”レベル及び“L”レベルの電圧をそれぞれ転送ゲート線TG及びbTGに印加し、非選択のブロックBLKに対応するブロックデコーダBDは、“L”レベル及び“H”レベルの電圧をそれぞれ転送ゲート線TG及びbTGに印加する。

[0069] 尚、以上で説明したロウデコーダモジュール21の回路構成はあくまで一例であり、適宜変更され得る。例えば、ロウデコーダモジュール21が含むトランジスタTRの個数は、各ブロックBLKに設けられる配線の本数に基づいた個数に設計され得る。図8に示されたドライバモジュールDRMは、メモリセルアレイ20に設けられたソース線CELSRC及びウェル線CPWELLとのそれぞれに対して電圧を印加することが出来る。

[0070] [1-1-4] センスアンプモジュール22の回路構成

図9は、第1実施形態に係る半導体記憶装置10におけるセンスアンプモジュール19の回路構成の一例であり、1つのセンスアンプユニットSAUに対応する回路構成を抽出して示している。図9に示すように、センスアンプユニットSAUは、例えばセンスアンプ部SA、並びにラッチ回路SDL、ADL、BDL及びXDLを含んでいる。

[0071] センスアンプ部SAは、例えば読み出し動作において、対応するビット線BLの電圧に基づいて、読み出しデータが“0”であるか“1”であるかを判定する。言い換えると、センスアンプ部SAは、対応するビット線BLに読み出されたデータをセンスして、選択されたメモリセルの記憶するデータを判定する。

[0072] ラッチ回路SDL、ADL、BDL及びXDLのそれぞれは、読み出しデータや書き込みデータ等を一時的に保持する。例えば、ラッチ回路XDLは、センスアンプユニットSAUと入出力回路11との間のデータDATの入出力に使用され得る。すなわち、ラッチ回路XDLは、半導体記憶装置10のキャッシュメモリとして使用され得る。一方で、ラッチ回路SDL、ADL及びBDLは、ラッチ回路XDLと比べて、センスアンプ部SAにより近い領域に配置されており、読み出し動作、書き込み動作、消去動作において

、優先的に使用され得る。一方で、ラッチ回路S D L、A D L及びB D Lは、ラッチ回路X D Lと比べて、センスアンプ部S Aにより近い領域に配置されており、読み出し動作、書き込み動作、消去動作において、優先的に使用され得る。また、例えば、メモリセルトランジスタM TがS L Cである場合は、ラッチ回路A D L及びB D Lを設けなくても良い。この場合、1つのセンスアンプユニットS A Uは、センスアンプ部S Aと、その近傍に配置されたラッチ回路S D Lと、入出力回路1 1との間のデータD A Tの入出力に使用されるラッチ回路X D Lのみを含む。

[0073] 例えば、半導体記憶装置1 0は、ラッチ回路S D L、A D L及びB D Lが使用中であったとしても、ラッチ回路X D L（キャッシュメモリ）が空いていればレディ状態になることが出来る。レディ状態がラッチ回路X D L（キャッシュメモリ）の状態と関連付けて定義されていることを、「キャッシュレディ」という。「キャッシュレディ」は、レディ状態をラッチ回路X D L以外の内部回路の動作と関連付けて定義する場合と比べて、半導体記憶装置1 0がレディ状態になるための条件が緩和されているため、動作が開始されてビジー状態に遷移してからレディ状態に再び遷移するまでの期間を、短くすることができる。

[0074] 以下に、センスアンプ部S A、並びにラッチ回路S D L、A D L、B D L及びX D Lのそれぞれの詳細な回路構成の一例について説明する。例えば、センスアンプ部S Aは、トランジスタ5 0～5 8並びにキャパシタ5 9を含み、ラッチ回路S D Lは、トランジスタ6 0及び6 1並びにインバータ6 2及び6 3を含んでいる。

[0075] トランジスタ5 0は、P M O Sトランジスタである。トランジスタ5 1、5 2、5 4～5 8、6 0及び6 1のそれぞれは、N M O Sトランジスタである。トランジスタ5 3は、高耐圧のN M O Sトランジスタである。

[0076] トランジスタ5 0の一端は、電源線に接続される。トランジスタ5 0の一端に接続された電源線には、例えば電源電圧V d dが印加される。トランジスタ5 0のゲートは、ラッチ回路S D LのノードI N V（S D L）に接続され

る。トランジスタ 51 の一端は、トランジスタ 50 の他端に接続される。トランジスタ 51 の他端は、ノード COM に接続される。トランジスタ 51 のゲートには、制御信号 BLX が入力される。トランジスタ 51 の他端は、ノード COM に接続される。トランジスタ 52 の一端は、ノード COM に接続される。トランジスタ 52 のゲートには、制御信号 BLC が入力される。トランジスタ 53 の一端は、トランジスタ 52 の他端に接続される。トランジスタ 53 の他端は、対応するビット線 BL に接続される。トランジスタ 53 のゲートには、制御信号 BLS が入力される。

[0077] トランジスタ 54 の一端は、ノード COM に接続される。トランジスタ 54 の他端は、ノード SRC に接続される。ノード SRC には、例えば接地電圧 V_{ss} が印加される。トランジスタ 54 のゲートは、ラッチ回路 SDL のノード INV (SDL) に接続される。トランジスタ 55 の一端は、トランジスタ 50 の他端に接続される。トランジスタ 55 の他端は、ノード SEN に接続される。トランジスタ 55 のゲートには、制御信号 HLL が入力される。トランジスタ 56 の一端は、ノード SEN に接続される。トランジスタ 56 の他端は、ノード COM に接続される。トランジスタ 56 のゲートには、制御信号 XXL が入力される。

[0078] トランジスタ 57 の一端は、接地される。トランジスタ 57 のゲートは、ノード SEN に接続される。トランジスタ 58 の一端は、トランジスタ 57 の他端に接続される。トランジスタ 58 の他端は、バス L BUS に接続される。トランジスタ 58 のゲートには、制御信号 STB が入力される。キャパシタ 59 の一端は、ノード SEN に接続される。キャパシタ 59 の他端には、クロック CLK が入力される。

[0079] ラッチ回路 SDL において、トランジスタ 60 及び 61 のそれぞれの一端は、バス L BUS に接続される。トランジスタ 60 及び 61 の他端は、それぞれノード INV 及び LAT に接続される。トランジスタ 60 及び 61 のゲートには、それぞれ制御信号 STI 及び STL が入力される。インバータ 62 の入力ノードとインバータ 63 の出力ノードとのそれぞれは、ノード LA

Tに接続される。インバータ62の出力ノードとインバータ63の入力ノードとのそれぞれは、ノードINVに接続される。

[0080] ラッチ回路ADL、BDL及びXDLの回路構成は、例えばラッチ回路SDLの回路構成と同様である。一方で、トランジスタ60及び61のそれぞれには、ラッチ回路SDLと異なる制御信号が入力される。例えば、ラッチ回路ADLでは、トランジスタ60及び61のゲートにそれぞれ制御信号ATI及びATLが入力される。また、ラッチ回路SDL、ADL、BDL及びXDLのそれぞれのノードINV及びLATは、それぞれ独立に設けられている。

[0081] 以上で説明した制御信号BLX、BLC、BLS、HLL、XXL、STB、STI、STL、ATI及びATLのそれぞれは、例えばシーケンサ14によって生成される。センスアンプ部SAがビット線BLに読み出されたデータを判定するタイミングは、シーケンサ14が制御信号STBがアサートするタイミングに基づいている。以下の説明において、「制御信号STBをアサートする」とは、シーケンサ14が制御信号STBを“L”レベルから“H”レベルに一時的に変化させることに対応している。

[0082] 尚、以上で説明したセンスアンプモジュール22の回路構成はあくまで一例であり、これに限定されない。例えば、センスアンプユニットSAUが含むラッチ回路の個数は、メモリセルトランジスタMTに記憶させるデータのビット数に基づいて適宜変更され得る。センスアンプユニットSAUの回路構成に依っては、「制御信号STBをアサートする」に対応する動作が、シーケンサ14が制御信号STBを“H”レベルから“L”レベルに一時的に変化させる動作に対応する場合もある。

[0083] [1-1-5] 判定回路DCの回路構成

図10は、第1実施形態に係る半導体記憶装置10における判定回路DCの回路構成の一例を示している。図10に示すように、判定回路DCには、アドレスEPG1及びEPG2、アドレスRPG1及びRPG2、アドレスEPP0～EPP7、並びにアドレスRPP0～RPP7が入力される。ま

た、判定回路DCは、AND回路AC0～AC14、OR回路OC0及びOC1、インバータINV0～INV2、並びにフリップフロップ回路FF0～FF2を含んでいる。

[0084] アドレスEPG1及びEPG2のそれぞれは、半導体記憶装置10がフォアグラウンドで消去動作を実行するプレーングループPGを示すアドレス情報である。アドレスEPG1及びEPG2は、それぞれプレーングループPG1及びPG2に対応している。

[0085] アドレスRPG1及びRPG2のそれぞれは、半導体記憶装置10が割り込み処理で読み出し動作を実行するプレーングループPGを示すアドレス情報である。アドレスRPG1及びRPG2は、それぞれプレーングループPG1及びPG2に対応している。

[0086] アドレスEPG1、EPG2、RPG1及びRPG2のそれぞれは、例えば選択されたプレーングループPGに対応する場合に“H”レベルの信号となり、非選択のプレーングループPGに対応する場合に“L”レベルの信号となる。

[0087] アドレスEPP0～EPP7のそれぞれは、半導体記憶装置10がフォアグラウンドで消去動作を実行するペアプレーンPPを示すアドレス情報である。アドレスEPP0～EPP7は、それぞれペアプレーンPP0～PP7に対応している。

[0088] アドレスRPP0～RPP7のそれぞれは、半導体記憶装置10が割り込み処理で読み出し動作を実行するペアプレーンPPを示すアドレス情報である。アドレスRPP0～RPP7は、それぞれペアプレーンPP0～PP7に対応している。

[0089] アドレスEPP0～EPP7、及びRPP0～RPP7のそれぞれは、例えば選択されたペアプレーンPPに対応する場合に“H”レベルの信号となり、非選択のペアプレーンPPに対応する場合に“L”レベルの信号となる。

[0090] AND回路AC0には、アドレスEPG1及びRPG1が入力される。A

ND回路AC1には、アドレスEPG2及びRPG2が入力される。OR回路OCOには、AND回路AC0及びAC1のそれぞれの出力信号が入力される。

[0091] AND回路AC2には、アドレスEPP0及びRPP0が入力される。AND回路AC3には、アドレスEPP1及びRPP1が入力される。AND回路AC4には、アドレスEPP2及びEPP2が入力される。AND回路AC5には、アドレスEPP3及びRPP3が入力される。AND回路AC6には、アドレスEPP4及びRPP4が入力される。AND回路AC7には、アドレスEPP5及びRPP5が入力される。AND回路AC8には、アドレスEPP6及びRPP6が入力される。AND回路AC9には、アドレスEPP7及びRPP7が入力される。OR回路OC1には、AND回路AC2～AC9のそれぞれの出力信号が入力される。

[0092] AND回路AC10には、インバータINV0を介したOR回路OCOの出力信号と、インバータINV1を介したOR回路OC1の出力信号とが入力される。AND回路AC11には、OR回路OCOの出力信号と、インバータINV2を介したOR回路OC1の出力信号とが入力される。

[0093] AND回路AC12には、AND回路AC10の出力信号が入力される。AND回路AC13には、AND回路AC11の出力信号が入力される。AND回路AC14には、OR回路OC1の出力信号が入力される。また、AND回路AC12～AC14のそれぞれには、コマンドCMDが入力される。このコマンドCMDは、例えば所定のコマンドがコマンドレジスタ12Cに保持されると“H”レベルの信号となる。

[0094] フリップフロップ回路FF0の入力Dには、AND回路AC12の出力信号が入力される。フリップフロップ回路FF1の入力Dには、AND回路AC13の出力信号が入力される。フリップフロップ回路FF2の入力Dには、AND回路AC14の出力信号が入力される。フリップフロップ回路FF0～FF2のそれぞれのクロックには、例えばライトイネーブル信号WEnが入力される。

- [0095] フリップフロップ回路FF0～FF2のそれぞれは、入力Dに入力された信号とクロックに入力された信号とに基づいて、出力Qから制御信号を出力する。具体的には、フリップフロップ回路FF0の出力Qから、制御信号DIFFVGが出力される。フリップフロップ回路FF1の出力Qから、制御信号SAMEVGが出力される。フリップフロップ回路FF2の出力Qから、制御信号SAMEPPが出力される。
- [0096] 制御信号DIFFVGは、フォアグラウンドで消去動作が実行されているプレーンPLと、割り込み処理で読み出し動作が実行されるプレーンPLとの間で、プレーングループPGとが異なっていることを示す制御信号である。
- [0097] 制御信号SAMEVGは、フォアグラウンドで消去動作が実行されているプレーンPLと、割り込み処理で読み出し動作が実行されるプレーンPLとの間で、プレーングループPGが同じであり、且つ含まれるペアプレーンPPが異なることを示す制御信号である。
- [0098] 制御信号SAMEPPは、フォアグラウンドで消去動作が実行されているプレーンPLを含むペアプレーンPPと、割り込み処理で読み出し動作が実行されるプレーンPLを含むペアプレーンPPとが同じであることを示す制御信号である。
- [0099] 以上で説明した判定回路DCの回路構成では、半導体記憶装置10が消去動作中に割り込み処理の命令を受信すると、フォアグラウンドで消去動作が実行されているプレーンPLのアドレスと、割り込み処理で読み出し動作が実行されるプレーンPLのアドレスとに基づいて、制御信号DIFFVG、SAMEVG、及びSAMEPPのうちいずれか一つの制御信号が“H”レベルになる。
- [0100] 尚、判定回路DCの回路構成はこれに限定されず、任意の回路構成に設計され得る。判定回路DCは、少なくとも2種類のアドレス情報に基づいて、フォアグラウンドにおける動作が実行されているプレーンPLと、割り込み処理における動作が実行されるプレーンPLとの関係を示す情報を出力でき

れば良い。

[0101] [1-2] 動作

次に、第1実施形態に係る半導体記憶装置10における読み出し動作と、消去動作と、消去動作中の割り込み処理とについて順に説明する。

[0102] 尚、以下の説明では、選択されたブロックBLKのことを選択ブロックBLK_{sel}と称し、非選択のブロックBLKのことを非選択ブロックBLK_{usel}と称する。電圧生成回路16がワード線WLに電圧を印加することは、電圧生成回路16が信号線CG及びロウデコーダモジュール21を介してワード線WLに電圧を印加することに対応している。

[0103] [1-2-1] 読み出し動作

図11は、第1実施形態に係る半導体記憶装置10における上位ページの読み出し動作の一例を示すタイミングチャートである。図11に示すように、上位ページの読み出し動作において、外部のメモリコントローラは、例えばコマンド“00h”、アドレス情報“ADD”、及びコマンド“30h”を順に半導体記憶装置10に送信する。

[0104] コマンド“00h”は、読み出し動作を指定するコマンドである。コマンド“30h”は、読み出し動作の実行を指示するコマンドである。コマンド“30h”を受信すると、シーケンサ14は、半導体記憶装置10をレディ状態からビジー状態に遷移させ、受信したコマンド及びアドレス情報に基づいて読み出し動作を開始する。

[0105] 読み出し動作が開始すると、電圧生成回路16は、非選択のワード線WLに読み出しパス電圧V_{read}を印加し、選択されたワード線WLに読み出し電圧AR及びCRを順に印加する。また、シーケンサ14は、読み出し電圧AR及びCRが選択ワード線WL_{sel}に印加されている間に、それぞれ制御信号STBをアサートする。

[0106] 各センスアンプユニットSAUにおいて、読み出し電圧ARによる読み出し結果は、例えばラッチ回路ADLに保持される。その後、読み出し電圧CRによる読み出し結果と、ラッチ回路ADLに保持された読み出し電圧AR

による読み出し結果とに基づいて上位ページの読み出しデータが演算され、演算結果が例えばラッチ回路XDLに保持される。

[0107] 上位ページの読み出しデータが確定すると、シーケンサ14は読み出し動作を終了し、半導体記憶装置10をビジー状態からレディ状態に遷移させる。そして、各センスアンプユニットSAUのラッチ回路XDLに保持された読み出し結果が、メモリコントローラの指示に基づいて、メモリコントローラに出力される(図11、“Dout”)。

[0108] 尚、半導体記憶装置10は、下位ページの読み出し動作においても、上位ページの読み出し動作と同様に実行することが出来る。読み出し動作で印加される電圧の種類及び数は、メモリセルトランジスタMTが記憶するデータのビット数や、データの割り付けに基づいて適宜変更され得る。読み出し動作で使用されるコマンドは、適宜変更され得る。

[0109] [1-2-2] 消去動作

図12は、第1実施形態に係る半導体記憶装置10における消去動作の一例を示すタイミングチャートである。図12に示すように、消去動作において、外部のメモリコントローラは、例えばコマンド“60h”、アドレス情報“ADD”、及びコマンド“D0h”を順に半導体記憶装置10に送信する。

[0110] コマンド“60h”は、消去動作を指定するコマンドである。コマンド“D0h”は、通常の消去動作の実行を指示するコマンドである。コマンド“D0h”を受信すると、シーケンサ14は、半導体記憶装置10をレディ状態からビジー状態に遷移させ、受信したコマンド及びアドレス情報に基づいて消去動作を開始する。

[0111] 消去動作において、電圧生成回路16は、選択ブロックBLKsel内のワード線WLにVssを印加し、ウェル線CPWELLにVeraを印加する。Veraは、消去電圧として使用される高電圧である。すると、選択ブロックBLKsel内のNANDストリングNSにおいてチャネル制御ゲート間に電位差が生じ、電荷蓄積層に保持された電子がチャネルに引き抜かれる。その結果、

選択ブロック B L K sel 内のメモリセルトランジスタ M T の閾値電圧が低下し、“E R” レベルに分布する。

[0112] 続けて、シーケンサ 1 4 は、消去ベリファイを実行する。具体的には、シーケンサ 1 4 は、ウェル線 C P W E L L の電圧を V_{era} から V_{ss} に下降させた後に、 V_{evf} を用いた読み出し動作を選択ブロック B L K sel に対して実行する。 V_{evf} は、“E R” 状態と “A” 状態との間の電圧に設定される。消去ベリファイにパスしたメモリセルトランジスタ M T の閾値電圧は、“E R” 状態に分布している。 V_{evf} は、例えば選択ブロック B L K sel に対応する全てのワード線 W L に印加される。

[0113] 消去ベリファイにパスすると、シーケンサ 1 4 は、消去動作を終了して、半導体記憶装置 1 0 をビジー状態からレディ状態に遷移させる。尚、消去ベリファイは、ブロック B L K 単位で実行されても良いし、ストリングユニット S U 単位で実行されても良い。消去ベリファイにフェイルした場合に、シーケンサ 1 4 は、同じブロック B L K 選択した消去動作を再び実行しても良い。

[0114] 以上で説明した消去動作は、例えば昇圧期間、消去期間、降圧期間、及び消去ベリファイ期間に分類され得る。昇圧期間は、時刻 t_0 及び t_1 間の期間（図 1 2、（1））に対応し、ウェル線 C P W E L L の電圧が V_{ss} から V_{era} まで上昇する期間である。消去期間は、時刻 t_1 及び t_2 間の期間（図 1 2、（2））に対応し、電荷蓄積層に保持された電子が主に引き抜かれる期間である。降圧期間は、時刻 t_2 及び t_3 間の期間（図 1 2、（3））に対応し、ウェル線 C P W E L L の電圧が V_{era} から V_{ss} に下降する期間である。消去ベリファイ期間は、時刻 t_3 及び t_4 間の期間（図 1 2、（4））に対応し、消去ベリファイが実行される期間である。これらの期間は、後述する割り込み処理の実行タイミングの説明に使用される。

[0115] [1 - 2 - 3] 消去動作中の割り込み処理

第 1 実施形態に係る半導体記憶装置 1 0 は、消去動作中に外部のメモリコントローラから読み出し動作の指示を受信した場合、消去動作を適宜中断し

て割り込み処理を実行する。この割り込み処理の実行タイミングは、消去動作が実行されているプレーンPLと、読み出し動作を実行するプレーンPLとの関係に基づいて、複数種類考えられ得る。

[0116] 例えば、割り込み処理においてプレーンPL0～PL15は、例えば同電源グループと、異電源グループと、同一ペアプレーンとに分類される。同電源グループは、選択されたプレーンPLと同じプレーングループPGに含まれ、且つ異なるペアプレーンPPであるプレーンPLの集合である。異電源グループは、選択されたプレーンPLと異なるプレーングループPGに含まれるプレーンPLの集合である。同一ペアプレーンは、同じペアプレーンPPに含まれるプレーンPLの集合である。

[0117] 図13、図14、図15のそれぞれは、第1実施形態に係る半導体記憶装置10の消去動作における、選択されたプレーンPLとその他のプレーンPLとの関係の一例を示している。図13、図14、図15は、それぞれ1つのプレーンPL、2つのプレーンPL、4つのプレーンPLが選択される場合に対応している。

[0118] 図13に示された一例では、消去対象としてプレーンPL0が選択されている。この場合、プレーンPL2～PL7は、同電源グループに含まれる。プレーンPL8～PL15は、異電源グループに含まれる。プレーンPL0及びPL1は、同一ペアプレーンに含まれる。

[0119] 図14に示された一例では、消去対象としてプレーンPL0及びPL1、すなわちペアプレーンPP0が選択されている。この場合、プレーンPL2～PL7は、同電源グループに含まれる。プレーンPL8～PL15は、異電源グループに含まれる。プレーンPL0及びPL1は、同一ペアプレーンに含まれる。

[0120] 図15に示された一例では、消去対象としてプレーンPL0、PL1、PL8及びPL9、すなわちペアプレーンPP0及びPP4が選択されている。この場合、プレーンPL2～PL7及びPL10～PL15は、同電源グループに含まれる。プレーンPL0、PL1、PL8及びPL9は、同一ペ

アプレーンに含まれる。本例において異電源グループに含まれるプレーンP Lは存在しない。

[0121] 以上のように、第1実施形態に係る半導体記憶装置10では、選択されたプレーンP Lの数及び場所に対応して、適宜グループ分けが実施される。尚、消去動作が実行されるプレーンP Lの数及び組み合わせは、以上で説明した組み合わせに限定されず、任意の数及び組み合わせに設定され得る。

[0122] また、第1実施形態に係る半導体記憶装置10は、割り込み処理を高速に実行するために、図12を用いて説明した消去動作と異なるコマンドを用いた消去動作を実行する。この消去動作では、シーケンサ14が消去動作を開始した後に半導体記憶装置10をレディ状態に遷移させ、半導体記憶装置10はレディ状態で消去動作を進行する。このような消去動作は、上述した「キャッシュレディ」のようにビジー状態に遷移してからレディ状態に再び遷移するまでの期間を短くすることができ、例えばキャッシュ消去動作と称される。第1実施形態に係る半導体記憶装置10は、上述したグループ分けと、キャッシュ消去動作中に読み出しコマンドを受信したタイミングとに基づいて、適宜割り込み処理を実行する。

[0123] 以下に、同電源グループが選択された割り込み処理と、異電源グループが選択された割り込み処理と、同一ペアプレーンが選択された割り込み処理とについて順に説明する。尚、以下では、割り込み処理として、消去動作と並行して実行される読み出し動作のことをバックグラウンド読み出しと称し、消去動作を中断して実行される読み出し動作のことをサスペンド読み出しと称する。

[0124] [1-2-3-1] 同電源グループが選択された割り込み処理

図16は、第1実施形態に係る半導体記憶装置10における、キャッシュ消去動作と同電源グループのプレーンが選択された割り込み処理とのコマンドシーケンス及びタイミングチャートの一例を示している。尚、各種動作前における、制御信号DIFFVG、SAMEVG及びSAMEPPのそれぞれは“L”レベルである。

- [0125] 図16に示すように、まずメモリコントローラは、例えばコマンド“60h”、アドレス情報“ADD”、及びコマンド“D3h”を順に半導体記憶装置10に送信する。コマンド“D3h”は、キャッシュ消去動作の実行を指示するコマンドである。
- [0126] コマンド“D3h”を受信すると、シーケンサ14は、半導体記憶装置10をレディ状態からビジー状態に遷移させる。そして、シーケンサ14は、受信したコマンド及びアドレス情報に基づいて、図12を用いて説明した動作と同様の消去動作を開始する（図16、“Erase”）。
- [0127] 消去動作を開始すると、シーケンサ14は、半導体記憶装置10をビジー状態からレディ状態に遷移させる。すると、半導体記憶装置10は、レディ状態で図12に示された期間（1）～（4）に対応する処理を順に実行する。
- [0128] 半導体記憶装置10がレディ状態且つ消去動作が終了する前に、メモリコントローラは、例えばコマンド“00h”、アドレス情報“ADD”、及びコマンド“30h”を順に半導体記憶装置10に送信する。このアドレス情報“ADD”は、消去動作が実行されているプレーンPLに対する同電源グループのプレーンPLを指定する情報を含んでいる。
- [0129] コマンド“30h”を受信すると、シーケンサ14は、半導体記憶装置10をレディ状態からビジー状態に遷移させる。そして、シーケンサ14は、受信したコマンド及びアドレス情報と、判定回路DCが生成する制御信号とに基づいて、割り込み処理の読み出し動作を開始する（図16、“Read”）。
- [0130] 本例において、判定回路DCには、同電源グループのプレーンPLを指定するアドレス情報が入力される。このため、制御信号SAMEVGは“H”レベルになり、制御信号DIFFVG及びSAMEPPのそれぞれは“L”レベルを維持する。
- [0131] つまり、シーケンサ14は、制御信号SAMEVGが“H”レベルであることに基づいて、消去動作と並行して、同電源グループのプレーンPLが選

択されたバックグラウンド読み出しを実行する。バックグラウンド読み出しの詳細な動作は、例えば図 11 を用いて説明した読み出し動作と同様であるため、説明を省略する。

[0132] バックグラウンド読み出しが終了すると、シーケンサ 14 は、半導体記憶装置 10 をビジー状態からレディ状態に遷移させる。このとき、判定回路 DC が出力する制御信号 SAME VG は、例えば当該読み出し動作に係る処理が完了したことに基づいて、“L” レベルに戻る。メモリコントローラは、読み出し動作を指示した後に半導体記憶装置 10 がレディ状態になったことを検知すると、半導体記憶装置 10 に読み出しデータを出力させる（図 16、“Dout”）。

[0133] 読み出しデータを受信した後に、メモリコントローラは、例えばコマンド “48h” を半導体記憶装置 10 に送信する。コマンド “48h” は、割り込み処理の終了を半導体記憶装置 10 に通知するコマンドである。コマンド “48h” を受信すると、シーケンサ 14 は、消去動作を引き続き実行する。

[0134] 尚、半導体記憶装置 10 は、レディ状態で消去動作を実行しているため、消去動作が終了した場合においてもレディ状態のまま変化しない。これに対してメモリコントローラは、書き込み動作やその他のブロック BLK に対する消去動作等を実行する場合、ステータスリードを実行する。ステータスリードにおいてメモリコントローラは、例えばコマンド “70h” を半導体記憶装置 10 に送信する。半導体記憶装置 10 は、コマンド “70h” を受信すると、消去動作が終了しているか否かを示す情報を含むステータス情報 STS をメモリコントローラに出力する。これにより、メモリコントローラは、半導体記憶装置 10 の消去動作が終了しているか否かを確認することが出来る。

[0135] 以上で説明したバックグラウンド読み出しが実行されるタイミングは、消去動作の進捗状況に基づいて変化し得る。以下に、第 1 実施形態に係る半導体記憶装置 10 において、バックグラウンド読み出しが実行されるタイミン

グの一例について複数種類説明する。

[0136] (昇圧期間に読み出しコマンドを受信した場合)

図17、図18、図19のそれぞれは、第1実施形態に係る半導体記憶装置10における、同電源グループのプレーンPLが選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置10が消去動作の昇圧期間に読み出しコマンドを受信した場合の動作に対応している。

[0137] 尚、以下で参照される同様の図面には、消去動作に対応するフォアグラウンド動作の期間と、割り込み処理の読み出し動作に対応するバックグラウンド動作の期間と、消去動作が実行されているプレーンPLのウェル線CPWELLに印加される電圧の一例とがそれぞれ示されている。

[0138] 図17に示された一例では、半導体記憶装置10が、昇圧期間(図17、(1))に読み出しコマンド(例えば“30h”)を受信すると、直ちにバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した後に、消去動作をサスペンドすることなく、バックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における昇圧期間の処理と、バックグラウンド読み出しの処理とが並行して実行される。

[0139] 図18に示された一例では、半導体記憶装置10が、昇圧期間(図18、(1))に読み出しコマンド(例えば“30h”)を受信すると、ウェル線CPWELLの昇圧を停止して、直ちにバックグラウンド読み出しを開始する。バックグラウンド読み出しが実行されている期間において、ウェル線CPWELLの電圧は、例えば昇圧を停止した時点の状態に維持される。そして、バックグラウンド読み出しが終了すると、半導体記憶装置10は、ウェル線CPWELLの昇圧を再開する。つまり、本例では、フォアグラウンドの消去動作における昇圧期間の処理が、バックグラウンド読み出しの処理が実行されている期間において停止し、バックグラウンド読み出しの処理が終了したことに基づいて再開する。

[0140] 図19に示された一例では、半導体記憶装置10が、昇圧期間(図19、

(1)) に読み出しコマンド（例えば“30h”）を受信すると、昇圧期間の終了を待ってからバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した後に、昇圧期間におけるバックグラウンド読み出しをサスペンドし、昇圧期間が終了したことに基づいてバックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における昇圧期間の処理と、バックグラウンド読み出しの処理とが重ならないように実行される。

[0141] (消去期間に読み出しコマンドを受信した場合)

図20及び図21のそれぞれは、第1実施形態に係る半導体記憶装置10における、同電源グループのプレーンPLが選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置10が消去動作の消去期間に読み出しコマンドを受信した場合の動作に対応している。

[0142] 図20に示された一例では、半導体記憶装置10が、消去期間（図20、(2)）に読み出しコマンド（例えば“30h”）を受信すると、直ちにバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した後に、消去動作をサスペンドすることなくバックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における消去期間の処理と、バックグラウンド読み出しの処理とが並行して実行される。

[0143] 図21に示された一例では、半導体記憶装置10が、消去期間（図21、(2)）に読み出しコマンド（例えば“30h”）を受信すると、消去期間の終了を待ってからバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した後に、消去期間におけるバックグラウンド読み出しをサスペンドし、消去期間が終了したことに基づいてバックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における消去期間の処理と、バックグラウンド読み出しの処理とが重ならないように実行される。

[0144] (降圧期間に読み出しコマンドを受信した場合)

図 2 2 及び図 2 3 のそれぞれは、第 1 実施形態に係る半導体記憶装置 1 0 における、同電源グループのプレーン P L が選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置 1 0 が消去動作の降圧期間に読み出しコマンドを受信した場合の動作に対応している。

[0145] 図 2 2 に示された一例では、半導体記憶装置 1 0 が、降圧期間（図 2 2、（3））に読み出しコマンド（例えば“3 0 h”）を受信すると、直ちにバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置 1 0 は、読み出しコマンドを受信した後に、消去動作をサスペンドすることなく、バックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における降圧期間の処理と、バックグラウンド読み出しの処理とが並行して実行される。

[0146] 図 2 3 に示された一例では、半導体記憶装置 1 0 が、降圧期間（図 2 3、（3））に読み出しコマンド（例えば“3 0 h”）を受信すると、降圧期間の終了を待ってからバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置 1 0 は、読み出しコマンドを受信した後に、降圧期間中におけるバックグラウンド読み出しをサスペンドし、降圧期間が終了したことに基づいてバックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における降圧期間の処理と、バックグラウンド読み出しの処理とが重ならないように実行される。

[0147] （消去ベリファイ期間に読み出しコマンドを受信した場合）

図 2 4 及び図 2 5 のそれぞれは、第 1 実施形態に係る半導体記憶装置 1 0 における、同電源グループのプレーン P L が選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置 1 0 が消去動作の消去ベリファイ期間に読み出しコマンドを受信した場合の動作に対応している。

[0148] 尚、以下で参照される同様の図面には、消去ベリファイ期間において、ストリングユニット S U 単位で消去ベリファイが実行される場合の動作が例示されている。例えば、あるブロック B L K において消去ベリファイは、スト

リングユニットSU0～SU3の順に実行される。また、1サイクルの消去ベリファイにおける、読み出し動作が“Evfy”、検知動作が“Edet”としてそれぞれ表示されている。検知動作では、直前に実行された消去ベリファイにおける読み出し動作の結果に基づいて、当該ストリングユニットSUの消去ベリファイにパスしているか否かが判定される。

[0149] 図24に示された一例では、半導体記憶装置10が、消去ベリファイ期間(図24、(4))に読み出しコマンド(例えば“30h”)を受信すると、直ちにバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した後に、消去動作をサスペンドすることなく、バックグラウンド読み出しを開始する。つまり、本例では、フォアグラウンドの消去動作における消去ベリファイ期間の処理と、バックグラウンド読み出しの処理とが並行して実行される。

[0150] 図25に示された一例では、半導体記憶装置10が、消去ベリファイ期間(図25、(4))に読み出しコマンド(例えば“30h”)を受信すると、1サイクルの消去ベリファイの終了を待ってからバックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した時点で実行されている1サイクルの消去ベリファイが実行されている期間において、バックグラウンド読み出しをサスペンドする。そして、半導体記憶装置10は、1サイクルの消去ベリファイが終了したことに基いてバックグラウンド読み出しを開始する。バックグラウンド読み出しが終了すると、半導体記憶装置10は、次のストリングユニットSUに対する消去ベリファイを再開する。

[0151] 具体的には、例えばストリングユニットSU1に対する消去ベリファイが実行されている間に読み出しコマンドを受信すると、半導体記憶装置10は、ストリングユニットSU1に対する消去ベリファイ(すなわち、読み出し動作“Evfy”と検知動作“Edet”との組)が終了するまでバックグラウンド読み出しをサスペンドする。

[0152] そして、半導体記憶装置10は、ストリングユニットSU1における消去

ベリファイの検知動作が終了したことに基づいて、バックグラウンド読み出しを開始する。それから、半導体記憶装置 10 は、バックグラウンド読み出しが終了したことに基づいて、ストリングユニット S U 2 に対する消去ベリファイを開始する。このように、本例では、フォアグラウンドの消去動作における 1 サイクルの消去ベリファイの処理と、バックグラウンド読み出しの処理とが重ならないように実行される。

[0153] [1 - 2 - 3 - 2] 異電源グループが選択された割り込み処理

図 2 6 は、第 1 実施形態に係る半導体記憶装置 10 における、キャッシュ消去動作と異電源グループのプレーンが選択された割り込み処理とのコマンドシーケンス及びタイミングチャートの一例を示している。

[0154] 図 2 6 に示すように、異電源グループのプレーンが選択された割り込み処理における動作は、図 1 6 を用いて説明した同電源グループのプレーンが選択された割り込み処理における動作に対して、“H” レベルになる制御信号の種類が異なっている。

[0155] 具体的には、本例において、判定回路 D C には、異電源グループのプレーン P L を指定するアドレス情報が入力される。このため、制御信号 D I F F V G は“H” レベルになり、制御信号 S A M E V G 及び S A M E P P のそれぞれは“L” レベルを維持する。

[0156] 消去動作中に読み出しコマンド（例えば“3 0 h”）を受信すると、シーケンサ 1 4 は、制御信号 D I F F V G が“H” レベルであることに基づいて、消去動作と並行して、異電源グループのプレーン P L が選択されたバックグラウンド読み出しを実行する。

[0157] それから、バックグラウンド読み出しが終了すると、シーケンサ 1 4 は、半導体記憶装置 10 をビジー状態からレディ状態に遷移させる。このとき、判定回路 D C が出力する制御信号 D I F F V G は、例えば当該読み出し動作に係る処理が完了したことに基づいて、“L” レベルに戻る。図 2 6 におけるその他の動作は、例えば図 1 6 を用いて説明したコマンドシーケンス及びタイミングチャートと同様であるため、説明を省略する。

- [0158] 尚、異電源グループが選択されたバックグラウンド読み出しは、サスペンド無しで実行されても良い。つまり、異電源グループが選択されたバックグラウンド読み出しは、フォアグラウンドにおける消去動作のいずれの期間においても、直ちに実行され得る。これに限定されず、異電源グループが選択されたバックグラウンド読み出しは、同電源グループが選択されたバックグラウンド読み出しと同様のタイミングで実行されても良い。
- [0159] [1 - 2 - 3 - 3] 同一ペアプレーンが選択された割り込み処理
- 図 2 7 は、第 1 実施形態に係る半導体記憶装置 1 0 における、キャッシュ消去動作と同一ペアプレーンが選択された割り込み処理とのコマンドシーケンス及びタイミングチャートの一例を示している。
- [0160] 図 2 7 に示すように、同一ペアプレーンが選択された割り込み処理における動作は、図 1 6 を用いて説明した同電源グループのプレーンが選択された割り込み処理における動作に対して、“H” レベルになる制御信号と消去動作が実行される期間とが異なっている。
- [0161] 具体的には、本例において、判定回路 D C には、同一ペアプレーンを指定するアドレス情報が入力される。このため、制御信号 S A M E P P は “H” レベルになり、制御信号 D I F F V G 及び S A M E V G のそれぞれは “L” レベルを維持する。
- [0162] 消去動作中に読み出しコマンド（例えば “3 0 h” ）を受信すると、シーケンサ 1 4 は、制御信号 S A M E P P が “H” レベルであることに基づいて、フォアグラウンドにおける消去動作を中断して、同一ペアプレーンが選択されたサスペンド読み出しを実行する。サスペンド読み出しの詳細な動作は、例えば図 1 1 を用いて説明した読み出し動作と同様であるため、説明を省略する。
- [0163] サスペンド読み出しが終了すると、シーケンサ 1 4 は、半導体記憶装置 1 0 をビジー状態からレディ状態に遷移させる。このとき、判定回路 D C が出力する制御信号 S A M E P P は、例えば当該読み出し動作に係る処理が完了したことに基づいて、“L” レベルに戻る。メモリコントローラは、読み出

し動作を指示した後に半導体記憶装置10がレディ状態になったことを検知すると、半導体記憶装置10に読み出しデータを出力させる（図27、“Do ut”）。

[0164] 読み出しデータを受信した後に、メモリコントローラは、例えばコマンド“48h”を半導体記憶装置10に送信する。コマンド“48h”を受信すると、シーケンサ14は、消去動作を再開する。

[0165] 以上で説明したサスペンド読み出しが実行されるタイミングは、消去動作の進捗状況に基づいて変化し得る。以下に、第1実施形態に係る半導体記憶装置10において、サスペンド読み出しが実行されるタイミングの一例について複数種類説明する。

[0166] （消去期間に読み出しコマンドを受信した場合）

図28、図29、図30及び図31のそれぞれは、第1実施形態に係る半導体記憶装置10における、同一ペアプレーンのプレーンPLが選択されたサスペンド読み出しの実行タイミングの一例を示し、半導体記憶装置10が消去動作の消去期間に読み出しコマンドを受信した場合の動作に対応している。

[0167] 尚、図28、図29、図30及び図31のそれぞれには、消去期間におけるステップ数が表示されている。本例において半導体記憶装置10は、消去期間が“0”～“9”ステップ実行されたことに基づいて、消去期間を終了する。また、図29、図30及び図31に示された一例では、消去期間に1回の割り込み処理が実行され、消去動作が第1期間と第2期間とに分割される。

[0168] 図28に示された一例では、半導体記憶装置10が、消去期間（図28、第1期間（2））に読み出しコマンド（例えば“30h”）を受信すると、まず消去期間を所定のステップまで実行し、消去処理を完了させる。そして、半導体記憶装置10は、ウェル線CPWELLの電圧をV_{ss}まで下降させたことに基づいて、サスペンド読み出しを開始する。サスペンド読み出しが終了すると、メモリコントローラはコマンド“48h”を送信する。半導体

記憶装置10がコマンド“48h”を受信すると、シーケンサ14は消去動作を再開し、消去ベリファイ期間の処理を開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信すると、消去期間の処理と降圧期間の処理とが終了した後、且つ消去ベリファイ期間の前に、サスペンド読み出しを実行する。

[0169] 図29に示された一例では、半導体記憶装置10が、消去期間（図29、第1期間（2））に読み出しコマンド（例えば“30h”）を受信すると、直ちに消去動作を中断して、サスペンド読み出しを開始する。具体的には、半導体記憶装置10は、例えば消去期間における“5”ステップの処理の途中で読み出しコマンドを受信した場合、直ちにウェル線CPWELLの電圧を下降させる（図29、第1期間（3））。そして、ウェル線CPWELLの電圧がV_{ss}まで下降すると、半導体記憶装置10は、同一ペアプレーンに対するサスペンド読み出しを実行する。

[0170] サスペンド読み出しが終了すると、メモリコントローラはコマンド“48h”を送信する。半導体記憶装置10がコマンド“48h”を受信すると、シーケンサ14は消去動作を再開し、ウェル線CPWELLの電圧を上昇させる（図29、第2期間（1））。ウェル線CPWELLの電圧がV_{era}まで上昇すると、シーケンサ14は、消去動作が中断された時点のカウントから、消去期間のカウントを再開する。つまり、本例においてシーケンサ14は、消去期間の処理を“5”ステップの処理から再開する。そして、シーケンサ14は、消去期間において“9”ステップの処理が完了したことに基づいて消去期間の処理を終了し、消去ベリファイ期間の処理に移行する。

[0171] 図30に示された一例では、半導体記憶装置10が、消去期間（図30、第1期間（2））に読み出しコマンド（例えば“30h”）を受信すると、読み出しコマンド受信時のステップの処理が終了したことに基づいて消去動作を中断して、バックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信すると、消去期間で1ステップ分の処理が終了するまで割り込み処理をサスペンドし、その後にサスペンド

読み出しを開始する。

- [0172] 具体的には、半導体記憶装置10は、例えば消去期間における“5”ステップの処理の途中で読み出しコマンドを受信した場合、“5”ステップの処理が完了するまで処理期間を継続する。そして、半導体記憶装置10は、“5”ステップの処理が完了すると、ウェル線CPWELLの電圧を下降させる(図30、第1期間(3))。ウェル線CPWELLの電圧がV_{ss}まで下降すると、半導体記憶装置10は、同一ペアプレーンに対するサスペンド読み出しを実行する。
- [0173] サスペンド読み出しが終了すると、メモリコントローラはコマンド“48h”を送信する。半導体記憶装置10がコマンド“48h”を受信すると、シーケンサ14は消去動作を再開し、ウェル線CPWELLの電圧を上昇させる(図30、第2期間(1))。ウェル線CPWELLの電圧がV_{era}まで上昇すると、シーケンサ14は、第1期間における最後のサイクルから進めて、消去期間の処理を再開する。つまり、本例においてシーケンサ14は、“5”ステップの次の“6”ステップの処理から再開する。そして、シーケンサ14は、消去期間において“9”ステップの処理が完了したことに基づいて消去期間の処理を終了し、消去ベリファイ期間の処理に移行する。
- [0174] 図31に示された一例では、半導体記憶装置10が、消去期間(図31、第1期間(2))に読み出しコマンド(例えば“30h”)を受信すると、読み出しコマンド受信時のステップに対する次のステップの処理が終了したことに基づいて消去動作を中断して、バックグラウンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信すると、消去期間で2ステップ分の処理が終了するまで割り込み処理をサスペンドし、その後にサスペンド読み出しを開始する。
- [0175] 具体的には、半導体記憶装置10は、例えば消去期間における“5”ステップの処理の途中で読み出しコマンドを受信した場合、“5”ステップの次の“6”ステップの処理が完了するまで処理期間を継続する。そして、半導体記憶装置10は、“6”ステップの処理が完了すると、ウェル線CPWE

LLの電圧を下降させる（図31、第1期間（3））。ウェル線CPWELLの電圧が V_{ss} まで下降すると、半導体記憶装置10は、同一ペアプレーンに対するサスペンド読み出しを実行する。

[0176] サスペンド読み出しが終了すると、メモリコントローラはコマンド“48h”を送信する。半導体記憶装置10がコマンド“48h”を受信すると、シーケンサ14はフォアグラウンドにおける消去動作を再開し、ウェル線CPWELLの電圧を上昇させる（図31、第2期間（1））。ウェル線CPWELLの電圧が V_{era} まで上昇すると、シーケンサ14は、第1期間における最後のサイクルから進めて、消去期間の処理を再開する。つまり、本例においてシーケンサ14は、“6”ステップの次の“7”ステップの処理から再開する。そして、シーケンサ14は、消去期間において“9”ステップがカウントされたことに基づいて消去期間の処理を終了し、消去ベリファイ期間の処理に移行する。

[0177] 尚、読み出しコマンドを受信してから消去動作を中断するまでのステップ数は、任意の数値に設定され得る。また、半導体記憶装置10は、この消去動作を中断するまでのステップ数と、読み出しコマンドを受信したタイミングによっては、消去期間を最後まで処理してから、割り込み処理を開始しても良い。

[0178] 例えば、図30に示された一例において、半導体記憶装置10は、“9”サイクルの処理の途中で読み出しコマンドを受信した場合、“9”サイクルの処理が完了してから割り込み処理を実行しても良い。図31に示された一例において、半導体記憶装置10は、“8”又は“9”サイクルの処理の途中で読み出しコマンドを受信した場合、“9”サイクルの処理が完了してから割り込み処理を実行しても良い。

[0179] （消去ベリファイ期間に読み出しコマンドを受信した場合）

図32及び図33のそれぞれは、第1実施形態に係る半導体記憶装置10における、同電源グループのプレーンPLが選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置10が消去動作の消

去ベリファイ期間に読み出しコマンドを受信した場合の動作に対応している。

[0180] 図32に示された一例では、半導体記憶装置10が、消去ベリファイ期間（図32、（4））に読み出しコマンド（例えば“30h”）を受信すると、消去ベリファイの対象である全てのストリングユニットSUに対する消去ベリファイが完了してから割り込み処理（読み出し動作）を開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した時点で実行されている消去ベリファイ期間の処理を完了させてから、サスペンド読み出しを実行する。

[0181] 具体的には、例えばストリングユニットSU1に対する消去ベリファイが実行されている間に読み出しコマンドを受信すると、半導体記憶装置10は、ストリングユニットSU1、SU2及びSU3のそれぞれに対する消去ベリファイが終了するまで、割り込み処理をサスペンドする。そして、半導体記憶装置10は、ストリングユニットSU3における消去ベリファイの検知動作が終了すると、コマンド“48h”を受信したことに基づいて、割り込み処理を開始する。尚、本例では、割り込み処理を開始した時点で消去動作が終了しているため、図27を用いて説明したコマンド“48h”に基づいた消去動作の再開処理は省略され得る。

[0182] 図33に示された一例では、半導体記憶装置10が、消去ベリファイ期間（図33、（4））に読み出しコマンド（例えば“30h”）を受信すると、直ちにサスペンド読み出しを開始する。言い換えると、半導体記憶装置10は、読み出しコマンドを受信した時点で実行されている消去ベリファイ期間の処理を中断して、サスペンド読み出しを実行する。そして、サスペンド読み出しが終了すると、メモリコントローラはコマンド“48h”を送信する。半導体記憶装置10がコマンド“48h”を受信すると、中断された消去ベリファイのサイクルを巻き戻して再開する。つまり、半導体記憶装置10は、中断された消去ベリファイのサイクルを初めから実行する。

[0183] 具体的には、例えばストリングユニットSU1に対する消去ベリファイが

実行されている間に読み出しコマンドを受信すると、半導体記憶装置 10 は、直ちにサスペンド読み出しを実行する。そして、サスペンド読み出しが終了すると、半導体記憶装置 10 は、ストリングユニット S U 1 に対する消去ベリファイを初めから再び実行する。

[0184] 尚、半導体記憶装置 10 は、同一ペアプレーンが選択されたサスペンド読み出しを実行するタイミングは以上で説明した例に限定されない。例えば、半導体記憶装置 10 は、図 25 で説明したように、1 サイクルの消去ベリファイが終了したことに基づいて、同一ペアプレーンのサスペンド読み出しを実行しても良い。

[0185] [1-3] 第 1 実施形態の効果

以上で説明した第 1 実施形態に係る半導体記憶装置 10 に依れば、半導体記憶装置 10 のレイテンシを改善することが出来る。以下に、比較例を用いて第 1 実施形態の詳細な効果について説明する。

[0186] 図 34 は、第 1 実施形態の比較例における、消去動作中のサスペンド読み出しにおけるコマンドシーケンス及びタイミングチャートの一例を示している。図 34 に示すように、第 1 実施形態の比較例では、まず図 11 を用いて説明した消去動作が実行され、半導体記憶装置 10 がビジー状態に遷移する。そして、メモリコントローラは、半導体記憶装置 10 が消去動作を実行している間に、外部のホスト機器から読み出し動作の命令を受信すると、コマンド“FFh”を半導体記憶装置 10 に送信する。コマンド“FFh”は、半導体記憶装置 10 に対して処理中の動作のサスペンドを指示するコマンドである。

[0187] 半導体記憶装置 10 は、コマンド“FFh”を受信すると消去動作をサスペンドし、サスペンド処理が完了するとレディ状態に遷移する。すると、メモリコントローラは、半導体記憶装置 10 がレディ状態になったことに基づいて、例えばコマンド“00h”、アドレス情報“ADD”、コマンド“30h”を半導体記憶装置 10 に送信する。

[0188] 半導体記憶装置 10 は、コマンド“30h”を受信するとビジー状態に遷

移し、受信したコマンド等に基づいて読み出し動作（サスペンド読み出し）を実行する。半導体記憶装置 10 は、サスペンド読み出しが終了するとレディ状態に遷移し、メモリコントローラの指示に基づいて読み出しデータ “Data” をメモリコントローラに出力する。

[0189] メモリコントローラは、読み出しデータの受信が完了すると、例えばコマンド “27h” と、中断されている消去動作と同じコマンドセットとを続けて半導体記憶装置 10 に送信する。コマンド “27h” は、サスペンドされている動作の再開を半導体記憶装置 10 に指示するコマンドである。半導体記憶装置 10 は、コマンド “D0h” を受信するとビジー状態に遷移し、消去動作を再開する。

[0190] 以上で説明した第 1 実施形態の比較例のようにサスペンド読み出しが実行された場合、サスペンド読み出しを実行している間に消去動作が進行しない。このため、第 1 実施形態の比較例では、消去動作の進行が遅れ得る。また、第 1 実施形態の比較例では、メモリコントローラが半導体記憶装置 10 をサスペンドさせてから読み出し動作のコマンドを送信するため、これらの処理時間がレイテンシの低下に影響し得る。

[0191] これに対して、第 1 実施形態に係る半導体記憶装置 10 は、消去動作の実行にコマンド “D3h” を用いて、レディ状態で消去動作を進行するキャッシュ消去動作を使用する。そして、第 1 実施形態に係る半導体記憶装置 10 は、消去動作の途中で割り込み処理の読み出し動作の指示を受信した場合に、消去動作が実行されているプレーン PL と、割り込み処理で選択されたプレーン PL との関係性に基づいて、割り込み処理の実行方法を変更する。

[0192] 例えば、割り込み処理で同電源グループのプレーン PL が選択された場合と、異電源グループのプレーン PL が選択された場合とのそれぞれにおいて、半導体記憶装置 10 は、フォアグラウンドの消去動作と、割り込み処理の読み出し動作とを並行して実行する。割り込み処理で同一ペアプレーンが選択された場合、半導体記憶装置 10 は、フォアグラウンドの消去動作をサスペンドしてから、割り込み処理の読み出し動作を実行する。

- [0193] さらに、第1実施形態に係る半導体記憶装置10では、読み出しコマンドを受信したタイミングと消去動作の進行状態とに基づいて、割り込み処理の実行タイミングを適宜調節して割り込み処理を実行する。
- [0194] 例えば、割り込み処理において同電源グループのプレーンPLが選択された場合に、半導体記憶装置10は、読み出しコマンドを受信した際にサスペンド無しで割り込み処理を実行する。この場合、半導体記憶装置10は、割り込み処理の読み出しデータを最も早くメモリコントローラに送信することが出来る。
- [0195] 割り込み処理において同電源グループのプレーンPLが選択された場合に、半導体記憶装置10は、読み出しコマンドを受信すると、割り込み処理を所定の期間サスペンドしてから実行する。この場合、半導体記憶装置10は、割り込み処理の読み出し動作において、フォアグラウンドで実行されている消去動作によって生じる同電源グループの電源ノイズの影響を抑制することが出来る。
- [0196] 割り込み処理において異電源グループのプレーンPLが選択された場合、消去動作により生じる電源ノイズの影響が小さいことが考えられる。このため、半導体記憶装置10は、読み出しコマンドの受信に応答してサスペンド無しで割り込み処理を実行するによって、常に良好なレイテンシを維持することが出来る。
- [0197] 割り込み処理において同一ペアプレーンが選択された場合、半導体記憶装置10は、読み出しコマンドを受信した際に、割り込み処理を実行するために所定のタイミングで消去動作をサスペンドする。例えば、レイテンシを優先したい場合に、半導体記憶装置10は、読み出しコマンドを受信すると直ちに消去動作をサスペンドして割り込み処理を実行する。一方で、レイテンシと併せて消去動作の進行も担保したい場合に、半導体記憶装置10は、読み出しコマンドを受信した際に所定の期間だけ読み出し処理をサスペンドすることによって、消去動作の巻き戻しを抑制することが出来る。
- [0198] 以上のように、第1実施形態に係る半導体記憶装置10は、レディ状態で

消去動作を進行することによって、サスペンドのコマンド“FFh”を使用すること無く割り込み処理を実行することが出来る。また、第1実施形態に係る半導体記憶装置10は、極力消去動作を止めること無く割り込み処理の読み出し動作を実行することが出来、且つ消去動作をサスペンドした場合においても消去動作への影響を抑制することが出来る。

[0199] その結果、第1実施形態に係る半導体記憶装置10は、比較例における割り込み処理の読み出し動作よりも早く読み出しデータをメモリコントローラに出力することが出来る。つまり、第1実施形態に係る半導体記憶装置10は、比較例における割り込み処理の読み出し動作よりもレイテンシを改善することが出来る。

[0200] 尚、第1実施形態で説明した割り込み処理は、連続で実行されても良い。この場合、メモリコントローラは、割り込み処理による読み出しデータを受信した後に、コマンド“48h”を発行せずに、続けて読み出し動作の実行を半導体記憶装置10に指示する。そして、メモリコントローラは、一連の割り込み処理が終了すると、コマンド“48h”を半導体記憶装置10に送信して、消去動作を再開させる。

[0201] 連続した割り込み処理において選択されるプレーンPLは、電源グループ（例えば同電源グループ、異電源グループ、同一ペアプレーン）による制約を受けない。例えば、連続した割り込み処理において同一ペアプレーンが選択されると、当該割り込み処理が実行されてからコマンド“48h”が発行されるまで、半導体記憶装置10の消去動作がサスペンドされる。また、同電源グループが選択された割り込み処理と同一ペアプレーンが選択された割り込み処理とが連続して実行される場合、前者の処理はサスペンド無しで実行されるが、後者の処理を指示するコマンドを受信した際には、所定のタイミングで消去動作をサスペンドする。この場合でも、サスペンドされた消去動作は、コマンド“48h”を半導体記憶装置10に送信することで再開させることができる。

[0202] [2] 第2実施形態

第2実施形態に係る半導体記憶装置10の構成は、第1実施形態に係る半導体記憶装置10と同様である。第2実施形態に係る半導体記憶装置10は、第1実施形態に対して、消去動作の消去期間における動作が異なる。以下に、第2実施形態に係る半導体記憶装置10について、第1実施形態と異なる点を説明する。

[0203] [2-1] 消去動作

図35は、第2実施形態に係る半導体記憶装置10における消去動作の一例を示すタイミングチャートである。図35に示すように、第2実施形態における消去動作は、第1実施形態において図12を用いて説明した消去動作に対して、消去期間における動作が異なっている。

[0204] 具体的には、消去期間において電圧生成回路は、ウェル線CPWELLの電圧を複数回ステップアップすることによって、V_{era}まで上昇させる。図35には、ウェル線CPWELLの電圧のステップアップ量がV_{delta}として示され、消去期間におけるウェル線CPWELLの電圧の変化がステップS0～S3として示されている。

[0205] 尚、消去期間の開始時点（時刻t1）におけるウェル線CPWELLの電圧は、任意の電圧に設定され得る。また、消去期間におけるウェル線CPWELLの電圧のステップアップ数は任意の回数に設定され得、ステップアップ量は任意の電圧に設定され得る。ウェル線CPWELLに印加された消去期間におけるステップアップ途中の電圧は、消去電圧と称されても良い。

[0206] 第2実施形態に係る半導体記憶装置10は、コマンド“D0h”がコマンド“D3h”に置き換えられると、キャッシュ消去動作として図35と同様の消去動作を実行することが出来る。第2実施形態における消去動作のその他の動作は、第1実施形態における消去動作と同様のため、説明を省略する。

[0207] [2-2] 消去動作中の割り込み処理

以上で説明した第2実施形態における消去動作は、第1実施形態で説明した割り込み処理においてフォアグラウンドで実行されている消去動作に適用

することも可能である。この場合に実行される割り込み処理の実行タイミングは、第1実施形態で説明した割り込み処理の実行タイミングが全て適用され得る。また、第2実施形態における消去動作が使用された場合、同電源グループのプレーンPLが選択されたバックグラウンド読み出しにおいて、第1実施形態と異なる動作が実行され得る。

[0208] 図36は、第2実施形態に係る半導体記憶装置10における、同電源グループのプレーンPLが選択されたバックグラウンド読み出しの実行タイミングの一例を示し、半導体記憶装置10が消去動作の消去期間に読み出しコマンドを受信した場合の動作に対応している。

[0209] 図36に示された一例では、半導体記憶装置10が、消去期間（図20、（2））に読み出しコマンド（例えば“30h”）を受信すると、直ちにバックグラウンド読み出しを開始する。そして、バックグラウンド読み出しが実行されている期間において、半導体記憶装置10は、ウェル線CPWELLの電圧のステップアップを停止する。つまり、バックグラウンド読み出しが実行されている期間において、ウェル線CPWELLの電圧が維持される。バックグラウンド読み出しが終了すると、半導体記憶装置10は、消去期間の処理を再開し、ウェル線CPWELLの電圧のステップアップを再開する。

[0210] 具体的には、消去期間のステップS2に読み出しコマンドを受信した場合、半導体記憶装置10は直ちにバックグラウンド読み出しを開始する。そして、バックグラウンド読み出しが実行されている間に、ウェル線CPWELLの電圧はステップS2における電圧が維持される。バックグラウンド読み出しが終了すると、ウェル線CPWELLの電圧のステップアップが再開される。その他の動作は、例えば図20を用いて説明した動作と同様のため、説明を省略する。

[0211] [2-3] 第2実施形態の効果

以上のように、第2実施形態に係る半導体記憶装置10は、第1実施形態と異なる消去動作を用いて、消去動作中の割り込み処理を第1実施形態と同

様に実行することが出来る。従って、第2実施形態に係る半導体記憶装置10は、第1実施形態と同様の効果を得ることが出来、レイテンシを改善することが出来る。

[0212] 尚、第1実施形態で説明した消去動作と、第2実施形態で説明した消去動作とは、半導体記憶装置10によって使い分けられても良い。これらの消去動作は、例えば、消去動作で選択されたブロックBLKに応じて使い分けられても良いし、適宜使い分けられ得る。これらの消去動作は、メモリコントローラが発行するコマンドによって使い分けられても良いし、半導体記憶装置10が所定の条件に基づいて使い分けられても良い。

[0213] [3] 第3実施形態

第3実施形態に係る半導体記憶装置10の構成は、第1実施形態に係る半導体記憶装置10と同様である。第3実施形態に係る半導体記憶装置10は、第1実施形態で同一ペアプレーンが選択された割り込み処理を実行するタイミングを、特殊なコマンドを用いて使い分ける。以下に、第3実施形態に係る半導体記憶装置10について、第1及び第2実施形態と異なる点を説明する。

[0214] [3-1] 消去動作中の割り込み処理

図37及び図38のそれぞれは、第3実施形態に係る半導体記憶装置10における、キャッシュ消去動作と同一ペアプレーンが選択された割り込み処理とのコマンドシーケンス及びタイミングチャートの一例を示している。図37及び図38に示すように、第3実施形態における動作は、第1実施形態において図27を用いて説明した動作に対して、コマンドシーケンスと、割り込み処理（サスペンド読み出し）後に消去動作が再開するタイミングとが異なっている。

[0215] 図37に示された一例では、メモリコントローラは、割り込み処理の読み出し動作に対応して、コマンド“xxh”、コマンド“00h”、アドレス情報“ADD”、及びコマンド“30h”を順に半導体記憶装置10に送信する。コマンド“xxh”は、第1の条件で割り込み処理を実行することを

半導体記憶装置 10 に指示するコマンドである。半導体記憶装置 10 は、コマンド “30h” を受信すると、第 1 実施形態で説明したタイミングで消去動作を中断し、割り込み処理の読み出し動作を開始する。図 37 におけるこれ以降の動作は、図 27 を用いて説明した動作と同様である。

[0216] 一方で、図 38 に示された一例では、メモリコントローラは、割り込み処理の読み出し動作に対応して、コマンド “yyh”、コマンド “00h”、アドレス情報 “ADD”、及びコマンド “30h” を順に半導体記憶装置 10 に送信する。コマンド “yyh” は、第 1 の条件と異なる第 2 の条件で割り込み処理を実行することを半導体記憶装置 10 に指示するコマンドである。半導体記憶装置 10 は、コマンド “30h” を受信すると、消去動作を完了させてから、続けて割り込み処理（サスペンド読み出し）を実行する。このとき、半導体記憶装置 10 は、消去動作から続けてビジー状態が維持され、サスペンド読み出しが終了すると、ビジー状態からレディ状態に遷移する。

[0217] [3-2] 第 3 実施形態の効果

以上のように、第 3 実施形態に係る半導体記憶装置 10 は、コマンドを使い分けることによって、割り込み処理の読み出しデータを出力させるタイミングを変更することが出来る。例えば、メモリコントローラは、早急にデータが欲しい場合に、第 1 の条件におけるコマンドシーケンスを使用し、データが必要な時間に余裕がある場合に、第 2 の条件におけるコマンドシーケンスを使用する。

[0218] つまり、第 3 実施形態に係る半導体記憶装置 10 は、コマンドを使い分けることによって、レイテンシの異なる割り込み処理を実行することが出来る。その結果、第 3 実施形態に係る半導体記憶装置 10 は、必要に応じて割り込み処理による消去動作のパフォーマンス低下を抑制することが出来る。

[0219] [4] 変形例等

実施形態の半導体記憶装置＜例えば図 1、10＞は、複数のプレーン＜例えば図 2、PL＞と、シーケンサ＜例えば図 1、14＞を含む。複数のプ

レーンの各々は、メモリセルの集合であるブロックを複数有する。シーケンサは、第1動作と、第1動作よりも短い第2動作とを実行する。シーケンサは、第1動作の実行を指示する第1コマンドセットを受信すると前記第1動作を実行する。シーケンサは、第1動作を実行している間に第2動作の実行を指示する第2コマンドセットを受信すると、第1動作の対象であるブロックのアドレスと第2動作の対象であるブロックのアドレスとに基づいて、第1動作をサスペンドして第2動作を実行する<例えば図16、図26>、又は第1動作と並行して第2動作を実行する<例えば図27>。これにより、半導体記憶装置のレイテンシを改善することが出来る。

[0220] 上記実施形態で説明された半導体記憶装置10は、例えばメモリコントローラと組み合わされたメモリシステムとして使用され得る。図39は、第1実施形態に係る半導体記憶装置10を含むメモリシステム1の一例を示すブロック図である。図39に示すように、メモリシステム1は、例えば半導体記憶装置10-1~10-4、メモリコントローラ2、及びDRAM (Dynamic Random Access Memory) 3を含んでいる。

[0221] 半導体記憶装置10-1~10-4のそれぞれは、半導体記憶装置10と同様の構成を有する。メモリコントローラ2は、半導体記憶装置10-1~10-4のそれぞれに接続され、上記実施形態の動作の説明で使用された外部のメモリコントローラと同様に動作することが出来る。また、メモリコントローラ2は、外部のホスト機器4の命令に基づいて動作する。DRAM3は、メモリコントローラ2に接続され、例えばメモリコントローラ2の外部記憶領域として使用される。尚、メモリシステム1に含まれた半導体記憶装置10の個数は、任意の個数に設計され得る。DRAM3は、メモリコントローラ2に内蔵されても良い。上記実施形態で説明した動作は、メモリシステム1によって実行され得る。

[0222] 上記実施形態では、半導体記憶装置10が消去動作を実行している間に、割り込み処理として読み出し動作を実行する場合について例示したが、これに限定されない。例えば、半導体記憶装置10は、書き込み動作や読み出し

動作を実行している間に、上記実施形態で説明したように割り込み処理を実行しても良い。また、割り込み処理において実行される動作は読み出し動作に限定されず、消去動作や書き込み動作が実行されても良い。この場合に、判定回路DCに入力されるアドレスEPG及びEPPは、フォアグラウンドの動作におけるアドレス情報に対応し、判定回路DCに入力されるアドレスRPG及びRPPは、割り込み処理の動作におけるアドレス情報に対応する。

[0223] 上記実施形態では、半導体記憶装置10が消去動作中に割り込み処理が実行された場合に、コマンド“48h”を用いて消去動作を再開させる場合について例示したが、これに限定されない。例えば、半導体記憶装置10は、割り込み処理の読み出し動作により得られた読み出しデータをメモリコントローラに出力した後に、自発的に消去動作を再開しても良い。言い換えると、半導体記憶装置10は、メモリコントローラの指示に依らずに、消去動作の再開するように構成されても良い。

[0224] 上記実施形態では、プレーングループPGがペアプレーンPPを含む場合について例示したが、プレーングループPGは、ペアプレーンPPを含んでいなくても良い。この場合、プレーングループPGは、独立した複数のプレーンPLによって構成される。このような場合においても、半導体記憶装置10は、上記実施形態で説明した動作を実行することが出来、上記実施形態と同様の効果を得ることが出来る。

[0225] 上記実施形態で説明された割り込み処理における動作タイミングは、ユーザにより選択され得る。半導体記憶装置10は、これらの動作タイミングに関するパラメータを保持し、当該パラメータに基づいて動作タイミングが変更されても良い。また、割り込み処理における動作タイミングは、フォアグラウンドの動作に対応するアドレスと、割り込み処理の動作に対応するアドレスとの関係や、フォアグラウンドの動作と割り込み処理の動作とお組み合わせ等に応じて、半導体記憶装置10内で自動的に切り替えられても良い。

[0226] 上記実施形態では、1つのメモリセルトランジスタMTが2ビットデータ

を記憶する場合について例示したが、1つのメモリセルトランジスタMTは1ビットデータを記憶しても良いし、3ビット以上のデータを記憶しても良い。また、メモリセルトランジスタMTの閾値電圧の分布に対するデータの割り付けは、任意の割り付けに設定され得る。このような場合においても、半導体記憶装置10は、上記実施形態の動作を実行することが出来、同様の効果を得ることが出来る。

[0227] 上記実施形態において、説明に使用されたコマンド“x x h”及び“y y h”のそれぞれは、任意のコマンドに置き換えることが可能である。また、その他のコマンドについても、適宜他のコマンドに置き換えることが可能である。また、読み出し動作に関するコマンドがコマンド“0 0 h”から始まる場合について例示したが、コマンド“0 0 h”の前には、読み出すページのビットを指定するコマンドが追加されても良い。

[0228] 上記実施形態におけるメモリセルアレイ20は、その他の構成であっても良い。その他のメモリセルアレイ20の構成については、例えば“三次元積層不揮発性半導体メモリ”という2009年3月19日に出願された米国特許出願12/407,403号、“三次元積層不揮発性半導体メモリ”という2009年3月18日に出願された米国特許出願12/406,524号、“不揮発性半導体記憶装置及びその製造方法”という2010年3月25日に提出された米国特許出願12/679,991号、“半導体メモリ及びその製造方法”という2009年3月23日に提出された米国特許出願12/532,030号にそれぞれ記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

[0229] 上記実施形態では、メモリセルアレイ20に設けられたメモリセルトランジスタMTが三次元に積層された構造である場合を例に説明したが、これに限定されない。例えば、メモリセルアレイ20の構成は、メモリセルトランジスタMTが二次元に配置された平面NANDフラッシュメモリであっても良い。このような場合においても、上記実施形態は実現することが可能であり、同様の効果を得ることが出来る。

- [0230] 上記実施形態において、ブロック B L K は消去単位でなくとも良い。その他の消去動作については、“不揮発性半導体記憶装置”という 2011 年 9 月 18 日に出願された米国特許出願 13/235,389 号、“不揮発性半導体記憶装置”という 2010 年 1 月 27 日に出願された米国特許出願 12/694,690 号にそれぞれ記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。
- [0231] 本明細書において、“コマンドセット”とは、ある動作に対応するコマンド及びアドレス情報のグループのことを示している。半導体記憶装置 10 は、メモリコントローラからコマンドセットを受信すると、当該コマンドセットに基づいて動作を開始する。
- [0232] 本明細書において“接続”とは、電氣的に接続されている事を示し、例えば間に別の素子を介することを除外しない。また、本明細書において“オフ状態”とは、対応するトランジスタのゲートに当該トランジスタの閾値電圧未満の電圧が印加されていることを示し、例えばトランジスタのリーク電流のような微少な電流が流れることを除外しない。
- [0233] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。