

半导体静电保护器件

相关申请交叉引用

本申请要求 2020 年 08 月 06 日递交的、标题为“半导体静电保护器件”、申请号为 2020107808895 的中国申请，其公开内容通过引用全部结合在本申请中。

技术领域

本发明涉及一种半导体静电保护器件。

背景技术

随着半导体制程越来越先进，半导体器件越来越小，结深越来越浅，氧化层也越来越薄，静电保护器件的可靠性面临的挑战越来越大。

发明内容

根据多个实施例，本申请提供一种半导体静电保护器件，包括：

衬底，所述衬底内形成有第一导电类型的深阱区；

第一二极管，所述第一二极管的阳极接第一电压，所述第一二极管的阴极接输入/输出端；

第二二极管，所述第二二极管的阳极接所述输入/输出端，所述第二二极管的阴极接第二电压；并且

所述第一二极管和所述第二二极管均位于所述第一导电类型的深阱区内。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例中需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提

下，还可以根据这些附图获得其它的附图。

图 1 为本发明一个实施例中展示半导体静电保护器件的俯视图；

图 2 为图 1 中沿 AA' 方向的截面结构示意图；

图 3 为本发明另一个实施例中展示半导体静电保护器件的俯视图；

图 4 为本发明又一个实施例中展示的半导体静电保护器件的截面结构示意图。

附图标记：10、衬底；12、深阱区；13、保护环；14、第一导电类型的掺杂阱区；15、第二导电类型的掺杂阱区；16、浅沟槽隔离结构；20、第一二极管；201、第一掺杂区；202、第二掺杂区；21、第二二极管；211、第三掺杂区；212、第四掺杂区；22、第五掺杂区。

具体实施方式

目前，动态随机存取存储器的速度变得越来越快，这就要求 I/O 接口不仅要有可靠的静电保护能力，同时要有比较小的寄生电容，现有技术中的静电保护器件的寄生电容已经越来越难以满足要求。

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

在本发明的描述中，需要理解的是，术语“上”、“下”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方法或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。

接口电路为了在具有良好的静电保护性能的前提下，还具有较小的寄生

电容，如图 1 和图 2 所示，本发明提供了一种半导体静电保护器件，包括：衬底 10，衬底 10 内形成有第一导电类型的深阱区 12；第一二极管 20，第一二极管 20 的阳极接第一电压，第一二极管 20 的阴极接输入/输出端；第二二极管 21，第二二极管 21 的阳极接输入/输出端，第二二极管 21 的阴极接第二电压；第一二极管 20 和第二二极管 21 均位于第一导电类型的深阱区 12 内。

第一二极管 20 的阳极接第一电压，阴极接输入/输出端，第二二极管 21 的阳极接输入/输出端，阴极接第二电压，因此，当芯片位于静电环境中时，瞬时的静电电荷会通过输入/输出引脚进入芯片的接口电路，当通过输入/输出引脚进入芯片内部的静电电荷产生的电压低于第一二极管 20 与第二二极管 21 的反向击穿电压或正向导通电压时，不会对静电保护器件和芯片内部电路造成损伤；当静电电荷产生的电压超过第一二极管 20 与第二二极管 21 的正向导通电压或反向击穿电压时，从而使得第一二极管 20 和/或反向击穿或正向导通，进而将静电电荷泄放出去，避免了芯片内部的半导体器件被静电电荷所损伤。由于第一二极管 20 和第二二极管 21 均位于深阱区 12 内，第一二极管 20 与第二二极管 21 被深阱区 12 所隔离，可以避免和芯片内部其他半导体器件的相互干扰；且第一二极管与第二二极管电容较小，因此在具有良好的静电泄放性能的前提下，其寄生电容大小也能够满足动态随机存取存储器越来越高的要求。

在一个可选的实施例中，衬底 10 材料可以为硅、锗、GaAs（砷化镓）、InP（磷化铟）或 GaN（氮化镓）等，即衬底 10 可以为硅衬底、锗衬底、GaAs 衬底、InP 衬底或 GaN 衬底；本实施例中，衬底 10 可以为硅衬底。

在一个示例中，深阱区 12 可以为 N 型深阱区 12 或 P 型深阱区 12，在一个可选的实施例中，深阱区 12 为 N 型深阱区 12。

在一个可选的实施例中，深阱区 12 内形成有第五掺杂区 22，第五掺杂区 22 为第一导电类型，即与深阱区为同一导电类型，可以为 P 型重掺杂区，第五掺杂区 22 可以作为深阱区 12 的引出区。第五掺杂区 22 呈环形，第一二极管 20 和第二掺杂区 21 均位于第五掺杂区 22 形成的环内。

在一个可选的实施例中，第一电压为电源电压 V_{dd} ，第二电压为接地电压 V_{ss} 。即第一二极管 20 的阳极接电源端，阴极接输入/输出端，第二二极管 21 的阳极接输入/输出端，阴极接接地端，因此，当输入/输出端与电源端之

间发生静电时，且静电电荷产生的电压大于第一二极管 20 的反向击穿电压时，静电电荷从第一二极管 20 泄放出去；当输入/输出端与接地端之间发生静电时，且当静电电荷产生的电压大于第二二极管 21 的正向导通电压时，静电电荷从第二二极管 21 泄放出去。

在另一个可选的实施例中，第一电压为接地电压 V_{ss} ，第二电压为电源电压 V_{dd} 。即第一二极管 20 的阳极接接地端，阴极接输入/输出端，第二二极管 21 的阳极接输入/输出端，阴极接电源端，因此，当输入/输出端与电源端之间发生静电时，且静电电荷产生的电压大于第一二极管 20 的正向导通电压时，静电电荷从第一二极管 20 泄放出去；当输入/输出端与接地端之间发生静电时，且当静电电荷产生的电压大于第二二极管 21 的反向击穿电压时，静电电荷从第二二极管 21 泄放出去。

如图 2 所示，在一个可选的实施例中，第一二极管 20 中的第一掺杂区 201 均通过引线外接第一电压，第一电压例如可以是接地电压 V_{ss} ，第一二极管 20 中的第二掺杂区 202 均通过引线外接输入/输出端（图中为 I/O 端）；第二二极管 21 中的第四掺杂区 212 均通过引线外接输入/输出端（图中为 I/O 端），第二二极管 21 中的第三掺杂区 211 均通过引线外接第二电压，第二电压例如可以是电源电压 V_{ss} 。同时，第一二极管 20 和第二二极管 21 外围的第五掺杂区 22 外接第二电压，第五掺杂区 22 外围的保护环 13 外接第一电压。

在一个可选的实施例中，衬底 10 内还包括第一导电类型的掺杂阱区 14 和第二导电类型的掺杂阱区 15，第一导电类型的掺杂阱区 14 和第二导电类型的掺杂阱区 15 均位于深阱区 12 内，第一二极管 20 位于第一导电类型的掺杂区，第二二极管 21 位于第二导电类型的掺杂阱区 15。第一导电类型的掺杂阱区 14 和第二导电类型的掺杂阱区 15 均可以通过对衬底 10 进行离子注入的方式形成。第一二极管 20 包括第一导电类型的第一掺杂区 201 和第二导电类型的第二掺杂区 202，第一掺杂区 201 为第一二极管 20 的阳极，第二掺杂区 202 为第一二极管 20 的阴极；第二二极管 21 包括第二导电类型的第三掺杂区 211 和第一导电类型的第四掺杂区 212，第四掺杂区 212 为第二二极管 21 的阳极，第三掺杂区 211 为第二二极管 21 的阴极。

在一个可选的实施例中，第一导电类型为 P 型，即，第一导电类型的掺杂阱区 14 为 P 型掺杂阱区，第二导电类型为 N 型，即第二导电类型的掺杂

阱区 15 为 N 型掺杂阱区，第一二极管 20 位于 P 型掺杂阱区内，第二二极管 21 位于 N 型掺杂阱区内。第一二极管 20 包括 P 型的第一掺杂区 201 和 N 型的第二掺杂区 202，第一掺杂区 201 和第二掺杂区 202 均位于 P 型掺杂阱区内部，且第一掺杂区 201 外接第一电压，第二掺杂区 202 外接输入/输出电压；第二二极管 21 包括 N 型的第三掺杂区 211 和 P 型的第四掺杂区 212，第三掺杂区 211 和第四掺杂区 212 位于 N 型掺杂阱区的内部，且第三掺杂区 211 外接第二电压，第四掺杂区 212 外接输入/输出电压。

在一个示例中，第一二极管 20 包括的 P 型的第一掺杂区 201 和 N 型的第二掺杂区 202 的数量可以根据实际需要进行设定，第一二极管 20 包括的 P 型的第一掺杂区 201 和 N 型的第二掺杂区 202 的数量可以均为 1 个，也可以均为多个；同样，第二二极管 21 包括 N 型的第三掺杂区 211 和 P 型的第四掺杂区 212 的数量也可以为 1 个或多个；本实施例中，第一二极管 20 包括的 P 型的第一掺杂区 201 和 N 型的第二掺杂区 202 的数量可以均为多个，第二二极管 21 包括 N 型的第三掺杂区 211 和 P 型的第四掺杂区 212 的数量也可以均为多个，这样第一二极管 20 及第二二极管 21 就包括了多个并联的子二极管，从而可以提高静电保护器件的静电泄放能力。

在一个可选的实施例中，第一掺杂区 201 和第二掺杂区 202 沿第一方向间隔排布；第三掺杂区 211 和第四掺杂区 212 沿第一方向间隔排布。即，在静电保护器件包括至少一个第一二极管 20 和至少一个第二二极管 21 时，第一掺杂区 201 和第二掺杂区 202 沿着第一方向间隔排布，第三掺杂区 211 和第四掺杂区 212 沿着第一方向间隔排布。

在一个可选的实施例中，如图 1 所示，位于一个第二掺杂区 202 两侧的第一掺杂区 201 于两端相连，形成一个环绕第二掺杂区 202 的第一环形，第二掺杂区 202 位于第一环形内并与第一环形的内壁存在间距，并不与第一环形接触；位于一个第四掺杂区 212 两侧的第三掺杂区 211 于两端相连，形成环绕第四掺杂区 212 的第二环形，第四掺杂区 212 位于第二环形内并与第二环形的内壁之间存在间距，并不与第二环形接触。

在一个可选的实施例中，第一掺杂区 201 与第二掺杂区 202 之间、第一掺杂区 201 与第三掺杂区 211 之间、第三掺杂区 211 与第四掺杂区 212 之间，均设有浅沟槽隔离结构 16。即，第二掺杂区 202 与第一环形之间有浅沟槽隔

离结构 16，隔离第二掺杂区 202 与第一环形，第四掺杂区 212 与第二环形之间形成有浅沟槽隔离结构 16，隔离第四掺杂区 212 与第二环形之间。

在一个可选的实施例中，第一导电类型的掺杂阱区 14 和第二导电类型的掺杂阱区 15 相邻接，即图 2 中所示的 P 型掺杂区与 N 型掺杂区相邻接，此时靠近第二导电类型的掺杂阱区 15 的第一掺杂区 201 与靠近第一导电类型的掺杂阱区 14 的第三掺杂区 211 相互靠近，但第一掺杂区 201 与第三掺杂区 211 之间存在间距，两者之间同样形成有浅沟槽隔离结构 16，浅沟槽隔离结构 16 能够隔离第一掺杂区 201 与第三掺杂区 211。

在一个可选的实施例中，沿第二方向包括多个第二掺杂区 202，即多个第二掺杂区 202 沿第二方向间隔排布；沿第二方向包括多个第四掺杂区 212，即多个第四掺杂区 212 沿第二方向间隔排布。第二方向可以与第一方向相垂直，沿第二方向呈一行排布的多个第二掺杂区 202 均位于同一个第一环形内，沿第二方向呈一行排布的多个第四掺杂区 212 均位于同一个第二环形内，当第一环形内存在多个排列呈一行的第二掺杂区 202 时，静电电荷的泄放能够较为均匀地分摊在第一环形内的各个第二掺杂区 202 上，静电电荷泄放较为均匀；同理，当第二环形内存在多个排列呈一行的第四掺杂区 212 时，静电电荷的泄放能够较为均匀的分摊在第二环形内的各个第四掺杂区 212 上，静电电荷泄放较为均匀。

如图 3 所示，在其他可选的实施例中，第一环形内可仅存在有一呈长条状的第二掺杂区 202，第二环形内可仅存在有一呈长条状的第四掺杂区 212，在此实施例中，静电电荷的泄放较为集中，但这样的设置提高了静电保护器件的泄放能力。

在一个可选的实施例中，半导体静电保护器件，还包括：保护环 13，深阱区 12 位于保护环 13 内，保护环 13 具有第二导电类型，保护环 13 可以为 N 型，保护环 13 形成于深阱区 12 的外围，环绕深阱区 12，同时环绕第五掺杂区 22。保护环 13 能够阻止少子在保护环 13 的内外移动，从而减少保护环 13 外的半导体器件和保护环 13 内的静电保护器件之间的相互影响。

在一个可选的实施例中，第一掺杂区 201 和第二掺杂区 202 沿第一方向交替间隔排布；第三掺杂区 211 和第四掺杂区 212 沿第一方向交替间隔排布。即，在半导体静电保护器件包括至少两个第一二极管 20 和至少两个第二二极

管 21 时, 第一掺杂区 201 和第二掺杂区 202 沿着第一方向交替间隔排布, 从而形成串接的若干第一二极管 20, 第三掺杂区 211 和第四掺杂区 212 沿着第一方向交替间隔排布, 从而形成串接的若干第二二极管 21。

在一个可选的实施例中, 第一掺杂区 201 围成多个第一环形, 第二掺杂区 202 位于第一环形内; 第三掺杂区 211 围成多个第二环形, 第四掺杂区 212 位于第二环形内。

如图 4 所示, 在一个可选的实施例中, 第一二极管 20 的数量为至少两个, 且依次串接, 可以为 2 个、3 个或更多个; 第二二极管 21 的数量为至少两个, 且依次串接, 可以为 2 个、3 个或更多个, 但上述数值仅为具体实施例中的示例, 第一二极管 20 的数量和第二二极管 21 的数量不以上述数值为限制。以第一二极管 20 为例, 若半导体静电保护器件内包含两个第一二极管 20, 则两个第一二极管 20 串联于第一电压和输入/输出电压之间, 因此导通或反向击穿两个第一二极管 20 的静电电荷产生的电压为两个第一二极管 20 导通电压或反向击穿之和, 第二二极管 21 同理。通过改变第一二极管 20 和第二二极管 21 的数量, 第一二极管 20 的阳极及第二二极管 21 的阴极所接电压可以互换, 这时第一二极管 20 及第二二极管 21 二者中反接的一个在正常工作是不会被导通, 只有静电电荷产生的电压大于反接的所有二极管的导通电压之和才会导通, 这使得本发明的静电保护器件能够将静电电荷产生的电压钳位至多个第一二极管 20 的导通电压之和。

在一个可选的实施例中, 如图 4 所示, 位于第一导电类型的掺杂阱区 14 最左端的第一二极管 20 中的第一掺杂区 201 均外接第一电压, 例如第一电压为 V_{ss} , 其第二掺杂区 202 均通过引线与第一导电类型的掺杂阱区 14 右端第一二极管 20 内的第一掺杂区 201 电连接; 第一导电类型的掺杂阱区 14 右端第一二极管 20 内的第二掺杂区 202 则通过引线与输入/输出端 I/O 电连接。位于第二导电类型的掺杂阱区 15 左端的第二二极管 21 内的第四掺杂区 212 均通过引线与输入/输出端 I/O 电连接, 其第三掺杂区 211 均与位于第二掺杂区 15 右端的第二二极管 21 内的第四掺杂区 212 电连接; 位于第二掺杂区 15 右端的第二二极管 21 内的第三掺杂区 211 均通过引线外接第二电压, 例如第二电压为 V_{dd} 。同时, 保护环 13 外接第一电压 V_{ss} , 第五掺杂区 22 外接第二电压 V_{dd} 。

通过上述技术方案，当芯片暴露于静电环境时，若进入芯片输入/输出管脚的静电电荷产生的电压超过了第一二极管 20 和/或第二二极管 21 的反向击穿电压或正向导通电压，静电电荷会通过第一二极管 20 和/或第二二极管 21 泄放出去，避免了芯片的内部电路被静电电荷所损伤，同时由于第一二极管 20 和第二二极管 21 均位于深阱区 12 内部，因此第一二极管 20 与第二二极管 21 被深阱区 12 所隔离，可以避免对芯片内部电路的干扰，且第一二极管 20 与第二二极管 21 的寄生电容较小，能够满足动态随机存取存储器对输入/输出管脚越来越高的要求。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明的保护范围应以所附权利要求为准。