

明 細 書

発明の名称：半導体記憶装置及び半導体記憶装置の製造方法

技術分野

[0001] 実施形態は、半導体記憶装置及び半導体記憶装置の製造方法に関する。

背景技術

[0002] データを不揮発に記憶することが可能な半導体記憶装置として、NANDフラッシュメモリが知られている。このNANDフラッシュメモリのメモリ構造内には、例えば、データが読み出されるビット線に直列接続された複数のメモリセルを含むメモリセル群（NANDストリング）が配置される。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第7372730号明細書

発明の概要

発明が解決しようとする課題

[0004] メモリセルアレイの製造負荷の増加を抑制する。

課題を解決するための手段

[0005] 実施形態の半導体記憶装置は、第1ビット線と、キャパシタと、上記第1ビット線と上記キャパシタの間に直列接続された第1メモリセルトランジスタ及び第2メモリセルトランジスタと、を備える。

図面の簡単な説明

[0006] [図1]実施形態に係る半導体記憶装置を含むメモリシステムの構成を説明するためのブロック図。

[図2]実施形態に係る半導体記憶装置のメモリセルアレイの構成を説明するための回路図。

[図3]実施形態に係る半導体記憶装置のメモリセルアレイの平面レイアウトを説明するための平面図。

[図4]図3のⅠⅤ－ⅠⅤ線に沿ったメモリセルアレイの断面図。

[図5]図4のⅤ－Ⅴ線に沿ったメモリセルトランジスタの断面図。

[図6]図4のⅤⅠ－ⅤⅠ線に沿ったキャパシタの断面図。

[図7]図3のⅤⅠⅠ－ⅤⅠⅠ線に沿ったメモリセルアレイの断面図。

[図8]実施形態に係る半導体記憶装置のセンスアンプモジュールの構成を説明するための回路図。

[図9]実施形態に係る半導体記憶装置における読出し動作を説明するためのタイミングチャート。

[図10]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図11]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図12]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図13]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図14]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図15]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図16]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図17]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図18]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図19]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図20]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図21]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図22]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図23]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図24]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図25]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図26]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図27]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

[図28]実施形態に係る半導体記憶装置の製造工程を説明するためのメモリセルアレイの断面図。

発明を実施するための形態

[0007] 以下に、実施形態について図面を参照して説明する。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は模式的又は概念的なものであり、各図面の寸法及び比率等は必ずしも現実のものと同じとは限らない。本発明の技術思想は、構成要素の形状、構造、配置等によって特定されるものではない。

[0008] 尚、以下の説明において、略同一の機能及び構成を有する構成要素については、文字又は数字を含む同一の参照符号が付される。なお、同一の参照符号によって参照され、且つ同様の構成を有する要素同士を相互に区別する場合、当該参照符号の後に、更なる文字又は数字が付される場合がある。

[0009] 1. 実施形態

実施形態に係る半導体記憶装置について説明する。

[0010] 1. 1 構成

まず、実施形態に係る半導体記憶装置の構成について説明する。

[0011] 1. 1. 1 半導体記憶装置

図1は、実施形態に係る半導体記憶装置を含むメモリシステムの構成を説明するためのブロック図である。半導体記憶装置1は、データを不揮発に記憶することが可能なNAND型フラッシュメモリであり、外部のメモリコントローラ2によって制御される。半導体記憶装置1とメモリコントローラ2との間の通信は、例えばNANDインタフェース規格をサポートしている。

[0012] 図1に示すように、半導体記憶装置1は、例えばメモリセルアレイ10、コマンドレジスタ11、アドレスレジスタ12、シーケンサ13、ドライバモジュール14、ロウデコーダモジュール15、及びセンスアンプモジュール16を備える。

[0013] メモリセルアレイ10は、複数のブロックBLK0～BLKn（nは1以上の整数）を含む。ブロックBLKは、データを不揮発に記憶することが可能な複数のメモリセルの集合であり、例えばデータの消去単位として使用される。また、メモリセルアレイ10には、複数のビット線及び複数のワード線が設けられる。各メモリセルは、例えば1本のビット線と1本のワード線とに関連付けられる。メモリセルアレイ10の詳細な構成については後述する。

[0014] コマンドレジスタ11は、半導体記憶装置1がメモリコントローラ2から受信したコマンドCMDを保持する。コマンドCMDは、例えばシーケンサ13に読出し動作、書込み動作、消去動作等を実行させる命令を含む。

[0015] アドレスレジスタ12は、半導体記憶装置1がメモリコントローラ2から受信したアドレス情報ADDを保持する。アドレス情報ADDは、例えばブロックアドレスBA、ページアドレスPA、及びカラムアドレスCAを含む。例えば、ブロックアドレスBA、ページアドレスPA、及びカラムアドレ

スC Aは、それぞれブロックB L K、ワード線、及びビット線の選択に使用される。

- [0016] シーケンサ1 3は、半導体記憶装置1全体の動作を制御する。例えば、シーケンサ1 3は、コマンドレジスタ1 1に保持されたコマンドC M Dに基づいてドライバモジュール1 4、ロウデコーダモジュール1 5、及びセンスアンプモジュール1 6等を制御して、読出し動作、書込み動作、消去動作等を実行する。
- [0017] ドライバモジュール1 4は、読出し動作、書込み動作、消去動作等で使用される電圧を生成する。そして、ドライバモジュール1 4は、例えばアドレスレジスタ1 2に保持されたページアドレスP Aに基づいて、選択されたワード線に対応する信号線に生成した電圧を印加する。
- [0018] ロウデコーダモジュール1 5は、アドレスレジスタ1 2に保持されたブロックアドレスB Aに基づいて、対応するメモリセルアレイ1 0内の1つのブロックB L Kを選択する。そして、ロウデコーダモジュール1 5は、例えば選択されたワード線に対応する信号線に印加された電圧を、選択されたブロックB L K内の選択されたワード線に転送する。
- [0019] センスアンプモジュール1 6は、書込み動作において、メモリコントローラ2から受信した書込みデータD A Tに応じて、各ビット線に所望の電圧を印加する。また、センスアンプモジュール1 6は、読出し動作において、ビット線の電圧に基づいてメモリセルに記憶されたデータを判定し、判定結果を読出しデータD A Tとしてメモリコントローラ2に転送する。
- [0020] 以上で説明した半導体記憶装置1及びメモリコントローラ2は、それらの組み合わせにより1つの半導体装置として構成しても良い。このような半導体装置としては、例えばS DTMカードのようなメモリカードや、S S D (solid state drive) 等が挙げられる。
- [0021] 1. 1. 2 メモリセルアレイの回路構成

図2は、実施形態に係る半導体記憶装置のメモリセルアレイの構成を説明するための回路図である。図2では、メモリセルアレイ1 0に含まれる複数

のブロック B L K のうち 1 つのブロック B L K が示される。

[0022] 図 2 に示すように、ブロック B L K は、例えば 4 つのストリングユニット S U 0 ~ S U 3 を含んでいる。各ストリングユニット S U は、ビット線 B L 1、B L 2、…、B L (2 m - 1)、及び B L (2 m) (m は 1 以上の整数) にそれぞれ関連付けられた複数の N A N D ストリング N S を含む。以下の説明では、ビット線 B L (2 k - 1) 及び B L (2 k) (1 ≤ k ≤ m) はそれぞれ、ビット線 B L k o、B L k e とともに称し、必要に応じて互いに区別する。また、ビット線 B L 1 o ~ B L m o は、特に区別しない場合にはビット線 B L o とともに称し、ビット線 B L 1 e ~ B L m e は、特に区別しない場合にはビット線 B L e とともに称する。

[0023] 各 N A N D ストリング N S は、例えばメモリセルトランジスタ M T 0 ~ M T 1 5、選択トランジスタ S T、及びキャパシタ C A P を含んでいる。メモリセルトランジスタ M T は、制御ゲート及び電荷蓄積膜を含み、データを不揮発に保持する。選択トランジスタ S T は、各種動作時におけるストリングユニット S U の選択に使用される。キャパシタ C A P は、N A N D ストリング N S 内に流れる電流を遮断し、例えば読出し動作において、ビット線 B L との間で電荷をシェアする。

[0024] 各 N A N D ストリング N S において、メモリセルトランジスタ M T 0 ~ M T 1 5 は、直列接続される。選択トランジスタ S T のドレインは、関連付けられたビット線 B L に接続され、選択トランジスタ S T のソースは、直列接続されたメモリセルトランジスタ M T 0 ~ M T 1 5 の第 1 端に接続される。キャパシタ C A P の第 1 端は、直列接続されたメモリセルトランジスタ M T 0 ~ M T 1 5 の第 2 端に接続される。キャパシタ C A P の第 2 端は、ソース線 S L に接続される。ソース線 S L は、例えば、図示しないソース線ドライバに接続されることにより、所定の電圧（例えば、接地電圧）に制御可能に構成されていてもよい。また、ソース線 S L は、ソース線ドライバ等による電圧制御を受けることなく、フローティング状態となってもよい。

[0025] 同一のブロック B L K において、メモリセルトランジスタ M T 0 ~ M T 1

5の制御ゲートは、それぞれワード線WL0～WL15に共通接続される。ストリングユニットSU0～SU3内の選択トランジスタSTのゲートは、それぞれ選択ゲート線SGD0～SGD3に共通接続される。

[0026] 以上で説明したメモリセルアレイ10の回路構成において、ビット線BLは、各ストリングユニットSUで同一のカラムアドレスが割り当てられたNANDストリングNSによって共有される。ソース線SLは、例えば複数のブロックBLK間で共有される。

[0027] 1つのストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えばセルユニットCUと称される。例えば、それぞれが1ビットデータを記憶するメモリセルトランジスタMTを含むセルユニットCUの記憶容量が、「1ページデータ」として定義される。セルユニットCUは、メモリセルトランジスタMTが記憶するデータのビット数に応じて、2ページデータ以上の記憶容量を有し得る。

[0028] なお、本実施形態に係る半導体記憶装置1が備えるメモリセルアレイ10の回路構成は、以上で説明した構成に限定されない。例えば、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタSTの個数は、任意の個数に設計され得る。各ブロックBLKが含むストリングユニットSUの個数は、任意の個数に設計され得る。

[0029] 1. 1. 3 メモリセルアレイの構造

次に、実施形態に係る半導体記憶装置のメモリセルアレイの構造の一例について説明する。

[0030] なお、以下で参照される図面において、X軸はワード線WLの延伸方向に対応し、Y軸はビット線BLの延伸方向に対応し、Z軸は半導体記憶装置1が形成される半導体基板の表面に対する鉛直方向に対応している。平面図には、図を見易くするためにハッチングが適宜付加されている。平面図に付加されたハッチングは、ハッチングが付加された構成要素の素材や特性とは必ずしも関連していない。断面図では、図を見易くするために絶縁層（層間絶縁膜）、配線、コンタクト等の構成要素が適宜省略されている。

- [0031] 図3は、実施形態に係る半導体記憶装置のメモリセルアレイの平面レイアウトを説明するための平面図である。図3では、一例として、或るブロックBLK内のストリングユニットSU0～SU3に対応する構造体を含む領域の一部が示される。
- [0032] 図3に示すように、メモリセルアレイ10は、例えばスリットSLT及びSHE、メモリピラーMP、コンタクトCP（CPo及びCPe）、並びにビット線BL（BLo及びBLE）を含む。
- [0033] 複数のスリットSLTは、それぞれがX方向に延伸し、Y方向に並ぶ。複数のスリットSHEは、それぞれがX方向に延伸し、隣り合うスリットSLT間においてY方向に並ぶ。スリットSLTの幅は、例えばスリットSHEの幅よりも広い。スリットSLT及びSHEのそれぞれは、絶縁体を含む。スリットSLTは、例えばワード線WLに対応する配線層と、選択ゲート線SGDに対応する配線層とのそれぞれを分断する。スリットSHEは、選択ゲート線SGDに対応する配線層を分断する。
- [0034] スリットSLT及びSHEによって区切られた領域が、1つのストリングユニットSUに対応する。具体的には、例えばY方向に隣り合うスリットSLT間に、ストリングユニットSU0～SU3が設けられる。そして、スリットSLT間に配列する3つのスリットSHEによって区切られた4つの領域が、それぞれストリングユニットSU0～SU3に対応する。また、複数のメモリピラーMPは、隣り合うスリットSLT間の領域において、例えばY方向に沿って16列の千鳥状に配置される。図3の例では、複数のメモリピラーMPは、1つのストリングユニットSU内において、Y方向に沿って4列の千鳥状に配置される。メモリセルアレイ10には、例えば同様のレイアウトがY方向に繰り返し配置される。
- [0035] 複数のビット線BLは、それぞれがY方向に延伸し、X方向に沿ってビット線BLoとビット線BLEとが交互に並ぶ。1本のビット線BLEと1本のビット線BLoとの組は、平面視において、ストリングユニットSU毎に共通する2つのメモリピラーMPと重なるように配置される。ビット線BL

○は、ストリングユニットSU毎に、平面視において重なる2つのメモリピラーMPのうち的一方と、コンタクトC P ○を介して接続される。ビット線B L eは、ストリングユニットSU毎に、平面視において重なる2つのメモリピラーMPのうちの他方と、コンタクトC P eを介して接続される。メモリピラーMP内に構成される導電経路は、コンタクトC P を介して、対応するビット線B L と電氣的に接続される。

[0036] なお、以上で説明したメモリセルアレイ10の平面レイアウトはあくまで一例であり、これに限定されない。例えば、隣り合うスリットS L T間に配置されるスリットS H Eの数は、任意の数に設計され得る。隣り合うスリットS L T間のストリングユニットSUの個数は、スリットS H Eの数に基づいて変化する。メモリピラーMPの個数及び配置は、任意の個数及び配置に設計され得る。各メモリピラーMPと重なるビット線B Lの本数は、任意の本数に設計され得る。

[0037] 図4は、図3のI V—I V線に沿った断面図であり、メモリセルアレイ10の断面構造の一例を示している。図4に示すように、メモリセルアレイ10は、半導体基板20の上方において、導電体層21～25を含む。

[0038] 具体的には、半導体基板20の上方に、絶縁体層（図示せず）と導電体層21とが交互に積層された積層体が設けられる。例えば、複数の導電体層21は、半導体基板20側から順にワード線W L 0～W L 7として使用される。

[0039] 最上層の導電体層21の上方に、絶縁体層（図示せず）と導電体層22とが交互に積層された積層体が設けられる。例えば、複数の導電体層22は、半導体基板20側から順にワード線W L 8～W L 15として使用される。

[0040] 最上層の導電体層21と最下層の導電体層22とのZ方向における間隔は、隣り合う2つの導電体層21間、及び隣り合う2つの導電体層22間、のZ方向における間隔よりも大きくなり得る。言い換えると、最上層の導電体層21と最下層の導電体層22との間の絶縁体層は、隣り合う2つの導電体層21間の絶縁体層、及び隣り合う2つの導電体層22間の絶縁体層、より

もZ方向に沿って厚い。

[0041] 最上層の導電体層22の上方に、絶縁体層（図示せず）を介して導電体層23が設けられる。導電体層23は、選択ゲート線SGDとして使用される。

[0042] 導電体層21～23は、例えばXY平面に沿って広がった板状に形成され、タングステン（W）を含む。

[0043] 導電体層23の上方に、絶縁体層（図示せず）を介して導電体層25が設けられる。例えば導電体層25は、Y方向に延伸し、X方向に複数本がライン状に並び、それぞれがビット線BLとして使用される。導電体層25は、例えば銅（Cu）を含む。

[0044] メモリピラーMPは、Z方向に延伸して設けられ、導電体層21～23を通過し、底部が半導体基板20の上面より下方に達する。メモリピラーMPは、下部ピラーLMPと、下部ピラーLMPの上方に形成される上部ピラーUMPと、下部ピラーLMPと上部ピラーUMPとの間を接続するジョイント部JTと、半導体基板20内に形成されて下部ピラーLMPと接続される下端部BTMと、を含む。

[0045] ジョイント部JTは、メモリピラーMPのうち、最上層の導電体層21と最下層の導電体層22との間の部分に形成される。下部ピラーLMPの上端は、最上層の導電体層21の上面より上方において、ジョイント部JTの下端と接触し、上部ピラーUMPの下端は、最下層の導電体層22の下面より下方において、ジョイント部JTの上端と接触する。ジョイント部JTは、例えば、下部ピラーLMPにおける径の最大値、及び上部ピラーUMPにおける径の最大値よりも大きい径となる部分を有し得る。

[0046] 下端部BTMの底面及び側面は、半導体基板20内に形成されたn⁺型不純物拡散領域35に覆われる。下端部BTMの上端は、半導体基板20の上面に達し、下部ピラーLMPの下端と接触する。下端部BTMの上端における径は、例えば、下部ピラーLMPの下端における径よりも大きい。

[0047] メモリピラーMPは、例えばコア部材30、半導体膜31、積層膜32、

n⁺型不純物拡散領域 33、絶縁膜 34、n⁺型不純物拡散領域 35、及び半導体部 36を含む。コア部材 30、半導体膜 31、及び積層膜 32の各々は、下端部BTM、下部ピラーLMP、ジョイント部JT、及び上部ピラーUMP内において、連続膜として形成される。絶縁膜 34は、下端部BTM内において、連続膜として形成される。

[0048] 具体的には、コア部材 30は、メモリピラーMPのほぼ中心に設けられ、Z軸に沿って延伸する。コア部材 30の上端は、例えば導電体層 23よりも上方に位置し、下端は、例えば最下層の導電体層 21の下方に位置する。コア部材 30は、例えば酸化シリコン (SiO₂) 等の絶縁体を含む。

[0049] 半導体膜 31は、コア部材 30の底面及び側面を覆う。半導体膜 31の下端は、半導体基板 20の上面よりも下方に位置し、半導体膜 31の上端は、導電体層 23よりも上層に位置する。半導体膜 31は、下部ピラーLMP、ジョイント部JT、及び上部ピラーUMPにおいて、コア部材 30の側面をZ軸に沿って囲むように形成される円筒状の部分と、下端部BTMにおいて、n⁺型不純物拡散領域 33とn⁺型不純物拡散領域 35との間に形成される円筒状の部分と、を含む。半導体膜 31は、例えばポリシリコンを含む。

[0050] 積層膜 32は、半導体膜 31の底面及び側面を覆う。積層膜 32の構成の詳細については、後述する。

[0051] 絶縁膜 34は、下端部BTMにおいて、積層膜 32の底面及び側面を覆い、例えば、酸化シリコンを含む。積層膜 32及び絶縁膜 34は、下端部BTMにおいて、半導体膜 31とn⁺型不純物拡散領域 33との間、及び半導体膜 31とn⁺型不純物拡散領域 35との間に設けられる。

[0052] n⁺型不純物拡散領域 33及び35は、例えばリン (P) 等のn型不純物を含む半導体であり、半導体基板 20と絶縁膜 34との間に設けられる。

[0053] n⁺型不純物拡散領域 35は、半導体膜 31の下端よりも上方に位置する部分 35Aと、半導体膜 31の下端よりも下方に位置する部分 35Bと、を含む。n⁺型不純物拡散領域 35の部分 35Aは、n⁺型不純物拡散領域 33よりもメモリピラーMPの中心から離れた位置に設けられる。

- [0054] n^+ 型不純物拡散領域 33 は、半導体膜 31 の下端よりも上方に位置し、かつメモリピラー MP のほぼ中心に設けられる。また、 n^+ 型不純物拡散領域 33 は、 n^+ 型不純物拡散領域 35 の部分 35B と接触し、かつ部分 35A と離れた位置に設けられる。
- [0055] 半導体部 36 は、コア部材 30 の上面を覆い、コア部材 30 の上方の半導体膜 31 の内壁部分に接触する。半導体部 36 は、例えば円柱状であり、上部ピラー UMP の上端に達する。
- [0056] メモリピラー MP 内の半導体膜 31、及び半導体部 36 の上面には、柱状のコンタクト CP として機能する導電体層 24 が設けられる。導電体層 24 は、例えば、タングステン (W) を含む。図 3 の断面図においては、2 本のメモリピラー MP のうち、1 つのメモリピラー MP に対応するコンタクト CP が示される。コンタクト CP が図示されていない残りの 1 つのメモリピラー MP は、図 3 の紙面奥行き側又は手前側の断面においてコンタクト CP が設けられる。各コンタクト CP の上面は、対応する 1 つの導電体層 25 (ビット線 BL) が接触し、電氣的に接続されている。
- [0057] 絶縁体層 37 は、例えば XZ 平面に沿って板状に形成され、導電体層 21 ~ 23 を Y 軸に沿って分断するスリット SLT として機能する。絶縁体層 37 により、導電体層 21 ~ 23 は、例えばブロック BLK 毎に分断される。絶縁体層 37 の上端は、導電体層 23 と導電体層 25 との間に位置し、絶縁体層 37 の下端は、例えば最下層の導電体層 21 の下方に位置する。絶縁体層 37 は、例えば酸化シリコン (SiO_2) 等の絶縁体を含む。
- [0058] 絶縁体層 38 は、例えば XZ 平面に沿って板状に形成され、導電体層 23 を Y 方向に沿って分断するスリット SHE として機能する。絶縁体層 38 により、導電体層 23 は、例えばストリングユニット SU 毎に分断される。絶縁体層 38 の上端は、導電体層 23 と導電体層 25 との間に位置し、絶縁体層 38 の下端は、例えば導電体層 23 と最上層の導電体層 22 との間に位置する。絶縁体層 38 は、例えば酸化シリコン (SiO_2) 等の絶縁体を含む。
- [0059] 次に、下部ピラー LMP 及び上部ピラー UMP の XY 平面に沿った断面構

造について図5を用いて参照して説明する。

[0060] 図5は、図4のV-V線に沿った断面図であり、下部ピラーLMPの断面構造の一例を示している。なお、上部ピラーUMPの断面構造は、下部ピラーLMPの断面構造と同等であるため、説明を省略する。

[0061] 図5に示すように、下部ピラーLMPの中心部にコア部材30が設けられ、半導体膜31がコア部材30の側面を囲み、積層膜32が半導体膜31の側面を囲む。積層膜32は、例えば、トンネル絶縁膜32a、電荷蓄積膜32b、及びブロック絶縁膜32cを含む。

[0062] トンネル絶縁膜32aは、半導体膜31の側面を囲み、電荷蓄積膜32bは、トンネル絶縁膜32aの側面を囲み、ブロック絶縁膜32cは、電荷蓄積膜32bの側面を囲む。導電体層21は、ブロック絶縁膜32cの側面を囲む。トンネル絶縁膜32a及びブロック絶縁膜32cのそれぞれは、例えば、酸化シリコンを含み、電荷蓄積膜32bは、例えば、窒化シリコン(SiN)を含む。

[0063] 以上のように構成されることにより、下部ピラーLMPのうち導電体層21と交差する部分は、メモリセルトランジスタMT0~MT7として機能することができる。また、上部ピラーUMPにおいても同様に、上部ピラーUMPのうち導電体層22と交差する部分は、メモリセルトランジスタMT8~MT15として機能することができ、導電体層23と交差する部分は、選択トランジスタSTとして機能することができる。つまり、半導体膜31は、下部ピラーLMP及び上部ピラーUMPにおいて、メモリセルトランジスタMT及び選択トランジスタSTのそれぞれのチャネルとして使用される。

[0064] 次に、下端部BTMのXY平面に沿った断面構造について図6を参照して説明する。

[0065] 図6は、図4のV'-V'線に沿った断面図であり、下端部BTMの断面構造の一例を示している。

[0066] 図6に示すように、下端部BTMの中心部にn+型不純物拡散領域33が設けられる。n+型不純物拡散領域33の周囲には、下端部BTMの中心部

から外側に向けて、絶縁膜34、ブロック絶縁膜32c、電荷蓄積膜32b、トンネル絶縁膜32a、半導体膜31、トンネル絶縁膜32a、電荷蓄積膜32b、ブロック絶縁膜32c、及び絶縁膜34の順に、n+型不純物拡散領域33を囲む積層膜が形成される。

[0067] n+型不純物拡散領域35は、当該積層膜の外周に相当する絶縁膜34の側面を囲む。半導体基板20は、n+型不純物拡散領域35の側面を囲む。

[0068] 以上のように構成されることにより、下端部BTM内のn+型不純物拡散領域35は、キャパシタCAPとして機能することができる。具体的には、半導体膜31のうち、n+型不純物拡散領域33とn+型不純物拡散領域35との間の部分は、キャパシタCAPの第1端に相当する電極として使用される。n+型不純物拡散領域33及び35は、キャパシタCAPの第2端に相当する電極として使用される。積層膜32及び絶縁膜34は、キャパシタCAPの2つの電極間に位置する誘電体として使用される。

[0069] 次に、ビット線BL_o及びコンタクトCP_oの構成、並びにビット線BL_e及びコンタクトCP_eの構造について、図7を参照して説明する。

[0070] 図7の左部に示す図7(A)は、図3のV₁₁A-V₁₁A線に沿ったメモリセルアレイ10の断面図であり、コンタクトCP_o及びビット線BL_oのXZ断面を含む。図7の右部に示す図7(B)は、図3のV₁₁B-V₁₁B線に沿ったメモリセルアレイ10の断面図であり、コンタクトCP_e及びビット線BL_eのXZ断面を含む。

[0071] 図7(A)に示すように、コンタクトCP_oとして機能する導電体層24_oは、例えば、対応するメモリピラーMPの上面のうち、メモリピラーMPの中心軸に対して紙面左側の部分に接触する。ビット線BL_oとして機能する導電体層25_oは、導電体層24_oの上面上に設けられ、Y方向に延びる。一方、図7(B)に示すように、コンタクトCP_eとして機能する導電体層24_eは、対応するメモリピラーMPの上面のうち、メモリピラーMPの中心軸に対して紙面右側の部分に接触する。ビット線BL_eとして機能する導電体層25_eは、導電体層24_eの上面上に設けられ、Y方向に延びる。

このため、図7（A）のメモリピラーMP及び図7（B）のメモリピラーMPがY方向に並ぶ場合においても、導電体層24oと導電体層24eとの干渉を避けることができる。

[0072] また、導電体層24oと導電体層24eとは、互いに異なる高さとなるように設けられる。図7の例では、導電体層24oのZ軸に沿った長さは、導電体層24eのZ軸に沿った長さよりも長い。これにより、導電体層24oと導電体層24eとの長さの差に応じて、導電体層25oと導電体層25eとの間の距離を離すことができる。このため、導電体層24oのZ軸に沿った長さと導電体層24eのZ軸に沿った長さが同等の場合よりも、導電体層25oと導電体層25eとの間に生じる寄生容量の値を小さくすることができる。

[0073] なお、以上で説明したメモリセルアレイ10の構造はあくまで一例であり、メモリセルアレイ10はその他の構造を有していても良い。例えば、導電体層23及び24の個数は、ワード線WLの本数に基づいて設計される。選択ゲート線SGDにはそれぞれ、複数層に設けられた複数の導電体層23が割り当てられても良い。メモリピラーMPと導電体層25との間は、2つ以上のコンタクトを介して電氣的に接続されても良いし、その他の配線を介して電氣的に接続されても良い。スリットSLT内は、複数種類の絶縁体により構成されても良い。

[0074] 1. 1. 4 センスアンプモジュールの構成

次に、実施形態に係る半導体記憶装置のセンスアンプモジュールの構成について、図8に示す回路図を参照して説明する。図8では、図2に示したメモリセルアレイ10内の或るブロックBLKのストリングユニットSU0と、当該ストリングユニットSU0にビット線BL1o～BLmeを介して接続されるセンスアンプモジュール16と、が示される。

[0075] 図8に示すように、センスアンプモジュール16は、セクタモジュール161、イコライザモジュール162、及びアンプモジュール163を含む。セクタモジュール161、イコライザモジュール162、及びアンプモ

ジュール163の各々は、1本のビット線BL_o及び1本のビット線BL_eの組に対応するm個のサブモジュールを含む。すなわち、セクタモジュール161は、m個のセクタサブモジュールSEL (SEL1～SELm)を含む。イコライザモジュール162は、m個のイコライザサブモジュールEQ (EQ1～EQm)を含む。アンプモジュール163は、m個のアンプサブモジュールSA (SA1～SAm)を含む。

- [0076] 3つのモジュールの各々における各サブモジュールの構成は同等である。このため、以下の説明では、ビット線BL_{1o}及びBL_{1e}の組に対応するセクタサブモジュールSEL1、イコライザサブモジュールEQ1、及びアンプサブモジュールSA1の構成について説明する。
- [0077] セクタサブモジュールSEL1は、トランジスタTr1及びTr2を含む。トランジスタTr1及びTr2は、例えば、n型トランジスタである。
- [0078] トランジスタTr1は、ノードN1_oに接続された第1端と、ノードN2_oに接続された第2端と、信号BSEL_oが供給されるゲートと、を含む。トランジスタTr2は、ノードN1_eに接続された第1端と、ノードN2_eに接続された第2端と、信号BSEL_eが供給されるゲートと、を含む。
- [0079] イコライザサブモジュールEQ1は、トランジスタTr3、Tr4、及びTr5を含む。トランジスタTr3～Tr5は、例えば、n型トランジスタである。
- [0080] トランジスタTr3は、ノードN2_oに接続された第1端と、電圧VDD/2が供給される第2端と、信号EQLが供給されるゲートと、を含む。トランジスタTr4は、ノードN2_eに接続された第1端と、電圧VDD/2が供給される第2端と、信号EQLが供給されるゲートと、を含む。トランジスタTr5は、ノードN2_oに接続された第1端と、ノードN2_eに接続された第2端と、信号EQLが供給されるゲートと、を含む。電圧VDDは電源電圧である。
- [0081] アンプサブモジュールSA1は、トランジスタTr6、Tr7、Tr8、及びTr9を含む。トランジスタTr6及びTr7は、例えば、n型トラン

ジスタであり、トランジスタ T_{r8} 及び T_{r9} は、例えば、 p 型トランジスタである。

[0082] トランジスタ T_{r6} は、ノード N_{2o} に接続された第 1 端と、信号 S_{AN} が供給される第 2 端と、ノード N_{2e} に接続されたゲートと、を含む。トランジスタ T_{r7} は、ノード N_{2e} に接続された第 1 端と、信号 S_{AN} が供給される第 2 端と、ノード N_{2o} に接続されたゲートと、を含む。

[0083] トランジスタ T_{r8} は、ノード N_{2o} に接続された第 1 端と、信号 S_{AP} が供給される第 2 端と、ノード N_{2e} に接続されたゲートと、を含む。トランジスタ T_{r9} は、ノード N_{2e} に接続された第 1 端と、信号 S_{AP} が供給される第 2 端と、ノード N_{2o} に接続されたゲートと、を含む。信号 S_{AP} 及び S_{AN} は、例えば、互いに反転した信号が供給され得る。

[0084] 以上のように構成されることにより、後述する読出し動作によって、対応するビット線 BL を介してメモリセルアレイ 10 からデータを読み出すことができる。

[0085] 1. 2 読出し動作

次に、実施形態に係る半導体記憶装置における読出し動作について、図 9 に示すタイミングチャートを参照して説明する。図 9 では、一例として、ビット線 BL_o に接続されたメモリセルトランジスタ MT_o 、及びビット線 BL_e に接続されたメモリセルトランジスタ MT_e から、互いに異なる期間でデータが読み出される場合が示される。

[0086] 図 9 に示すように、時刻 t_1 に至るまで、ビット線 BL_e には電圧 V_{SS} が供給され、ビット線 BL_o には電圧 V_{DD} が供給される。電圧 V_{SS} は、接地電圧であり、例えば、電圧 V_{DD} 及び $V_{DD}/2$ より低い。

[0087] 時刻 t_1 において、読出し期間 T_{r_o} のプリチャージ動作が開始される。具体的には、例えば、信号 S_{AP} 及び S_{AN} として電圧 $V_{DD}/2$ が供給されることにより、トランジスタ $T_{r6} \sim T_{r9}$ が非活性状態となる。また、信号 $BSEL_e$ 、 $BSEL_o$ 、及び EQ_L が “L” レベルから “H” レベルになる。これに伴い、セクタサブモジュール $SEL_1 \sim SEL_m$ の各々

のトランジスタ T_{r1} 及び T_{r2} 、並びにイコライザサブモジュール E_{Q1} ～ E_{Qm} の各々のトランジスタ T_{r3} ～ T_{r5} がオン状態になり、ビット線 BL_o のノード $N1_o$ 及び $N2_o$ 、並びにビット線 BL_e のノード $N1_e$ 及び $N2_e$ に電圧 $V_{DD}/2$ が供給される。これにより、 $N1_o$ 及びノード $N2_o$ 、並びに $N1_e$ 及び $N2_e$ の電圧は、等しくなる。

[0088] 時刻 t_2 において、読出し期間 T_{r_o} のセンス動作が開始される。具体的には、例えば、信号 E_{QL} が“H”レベルから“L”レベルになると共に、信号 $BSEL_e$ が“H”レベルから“L”レベルになる。これに伴い、イコライザサブモジュール E_{Q1} ～ E_{Qm} の各々のトランジスタ T_{r3} ～ T_{r5} がオフ状態になると共に、セクタサブモジュール SEL_1 ～ SEL_m の各々のトランジスタ T_{r2} がオフ状態になる。これにより、ビット線 BL_e のノード $N2_e$ は、ノード $N2_o$ 及び $N1_e$ に対してフローティング状態となる。

[0089] また、ロウデコーダモジュール15は、読出し対象のメモリセルトランジスタ MT （選択トランジスタ MT ）が接続された選択ワード線 WL に電圧 V_{CGR} を供給すると共に、読出し対象でないその他のメモリセルトランジスタ MT （非選択トランジスタ MT ）が接続された非選択ワード線 WL に電圧 V_{READ} を供給する。電圧 V_{CGR} は、選択トランジスタ MT_o の閾値電圧と比較される電圧である。選択トランジスタ MT の閾値電圧が、電圧 V_{CGR} より高い場合には選択トランジスタ MT_o はオフ状態となり、電圧 V_{CGR} より低い場合にはオン状態となる。電圧 V_{READ} は、メモリセルトランジスタ MT の閾値電圧によらず、当該メモリセルトランジスタ MT をオン状態とする電圧であり、電圧 V_{CGR} より高い。

[0090] これにより、選択トランジスタ MT_o を含む $NAND$ ストリング NS は、当該選択トランジスタ MT_o がオン状態の場合にはビット線 BL_o とキャパシタ CAP との間が電氣的に接続され、オフ状態の場合には、ビット線 BL_o とキャパシタ CAP との間が電氣的に絶縁される。

[0091] 加えて、時刻 t_2 において、信号 SAP として電圧 V_{DD} が供給されると

共に、信号S A Nとして電圧V S Sが供給される。これにより、トランジスタT r 6～T r 9が活性状態となる。ビット線B L oとキャパシタC A Pとが電氣的に接続された場合、ビット線B L oは、キャパシタC A Pとの容量の大小関係に応じて、例えば、電圧が低下する。これに伴い、トランジスタT r 9がより強くオン状態となり、ノードN 2 eの電圧が上昇して電圧V D Dに近づく。ノードN 2 eの電圧上昇に伴い、トランジスタT r 6がより強くオン状態となり、ノードN 2 oの電圧が降下して電圧V S Sに近づく。これにより、アンプサブモジュールS Aは、対となるビット線B L oとビット線B L eとの間の電位差を電圧V D D程度にまで増幅することができる。

[0092] 一方、ビット線B L oとキャパシタC A Pとが電氣的に絶縁された場合、ビット線B L oの電圧はほとんど変化しない。このため、アンプサブモジュールS Aは、対となるビット線B L oとビット線B L eとの間の電位差を増幅しない。

[0093] センスアンプモジュール1 6は、例えば、対となるビット線B L o及びビット線B L eの電圧を図示しない比較回路で比較し、所定の電位差以上であるか否かを判定する。これにより、選択トランジスタM T oに記憶されたデータを読み出すことができる。

[0094] 時刻t 3において、信号B S E L oは“H”レベルから“L”レベルとなり、ビット線B L oのノードN 2 o及びビット線B L eのノードN 2 eの電圧は、それぞれ電圧V D D及びV S Sにリセットされる。

[0095] 以上により、読出し期間T r __ oが終了する。

[0096] 続いて、時刻t 4において、読出し期間T r __ eのプリチャージ動作が開始される。本動作は、時刻t 2における読出し期間T r __ eのプリチャージ動作と同等であるため、説明を省略する。

[0097] 時刻t 5において、読出し期間T r __ eのセンス動作が開始される。具体的には、例えば、信号E Q Lが“H”レベルから“L”レベルになると共に、信号B S E L oが“H”レベルから“L”レベルになる。これに伴い、イコライザサブモジュールE Q 1～E Q mの各々のトランジスタT r 3～T r

5がオフ状態になると共に、セレクトサブモジュールSEL1～SELMの各々のトランジスタTr1がオフ状態になる。これにより、ビット線BL_oのノードN2_oは、ノードN2_e及びN1_oに対してフローティング状態となる。

[0098] また、ロウデコーダモジュール15は、選択トランジスタMTが接続された選択ワード線WLに電圧VCGRを供給すると共に、非選択トランジスタMTが接続された非選択ワード線WLに電圧VREADを供給する。

[0099] これにより、選択トランジスタMT_eを含むNANDストリングNSは、当該選択トランジスタMT_eがオン状態の場合にはビット線BL_eとキャパシタCAPとの間を電氣的に接続し、オフ状態の場合には、ビット線BL_eとキャパシタCAPとの間を電氣的に絶縁する。

[0100] ビット線BL_eとキャパシタCAPとが電氣的に接続された場合、ビット線BL_eは、キャパシタCAPとの容量の大小関係に応じて、例えば、電圧が低下する。これに伴い、トランジスタTr8がより強くオン状態となり、ノードN2_oの電圧が上昇して電圧VDDに近づく。ノードN2_oの電圧上昇に伴い、トランジスタTr7がより強くオン状態となり、ノードN2_eの電圧が降下して電圧VSSに近づく。これにより、アンプサブモジュールSAは、対となるビット線BL_oとビット線BL_eとの間の電位差を電圧VDD程度にまで増幅することができる。

[0101] 一方、ビット線BL_eとキャパシタCAPとが電氣的に絶縁された場合、ビット線BL_eの電圧はほとんど変化しない。このため、アンプサブモジュールSAは、対となるビット線BL_oとビット線BL_eとの間の電位差を増幅しない。

[0102] センスアンプモジュール16は、例えば、対となるビット線BL_o及びビット線BL_eの電圧を上述の図示しない比較回路で比較し、所定の電位差以上であるか否かを判定する。これにより、選択トランジスタMT_eに記憶されたデータを読み出すことができる。

[0103] 時刻t6において、信号BSEL_eは“H”レベルから“L”レベルとな

り、ビット線BL_oのノードN2_o及びビット線BL_eのノードN2_eの電圧は、それぞれ電圧VDD及びVSSにリセットされる。

[0104] 以上により、読出し期間Tr_{__e}が終了する。

[0105] これにより、1つのセルユニットCUに対する読出し動作が終了する。

[0106] なお、読出し期間Tr_{__o}及びTr_{__e}の順番は任意であり、図9の例に限らず、逆であってもよい。

[0107] 1. 3 製造方法

次に、実施形態に係る半導体記憶装置における、NANDストリングNSの形成からビット線BLの形成までの一連の製造工程の一例について説明する。図10～図28のそれぞれは、実施形態に係る半導体記憶装置の製造工程における、メモリセルアレイに対応する構造体を含む断面構造の一例を示している。図10～図28では、図7に対応する部分が示される。

[0108] まず、図10に示すように、半導体基板20のうち、メモリピラーMPが形成される予定の領域に、下端部BTMに対応するホールH1が形成される。具体的には、まずフォトリソグラフィ等によって、下端部BTMに対応する領域が開口したマスクが形成される。そして、形成されたマスクを用いた異方性エッチングによって、ホールH1が形成される。本工程における異方性エッチングは、例えば、RIE (Reactive Ion Etching) である。

[0109] 次に、図11に示すように、半導体基板20の上面に、犠牲材41が設けられる。犠牲材41は、例えば、窒化シリコンを含む。犠牲材41は、ホールH1を完全に埋め込んでもよいし、埋め込まなくてもよい。

[0110] 次に、図12に示すように、ホールH1内に設けられた犠牲材41のうち、n+型不純物拡散領域33が形成される予定の領域がエッチングされる。これにより、n+型不純物拡散領域33が形成される予定の領域において、半導体基板20が露出する。本工程における異方性エッチングは、例えば、RIEである。

[0111] 次に、図13に示すように、犠牲材41及び露出した半導体基板20の上面に半導体膜42が設けられ、ホールH1が埋め込まれる。半導体膜42

は、例えば、アモルファスシリコンを含む。

- [0112] 次に、図 1 4 に示すように、半導体膜 4 2 がエッチバックされ、犠牲材 4 1 が露出すると共に、半導体膜 4 2 がメモリピラー MP 毎に分断される。これにより、ホール H 1 内の中央部分に円柱状の半導体膜 4 2 が形成される。
- [0113] 次に、図 1 5 に示すように、例えばウェットエッチングによって、犠牲材 4 1 が選択的に除去される。
- [0114] 次に、図 1 6 に示すように、ホール H 1 の側面及び底面にリン (P) 等の n 型不純物がイオン注入される。これにより、半導体基板 2 0 のうちホール H 1 の側面及び底面を含む部分、及び半導体膜 4 2 がそれぞれ n⁺ 型不純物拡散領域 3 5 及び 3 3 となる。これにより、キャパシタ CAP の第 2 端に相当する電極が形成される。
- [0115] 次に、図 1 7 に示すように、ホール H 1 内を酸化処理し、絶縁膜 3 4 を形成する。これにより、ホール H 1 内は、酸化シリコンを含む絶縁体によって覆われる。
- [0116] 次に、図 1 8 に示すように、全面にわたって犠牲材 4 3 が設けられ、ホール H 1 が再度埋め込まれる。その後、エッチバック処理によって犠牲材 4 3 のうち半導体基板 2 0 の上面に設けられた部分が除去される。これにより、半導体基板 2 0 の上面が露出すると共に、犠牲材 4 3 がメモリピラー MP 毎に分断される。
- [0117] 次に、図 1 9 に示すように、半導体基板 2 0 及び犠牲材 4 3 の上面上に、絶縁体層 5 1 及び犠牲材 5 2 が交互に複数回積層される。そして、最上層の絶縁体層 5 1 上に、絶縁体層 5 1 よりも厚い絶縁体層 5 3 が更に積層される。絶縁体層 5 1 及び 5 3 は、例えば、酸化シリコンを含み、犠牲材 5 2 は、例えば、窒化シリコンを含む。
- [0118] 次に、図 2 0 に示すように、下部ピラー LMP に対応するホール H 2 が形成される。具体的には、まずフォトリソグラフィ等によって、ホール H 2 に対応する領域が開口したマスクが形成される。そして、形成されたマスクを用いた異方性エッチングによって、ホール H 2 が形成される。

- [0119] 本工程で形成されるホールH2は、絶縁体層53、並びに犠牲材52及び絶縁体層51の積層体を貫通し、犠牲材43内に達する。本工程における異方性エッチングは、例えば、RIEである。
- [0120] 次に、図21に示すように、絶縁体層53の上面上及びホールH2内に犠牲材44が設けられ、ホールH2が埋め込まれる。犠牲材44は、例えば、アモルファスシリコンを含む。その後、犠牲材44は、エッチバック処理によって、絶縁体層53の上面より上方の部分、及びホールH2内の絶縁体層53と同じ層に位置する部分が除去される。そして、絶縁体層53がスリミングされることによって、絶縁体層53は、ホールH2の内部からエッチングされる。これにより、ホールH2内の絶縁体層53と同じ層に位置する部分の径が広がり、ジョイント部JTに対応する空間が形成される。当該空間は、犠牲材44によって再度埋め込まれる。
- [0121] 次に、図22に示すように、絶縁体層53及び犠牲材44の上面上に、犠牲材54及び絶縁体層55が交互に複数回積層される。犠牲材54は、例えば、窒化シリコンを含み、絶縁体層55は、例えば、酸化シリコンを含む。
- [0122] 次に、図23に示すように、メモリピラーMPに対応するホールH3が形成される。具体的には、まずフォトリソグラフィ等によって、ホールH3に対応する領域が開口したマスクが形成される。そして、形成されたマスクを用いた異方性エッチングによって、犠牲材54及び絶縁体層55の積層体のうち、上部ピラーUMPに対応する部分がエッチングされる。これにより、犠牲材44が露出する。
- [0123] 続いて、例えば、シリコンを選択的にエッチング可能なウェットエッチング等によって、犠牲材44及び43が選択的にエッチングされる。これにより、ホールH3が形成される。なお、犠牲材43が除去されることによって絶縁膜34が露出するが、絶縁膜34は、上述の犠牲材44及び43の選択的なエッチング処理に対する選択比が小さい。このため、絶縁膜34は、当該エッチング処理に対するストップ膜として機能することができ、n⁺型不純物拡散領域33及び35、並びに半導体基板20が当該エッチング処理によ

ってエッチングされることを抑制できる。

[0124] 次に、図24に示すように、ホールH3内にブロック絶縁膜32c、電荷蓄積膜32b、及びトンネル絶縁膜32aがこの順に設けられ、積層膜32が形成される。続いて、ホールH3内に半導体膜31が設けられる。半導体膜31は、ホールH3内のn⁺型不純物拡散領域33と最下層の絶縁体層51との間の空間が閉塞する前に、下端部BTMにおける積層膜32上に所定の厚さを超えるように成膜される。これにより、半導体膜31は、キャパシタCAPの第1端に相当する電極として機能することができる。

[0125] 次に、図25に示すように、ホールH3内にコア部材30が設けられ、ホールH3内が埋め込まれる。ホールH3内に設けられたコア部材30のうち、最上層の絶縁体層55と同じ層に位置する部分の一部が除去され、その空間に半導体部36が埋め込まれる。その後、最上層の絶縁体層55よりも上層に残存する積層膜32、半導体膜31、及び半導体部36が除去される。これにより、メモリピラーMPが形成される。

[0126] 次に、図26に示すように、犠牲材52が導電体層21に置換されると共に、犠牲材54が導電体層22及び23に置換される。具体的には、スリットSLTに対応する領域にホール（図示せず）が形成される。当該ホールの下端は、例えば、最下層の犠牲材52よりも下方に達する。これにより、当該ホール内に、犠牲材52及び54が露出する。続いて、当該ホールを介して、犠牲材52及び54を選択的に除去可能なウェットエッチング等によって、犠牲材52及び54が除去される。そして、犠牲材52及び54が除去された空間内に、当該ホールを介して、導電体層21～23が設けられる。導電体層21～23が設けられた後、スリットSLTに対応する領域に形成されたホール内には絶縁体層57が設けられ、スリットSLTが形成される。

[0127] 続いて、スリットSHEに対応する領域にホール（図示せず）が形成される。当該ホールの下端は、例えば、導電体層23を貫通し、最上層の導電体層22よりも上方に位置する。スリットSHEに対応する領域に形成された

ホール内には絶縁体層58が設けられ、スリットSHEが形成される。

[0128] 次に、図27に示すように、コンタクトCPe及びビット線BLeが形成される。具体的には、メモリピラーMP上に絶縁体層56が形成された後、当該絶縁体層56に対する異方性エッチングによって、コンタクトCPeに対応するホールが形成される。これにより、コンタクトCPeに対応するメモリピラーMPの半導体部36が露出する。そして、当該ホール内が導電体層24eによって埋め込まれ、コンタクトCPeが形成される。

[0129] 続いて、絶縁体層56及び導電体層24e上に絶縁体層57が形成された後、当該絶縁体層57に対する異方性エッチングによって、ビット線BLeに対応するY軸に沿って延びる溝が形成される。これにより、ビット線BLeに共通接続される、Y軸に沿って並ぶ複数の導電体層24eが露出する。そして、当該溝が導電体層25eによって埋め込まれ、ビット線BLeが形成される。

[0130] 次に、図28に示すように、コンタクトCPo及びビット線BLoが形成される。具体的には、絶縁体層57及び導電体層25e上に絶縁体層58が形成された後、当該絶縁体層58に対する異方性エッチングによって、コンタクトCPoに対応するホールが形成される。これにより、コンタクトCPoに対応するメモリピラーMPの半導体部36が露出する。そして、当該ホール内が導電体層24oによって埋め込まれ、コンタクトCPoが形成される。

[0131] 続いて、絶縁体層58及び導電体層24o上に絶縁体層59が形成された後、当該絶縁体層59に対する異方性エッチングによって、ビット線BLoに対応するY軸に沿って延びる溝が形成される。これにより、ビット線BLoに共通接続される、Y軸に沿って並ぶ複数の導電体層24oが露出する。そして、当該溝が導電体層25oによって埋め込まれ、ビット線BLoが形成される。

[0132] 以上により、NANDストリングNSの形成からビット線BLの形成までの一連の製造工程が終了する。

[0133] 1. 4 本実施形態に係る効果

ソース線SLと電氣的に接続可能に構成されたNANDストリングNSを形成する場合、メモリピラーMP内の半導体膜31とソース線SLとの間の導通をとる工程が実行される。具体的には、犠牲材52及び54を貫通してソース線SLに達するホールを形成し、当該ホール内に積層膜32を形成する。その後、後続して形成される半導体膜31とソース線SLとの導通をとるために、当該ホールの底面又は底面付近の側面に形成された積層膜32が除去される。しかしながら、犠牲材52及び54の積層数の増加に伴い、犠牲材52及び54の上方からソース線SLにアクセスするためのホールは、非常に深くなる。このため、当該ホールの底面付近の積層膜32を除去する工程は、難易度が高くなり得る。したがって、メモリセルアレイ10の製造工程にかかる負荷が大きくなり得る。

[0134] 実施形態によれば、ソース線SLとNANDストリングNSとは、キャパシタCAPを介して電氣的に絶縁される。これにより、メモリピラーMP内の半導体膜31とソース線SLとの間の導通をとる工程が不要となり、メモリセルアレイ10の製造工程にかかる負荷の増加を抑制することができる。

[0135] 具体的には、キャパシタCAPのソース線SL側の電極として機能するn⁺型不純物拡散領域33及び35は、犠牲材52及び54が積層される前に、予め半導体基板20内に形成される。メモリセルトランジスタMTの電荷蓄積膜32bとして機能すると共に、キャパシタCAPの誘電体としても機能する積層膜32は、連続膜として形成される。メモリセルトランジスタMTのチャンネルとして機能すると共に、キャパシタCAPのビット線BL側の電極としても機能する半導体膜31は、連続膜として形成される。このため、キャパシタCAPについて、ソース線SL側の電極を形成する工程、誘電体を形成する工程、及びビット線BL側の電極を形成する工程を、3つの膜を積層する工程で実現できる。このため、ホールH3内に形成された積層膜32の底面付近の部分除去する工程が不要となり、メモリセルアレイ10の製造工程にかかる負荷の増加を抑制することができる。

[0136] なお、上述の構成によれば、NANDストリングNSは、選択ゲート線SGSに接続された選択トランジスタのオン状態とオフ状態とを切り替えることなく、常にソース線SLから電氣的に絶縁される。このため、読出し動作において、選択トランジスタMTがオン状態となるか否かに依らず、NANDストリングNSには電流が流れない。

[0137] 実施形態によれば、読出し動作において、センスアンプモジュール16は、ビット線BLの電圧をセンスすることによってデータを読み出す。具体的には、センスアンプモジュール16は、ビット線BL_o及びBL_eの電圧をイコライズする。その後、センスアンプモジュール16は、ビット線BL_o及びBL_eの一方をNANDストリングNSと導通させると共に、他方をフローティング状態にする。これにより、選択トランジスタMTがオン状態の場合には、ビット線BLとキャパシタCAPとの間の容量の大小関係によって、NANDストリングNSと導通させたビット線BLのノードN2の電圧は低下する。一方、選択トランジスタMTがオフ状態の場合には、NANDストリングNSと導通させたビット線BLのノードN2の電圧はほとんど変化しない。センスアンプモジュール16は、当該ノードN2の電圧変化の違いをセンスすることにより、選択トランジスタMT_oに記憶されたデータを読み出すことができる。

[0138] なお、上述した読出し動作においてビット線BL_oの電圧変化を精度よくセンスするためには、キャパシタCAPの容量は、ビット線BLの容量の10%程度か、それ以上であることが望ましい。すなわち、キャパシタCAPの容量はできるだけ大きくし、ビット線BLの容量はできるだけ小さくすることが望ましい。

[0139] 実施形態によれば、n⁺型不純物拡散領域35は、半導体膜31の下端よりも下方に位置する部分35Aと、半導体膜31の下端よりも上方に位置する部分35Bと、を有する。また、n⁺型不純物拡散領域33は、半導体膜31の下端よりも上方に位置し、部分35Aと接触し、かつ部分35Bと互いに離れた位置に設けられる。これにより、下端部BTMにおける半導体膜31

は円筒形状となり、当該円筒の内側面、底面、及び外側面をキャパシタCAPの電極として機能させることができる。このため、電極の面積を増加させることができ、キャパシタCAPの容量を増加させることができる。

[0140] また、実施形態によれば、互いに隣り合うビット線BL_o及びBL_eは、互いに異なる高さに設けられる。これにより、ビット線BL_oとBL_eとの間の寄生容量を減少させることができ、ビット線BLの容量を減少させることができる。

[0141] 2. その他

なお、上述の実施形態では、センスアンプモジュール16が、1つのビット線BL_o及び1つのビット線BL_eの組で共有されるサブモジュールを有する場合について説明したが、これに限られない。例えば、センスアンプモジュール16は、全てのビット線BL毎にサブモジュールを有していてもよい。この場合、読出し動作の際、読出し期間を2つに分けることなく、全てのビット線BLについて同時に電圧をセンスすることができる。

[0142] また、上述の実施形態では、キャパシタCAPが半導体基板20内に形成される場合について説明したが、これに限られない。例えば、キャパシタCAPは、半導体基板20と導電体層21との間に別途形成される半導体層（図示せず）内に設けられてもよい。この場合、当該半導体層と半導体基板20との間に、ロウデコーダモジュール15やセンスアンプモジュール16等の周辺回路が設けられてもよい。

[0143] また、上述の実施形態では、半導体基板20の上方においてNANDストリングNSがZ方向に沿って延びる3次元積層型の半導体記憶装置10に本発明が適用される場合について説明したが、これに限られない。例えば、NANDストリングNSがXY平面内に延びる2次元積層型の半導体記憶装置10についても本発明を適用可能である。

[0144] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の

要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。