

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2025/208828 A1

(43) 国际公布日
2025 年 10 月 9 日 (09.10.2025)

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2024/123954

(22) 国际申请日: 2024 年 10 月 10 日 (10.10.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202410389602.4 2024 年 4 月 1 日 (01.04.2024) CN

(71) 申请人: 长鑫科技集团股份有限公司 (**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(72) 发明人: 邓放心 (**DENG, Fangxin**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388

号 230601 (CN)。杜国安 (**DU, Guoan**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。朴成 (**PIAO, Cheng**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。张诗清 (**ZHANG, Shiqing**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号 230601 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** MEMORY AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 存储器及其制造方法、电子设备

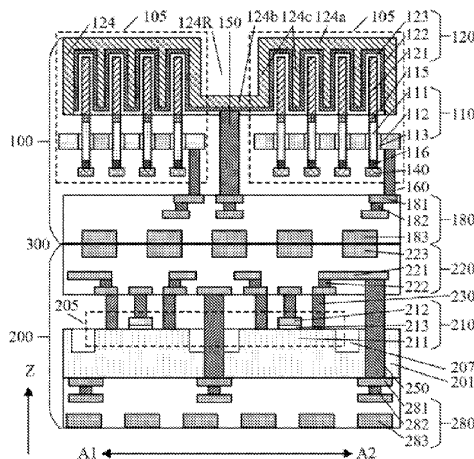


图 3a

(57) **Abstract:** A memory and a manufacturing method therefor, and an electronic device. The memory comprises a first semiconductor structure and a second semiconductor structure coupled to the first semiconductor structure. The first semiconductor structure comprises a plurality of memory arrays arranged in an array and spaced apart from each other; each memory array comprises a plurality of memory cells arranged in an array; each memory cell comprises a vertical transistor extending in a first direction and a capacitor coupled to the vertical transistor; the capacitor comprises a first electrode and a second electrode opposite to each other; and the first electrode is coupled to the vertical transistor. The second semiconductor structure comprises a peripheral circuit and is arranged on the side of the vertical transistor distant from the capacitor in the first direction. The first semiconductor structure further comprises a common

[见续页]



WO 2025/208828 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

electrode electrically connected to second electrodes of the capacitors in the plurality of memory arrays and a common electrode contact plug arranged on the same side of the common electrode as the vertical transistor in the first direction, and the common electrode is coupled to the peripheral circuit by means of the common electrode contact plug.

(57) 摘要: 一种存储器及其制造方法、电子设备。存储器包括第一半导体结构以及与第一半导体结构耦合的第二半导体结构。第一半导体结构包括阵列排布且彼此间隔的多个存储阵列, 每个存储阵列包括阵列排布的多个存储单元, 每个存储单元包括沿第一方向延伸的垂直晶体管和耦合至垂直晶体管的电容器, 电容器包括彼此相对的第一电极和第二电极, 第一电极与垂直晶体管耦合; 第二半导体结构包括外围电路且设置于垂直晶体管在第一方向上远离电容器的一侧; 第一半导体结构还包括与该多个存储阵列中的电容器的第二电极电连接的公共电极以及与垂直晶体管设置于公共电极在第一方向上的同一侧的公共电极接触插塞, 公共电极通过公共电极接触插塞耦合至外围电路。