

权利要求书

1、一种存储器，包括：

时钟产生电路，用于产生第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同、相位相反，且所述第一振荡信号与所述第二振荡信号的占空比均在第一预设范围内；

差分输入电路，用于接收第一外部信号和第二外部信号，并产生第一内部信号和第二内部信号；

其中，所述时钟产生电路还用于监测所述第一内部信号和/或所述第二内部信号的占空比，并使得所述第一内部信号和/或所述第二内部信号的占空比在第二预设范围内。

2、根据权利要求1所述的存储器，其中，所述时钟产生电路包括：

振荡电路，用于产生所述第一振荡信号和所述第二振荡信号；

比较单元，接收所述第一振荡信号和所述第二振荡信号，并用于对所述第一振荡信号的占空比和/或所述第二振荡信号的占空比进行比较；

逻辑单元，连接所述比较单元和所述振荡电路，用于根据所述比较单元的输出结果对所述振荡电路进行控制，使得所述第一振荡信号的占空比和所述第二振荡信号的占空比在所述第一预设范围内。

3、根据权利要求2所述的存储器，其中，所述比较单元还连接所述差分输入电路的输出端，并用于对所述第一内部信号的占空比和/或所述第二内部信号的占空比进行比较；所述逻辑单元还连接所述差分输入电路，并用于根据所述比较单元的输出结果对所述差分输入电路进行控制，使得所述第一内部信号的占空比和/或所述第二内部信号的占空比在所述第二预设范围内。

4、根据权利要求3所述的存储器，其中，所述比较单元包括：

积分单元，所述积分单元具有第一输入端和第二输入端，所述第一输入端接收所述第一内部信号或所述第二内部信号中的一者，所述第二输入端接收所述第二内部信号或所述第一内部信号中的另一者；或者，所述第一输入端接收所述第一振荡信号或所述第二振荡信号中的一者，所述第二输入端接收所述第二振荡信号或所述第一振荡信号中的另一者；

比较器，连接所述积分单元的输出端。

5、根据权利要求4所述的存储器，其中，所述积分单元被配置为：

所述第一输入端在一翻转标识信号为低电平的情况下接收所述第一内部信号，在所述翻转标识信号为高电平的情况下接收所述第二内部信号；所述第二输入端在所述翻转标识信号为低电平的情况下接收所述第二内部信号，在所述翻转标识信号为高电平的情况下接收所述第一内部信号；或者，

所述第一输入端在一翻转标识信号为低电平的情况下接收所述第一振荡信号，在所述翻转标识信号为高电平的情况下接收所述第二振荡信号；所述第二输入端在所述翻转标识信号为低电平的情况下接收所述第二振荡信号，在所述翻转标识信号为高电平的情况下接收所述第一振荡信号。

6、根据权利要求5所述的存储器，其中，所述逻辑单元包括：

计数器，用于调节所述第一内部信号的占空比和/或第二内部信号的占空比，或者，用于调节所述第一振荡信号的占空比和/或第二振荡信号的占空比；

第一寄存器组，在所述翻转标识信号为低电平的情况下，根据所述比较器的输出存储所述计数器的第一值；

第二寄存器组，在所述翻转标识信号为高电平的情况下，根据所述比较器的输出存储所述计数器的第二值。

7、根据权利要求6所述的存储器，其中，所述逻辑单元还包括：

运算组件，连接所述第一寄存器组和所述第二寄存器组，用于对所述第一寄存器组和所述第二寄存器组的输出做加减乘除运算；

第三寄存器组，连接所述运算组件，用于存储所述运算组件的输出结果。

8、根据权利要求7所述的存储器，其中，所述比较单元由一采样时钟驱动，所述采样时钟的频率低于所述第一内部信号的频率和/或第二内部信号的频率，且所述采样时钟的频率低于所述第一振荡信号和/或第二振荡信号的频率。

9、根据权利要求8所述的存储器，其中，所述计数器由一计算器时钟驱动，所述计算器时

钟频率低于所述第一内部信号的频率和/或第二内部信号的频率,且所述计算器时钟的频率低于所述第一振荡信号的频率和/或第二振荡信号的频率。

10、根据权利要求9所述的存储器,其中,所述采样时钟的频率和所述计算器时钟的频率相同。

5 11、根据权利要求10所述的存储器,还包括:分频器,接收一外部时钟信号,产生所述采样时钟和所述计算器时钟。

12、根据权利要求11所述的存储器,还包括:第五寄存器组,与所述分频器连接,用于配置所述采样时钟的频率和所述计算器时钟的频率。

10 13、根据权利要求2至12任一项所述的存储器,其中,所述振荡电路包括:振荡器,用于产生第一初始振荡信号和第二初始振荡信号,所述第一初始振荡信号与所述第二初始振荡信号的频率相同且相位相反;

路径模拟电路,介于所述振荡器和所述比较单元之间,一端连接所述振荡器的输出端,另一端连接所述比较单元的输入端,用于模拟第一路径的电路特性,接收所述第一初始振荡信号以产生所述第一振荡信号,接收所述第二初始振荡信号以产生所述第二振荡信号。

15 14、根据权利要求13所述的存储器,还包括:

第四寄存器组,与所述振荡器连接,用于配置所述第一振荡信号的频率和第二振荡信号的频率。

15、根据权利要求14所述的存储器,还包括:第六寄存器组,与所述路径模拟电路连接,用于配置所述路径模拟电路的电性参数。

20 16、根据权利要求3至12任一项所述的存储器,还包括:第一选择器,所述第一振荡信号、所述第二振荡信号、所述第一内部信号、所述第二内部信号、所述第一外部信号、所述第二外部信号均通过所述第一选择器连接至所述比较单元,记所述第一振荡信号和所述第二振荡信号为第一差分对信号,记所述第一外部信号和所述第二外部信号为第二差分对信号,记所述第一内部信号和所述第二内部信号为第三差分对信号,所述第一选择器用于选择所述第一差分对信号、所述
25 第二差分对信号和所述第三差分对信号中的一者输入所述比较单元。

17、根据权利要求16所述的存储器,其中,所述第一选择器的控制端接收一选择使能信号,并基于所述选择使能信号选择所述第一差分对信号、所述第二差分对信号和所述第三差分对信号中的一者输入所述比较单元。

30 18、根据权利要求1至12任一项所述的存储器,还包括:第二选择器,所述第一振荡信号、所述第二振荡信号、所述第一外部信号、所述第二外部信号均通过所述第二选择器连接至所述差分输入电路,记所述第一振荡信号和所述第二振荡信号为第一差分对信号,记所述第一外部信号和所述第二外部信号为第二差分对信号,所述第二选择器用于选择所述第一差分对信号和所述第二差分对信号之一输入所述差分输入电路。

35 19、根据权利要求18所述的存储器,其中,所述第二选择器的控制端接收一校准使能信号,在所述校准使能信号为低电平的情况下,所述第一外部信号和第二外部信号输入所述差分输入电路,在所述校准使能信号为高电平的情况下,所述第一振荡信号和第二振荡信号输入所述差分输入电路。

20、一种存储器,包括:

40 校准电路,用于接收第一外部信号和第二外部信号,并产生第一内部信号和第二内部信号,所述第一内部信号和/或所述第二内部信号的占空比在第三预设范围内;

时钟产生电路,用于产生第一振荡信号和第二振荡信号,所述第一振荡信号与所述第二振荡信号的频率相同、相位相反;

其中,所述校准电路还用于调节所述第一振荡信号和/或所述第二振荡信号的占空比,并使得所述
45 所述第一振荡信号和/或所述第二振荡信号的占空比在第四预设范围内。

45 21、根据权利要求20所述的存储器,其中,所述校准电路包括:

差分输入电路,用于接收所述第一外部信号和所述第二外部信号,并产生所述第一内部信号和所述第二内部信号;

比较单元,连接所述差分输入电路的输出端,并对所述第一内部信号的占空比和/或所述第二内部信号的占空比进行比较;

50 逻辑单元,连接所述比较单元和所述差分输入电路,用于根据所述比较单元的输出结果对所述差分输入电路进行控制,使得所述第一内部信号的占空比和/或所述第二内部信号的占空比到达

所述第三预设范围内。

22、根据权利要求 21 所述的存储器，其中，所述比较单元还连接所述时钟产生电路的输出端，接收所述第一振荡信号和所述第二振荡信号，用于对所述第一振荡信号的占空比和/或所述第二振荡信号的占空比进行比较；所述逻辑单元还连接所述时钟产生电路，且用于根据所述比较单元的输出结果对所述时钟产生电路进行控制，使得所述第一振荡信号和/或所述第二振荡信号的占空比在所述第四预设范围。

23、根据权利要求 22 所述的存储器，其中，所述比较单元包括：积分单元，所述积分单元具有第一输入端和第二输入端，所述第一输入端接收所述第一内部信号或所述第二内部信号中的一者，所述第二输入端接收所述第二内部信号或所述第一内部信号中的另一者；或者，所述第一输入端接收所述第一振荡信号或所述第二振荡信号中的一者，所述第二输入端接收所述第二振荡信号或所述第一振荡信号中的另一者；

比较器，连接所述积分单元的输出端。

24、根据权利要求 23 所述的存储器，其中，所述积分单元被配置为：

所述第一输入端在一翻转标识信号为低电平的情况下接收所述第一内部信号，在所述翻转标识信号为高电平的情况下接收所述第二内部信号；所述第二输入端在所述翻转标识信号为低电平的情况下接收所述第二内部信号，在所述翻转标识信号为高电平的情况下接收所述第一内部信号；或者，

所述第一输入端在一翻转标识信号为低电平的情况下接收所述第一振荡信号，在所述翻转标识信号为高电平的情况下接收所述第二振荡信号；所述第二输入端在所述翻转标识信号为低电平的情况下接收所述第二振荡信号，在所述翻转标识信号为高电平的情况下接收所述第一振荡信号。

25、根据权利要求 24 所述的存储器，其中，所述逻辑单元包括：

计数器，用于调节所述第一内部信号的占空比和/或第二内部信号的占空比，或者，用于调节所述第一振荡信号的占空比和/或第二振荡信号的占空比；

第一寄存器组，在所述翻转标识信号为低电平的情况下，根据所述比较器的输出存储所述计数器的第一值；

第二寄存器组，在所述翻转标识信号为高电平的情况下，根据所述比较器的输出存储所述计数器的第二值。

26、根据权利要求 25 所述的存储器，其中，所述逻辑单元还包括：

运算组件，连接所述第一寄存器组和所述第二寄存器组，用于对所述第一寄存器组和所述第二寄存器组的输出做加减乘除运算；

第三寄存器组，连接所述运算组件，用于存储所述运算组件的输出结果。

27、根据权利要求 26 所述的存储器，其中，所述比较单元由一采样时钟驱动，所述采样时钟的频率低于所述第一内部信号的频率和/或第二内部信号的频率，且所述采样时钟的频率低于所述第一振荡信号和/或所述第二振荡信号的频率。

28、根据权利要求 27 所述的存储器，其中，所述计数器由一计算器时钟驱动，所述计算器时钟频率低于所述第一内部信号的频率和/或所述第二内部信号的频率，且所述计算器时钟的频率低于所述第一振荡信号的频率和/或所述第二振荡信号的频率。

29、根据权利要求 28 所述的存储器，其中，所述采样时钟的频率和所述计算器时钟的频率相同。

30、根据权利要求 29 所述的存储器，还包括：分频器，接收一外部时钟信号，产生所述采样时钟和所述计算器时钟。

31、根据权利要求 30 所述的存储器，还包括：第五寄存器组，与所述分频器连接，用于配置所述采样时钟的频率和所述计算器时钟的频率。

32、根据权利要求 22 至 30 任一项所述的存储器，其中，所述时钟产生电路包括：振荡电路，用于产生所述第一振荡信号和所述第二振荡信号，且所述振荡电路的输出端连接所述比较单元。

33、根据权利要求 32 所述的存储器，其中，所述振荡电路包括：

振荡器，用于产生第一初始振荡信号和第二初始振荡信号，所述第一初始振荡信号与所述第二初始振荡信号的频率相同且相位相反；

路径模拟电路，介于所述振荡器和所述比较单元之间，一端连接所述振荡器的输出端，另一端连接所述比较单元的输入端，用于模拟第一路径的电路特性，接收所述第一初始振荡信号以产生所述第一振荡信号，接收所述第二初始振荡信号以产生所述第二振荡信号。

34、根据权利要求 33 所述的存储器，还包括：第四寄存器组，与所述振荡器连接，用于配置所述第一振荡信号的频率和第二振荡信号的频率。

35、根据权利要求 34 所述的存储器，还包括：第六寄存器组，与所述路径模拟电路连接，用于配置所述路径模拟电路的电性参数。

5 36、根据权利要求 35 所述的存储器，还包括：第一选择器，所述第一振荡信号、所述第二振荡信号、所述第一内部信号、所述第二内部信号、所述第一外部信号、所述第二外部信号均通过所述第一选择器连接至所述比较单元，记所述第一振荡信号和所述第二振荡信号为第一差分对信号，记所述第一外部信号和所述第二外部信号为第二差分对信号，记所述第一内部信号和所述第二内部信号为第三差分对信号，所述第一选择器用于选择所述第一差分对信号、所述第二差分对信号和所述第三差分对信号中的一者输入所述比较单元。

10 37、根据权利要求 36 所述的存储器，其中，所述第一选择器的控制端接收一选择使能信号，并基于所述选择使能信号选择所述第一差分对信号、所述第二差分对信号和所述第三差分对信号中的一者输入所述比较单元。

15 38、根据权利要求 21 至 30 任一项所述的存储器，还包括：第二选择器，所述第一振荡信号、所述第二振荡信号、所述第一外部信号、所述第二外部信号均通过所述第二选择器连接至所述差分输入电路，记所述第一振荡信号和所述第二振荡信号为第一差分对信号，记所述第一外部信号和所述第二外部信号为第二差分对信号，所述第二选择器用于选择所述第一差分对信号和所述第二差分对信号之一输入所述差分输入电路。

20 39、根据权利要求 38 所述的存储器，其中，所述第二选择器的控制端接收一校准使能信号，当在所述校准使能信号为低电平的情况下，所述第一外部信号和所述第二外部信号输入所述差分输入电路，当在所述校准使能信号为高电平的情况下，所述第一振荡信号和所述第二振荡信号输入所述差分输入电路。

40、一种存储器，包括：

25 时钟产生电路，用于产生第一振荡信号和第二振荡信号，所述第一振荡信号与所述第二振荡信号的频率相同、相位相反，且所述第一振荡信号与所述第二振荡信号的占空比均在第五范围内；

第一外部信号和第二外部信号，来自所述存储器外部，且所述第一外部信号和所述第二外部信号的占空比均在第六范围内；

30 差分输入电路，在测试模式下，接收所述第一振荡信号和第二振荡信号，并输出第一内部信号和第二内部信号；在正常工作模式下，接收所述第一外部信号和所述第二外部信号，并输出所述第一内部信号和所述第二内部信号；

其中，所述差分输入电路与所述时钟产生电路有数据交互，使得在所述测试模式下或在所述正常工作模式下，所述第一内部信号和/或所述第二内部信号的占空比在第七范围内。

41、根据权利要求 40 所述的存储器，其中，所述时钟产生电路包括：振荡电路，用于产生所述第一振荡信号和所述第二振荡信号；

35 比较单元，接收所述第一振荡信号和所述第二振荡信号，用于对所述第一振荡信号的占空比和/或所述第二振荡信号的占空比进行比较；

逻辑单元，连接所述比较单元和所述振荡电路，用于根据所述比较单元的输出结果对所述振荡电路进行控制，使得所述第一振荡信号和/或所述第二振荡信号占空比在所述第五范围内。

40 42、根据权利要求 41 所述的存储器，其中，所述数据交互包括：在所述测试模式或者所述正常工作模式下，所述比较单元接收所述第一内部信号和所述第二内部信号，且用于对所述第一内部信号和/或所述第二内部信号的占空比进行比较；所述逻辑单元还连接所述差分输入电路，用于根据所述比较单元的输出结果对所述差分输入电路进行控制，使得所述第一内部信号和所述第二内部信号的占空比在所述第七范围内。

43、根据权利要求 42 所述的存储器，其中，所述比较单元包括：

45 积分单元，所述积分单元具有第一输入端和第二输入端；在所述测试模式下，所述第一输入端接收所述第一振荡信号或所述第二振荡信号中的一者，所述第二输入端接收所述第二振荡信号或所述第一振荡信号中的另一者，或者，所述第一输入端接收所述第一内部信号或所述第二内部信号中的一者，所述第二输入端接收所述第二内部信号或所述第一内部信号中的另一者；在所述正常工作模式下，所述第一输入端接收所述第一内部信号或第二内部信号中的一者，所述第二输入端接收所述第二内部信号或第一内部信号中的另一者；

比较器，连接积分单元的输出端。

44、根据权利要求 43 所述的存储器，其中，所述积分单元被配置为：

在所述测试模式或所述正常工作模式下，所述积分单元的第一输入端在一翻转标识信号为低电平的情况下接收所述第一内部信号，在所述翻转标识信号为高电平的情况下接收所述第二内部信号；所述积分单元的第二输入端在所述翻转标识信号为低电平的情况下接收所述第二内部信号，在所述翻转标识信号为高电平的情况下接收所述第一内部信号。

5

45、根据权利要求 44 所述的存储器，其中，所述积分单元还被配置为，在所述测试模式下，所述积分单元的第一输入端在一翻转标识信号为低电平的情况下接收所述第一振荡信号，在所述翻转标识信号为高电平的情况下接收所述第二振荡信号；所述积分单元的第二输入端在所述翻转标识信号为低电平的情况下接收所述第二振荡信号，在所述翻转标识信号为高电平的情况下接收所述

10

所述第一振荡信号。

46、根据权利要求 45 所述的存储器，其中，所述逻辑单元包括：

计数器，用于调节所述第一内部信号的占空比和/或第二内部信号的占空比；第一寄存器组，在所述翻转标识信号为低电平的情况下，根据所述比较器的输出存储所述计数器的第一值；

第二寄存器组，在所述翻转标识信号为高电平的情况下，根据所述比较器的输出存储所述计数器的第二值。

15

47、根据权利要求 46 所述的存储器，其中，所述逻辑单元还包括：

运算组件，连接所述第一寄存器组和所述第二寄存器组，用于对所述第一寄存器组和所述第二寄存器组的输出做加减乘除运算；

第三寄存器组，连接所述运算组件，用于存储所述运算组件的输出结果。

20

48、根据权利要求 41 所述的存储器，还包括：第一选择器，所述第一振荡信号、所述第二振荡信号、所述第一内部信号、所述第二内部信号、所述第一外部信号、所述第二外部信号均通过所述第一选择器连接至所述比较单元，记所述第一振荡信号和所述第二振荡信号为第一差分对信号，记所述第一外部信号和所述第二外部信号为第二差分对信号，记所述第一内部信号和所述第二内部信号为第三差分对信号，所述第一选择器用于选择所述第一差分对信号、所述第二差分对信号和所述第三差分对信号中的一者输入所述比较单元。

25

49、根据权利要求 48 所述的存储器，其中，在所述测试模式下，所述第一选择器选择所述第一差分对信号或者所述第三差分对信号输入所述比较单元；在所述正常工作模式下，所述第一选择器选择所述第二差分对信号或者所述第三差分对信号输入所述比较单元。

30

50、根据权利要求 41 所述的存储器，还包括：第二选择器，所述第一振荡信号、所述第二振荡信号、所述第一外部信号、所述第二外部信号均通过所述第二选择器连接至所述差分输入电路，记所述第一振荡信号和所述第二振荡信号为第一差分对信号，记所述第一外部信号和所述第二外部信号为第二差分对信号，所述第二选择器用于选择所述第一差分对信号和所述第二差分对信号之一输入所述差分输入电路。

35

51、根据权利要求 50 所述的存储器，其中，在所述测试模式下，所述第二选择器选择所述第一差分对信号输入所述差分输入电路；在所述正常工作模式下，所述第二选择器选择所述第二差分对信号输入所述差分输入电路。