

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 12월 19일 (19.12.2024) WIPO | PCT



(10) 국제공개번호
WO 2024/258256 A1

- (51) 국제특허분류:
G06K 19/077 (2006.01) C23C 30/00 (2006.01)
B32B 15/01 (2006.01) C22C 38/40 (2006.01)
B32B 37/12 (2006.01)
- (21) 국제출원번호: PCT/KR2024/008327
- (22) 국제출원일: 2024년 6월 17일 (17.06.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2023-0077671 2023년 6월 16일 (16.06.2023) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).
- (72) 발명자: 오정훈 (OH, Jung Hun); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR). 김승준 (KIM, Seung Joon); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR). 이도윤 (LEE, Do Yun); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).
- (74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울특별시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).

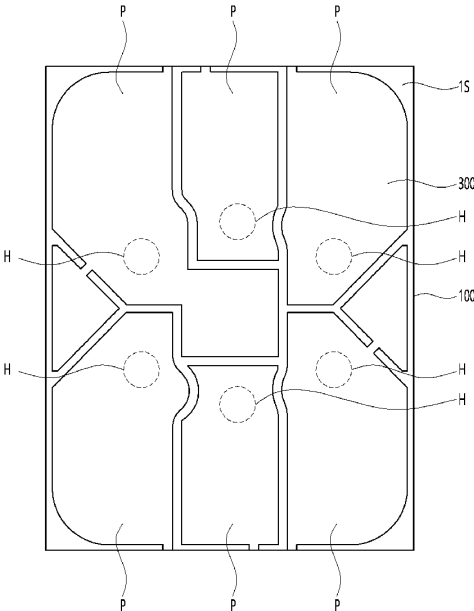
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: SMART IC SUBSTRATE, SMART IC MODULE, AND IC CARD COMPRISING SAME

(54) 발명의 명칭: 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드

1000



(57) Abstract: A smart IC substrate according to an embodiment of the present invention comprises: a substrate including a first surface and a second surface opposite to the first surface; a bonding layer disposed on the first surface; a buffer layer disposed on the bonding layer; a metal layer disposed on the buffer layer; and a plating layer disposed on the other surface of the metal layer, wherein the metal layer includes an alloy including nickel (Ni), iron (Fe), and chromium (Cr), the buffer layer includes a first buffer layer and a second buffer layer, wherein the first buffer layer is disposed between the second buffer layer and the metal layer, the second buffer layer includes a 2-1 buffer layer and a 2-2 buffer layer, wherein the 2-1 buffer layer is disposed between the first buffer layer and the 2-2 buffer layer, and the surface roughness of the 2-2 buffer layer is greater than the surface roughness of the 2-1 buffer layer.

(57) 요약서: 실시예에 따른 스마트 IC 기판은 제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재; 상기 제 1 면 상에 배치되는 본딩층; 상기 본딩층 상에 배치되는 버퍼층; 상기 버퍼층 상에 배치되는 금속층; 및 상기 금속층의 타면 상에 배치되는 도금층을 포함하고, 상기 금속층은 니켈(Ni), 철(Fe) 및 크롬(Cr)을 포함하는 합금을 포함하고, 상기 버퍼층은 상기 제 1 버퍼층 및 제 2 버퍼층을 포함하고, 상기 제 1 버퍼층은 상기 제 2 버퍼층과 상기 금속층 사이에 배치되고, 상기 제 2 버퍼층은 제 2-1 버퍼층 및 제 2-2 버퍼층을 포함하고, 상기 제 2-1 버퍼층은 상기 제 1 버퍼층 및 상기 제 2-2 버퍼층 사이에 배치되고, 상기 제 2-2 버퍼층의 표면 조도는 상기 제 2-1 버퍼층의 표면 조도보다 크다.

WO 2024/258256 A1