

明 細 書

発明の名称：液晶表示パネル

技術分野

[0001] 本発明は、液晶表示パネルに関するものである。

背景技術

[0002] 液晶表示パネルは表示領域を有する。この表示領域には通常、複数の画素が配列されている。さらに各画素において液晶層に対する電圧印加状況を制御するために、薄膜トランジスタを各画素に配置することが一般的に行なわれる。

[0003] 特開 2 0 0 1 - 3 3 8 2 2 号公報（特許文献 1）の図 2 には、薄膜トランジスタとしてソース電極とドレイン電極との間に 2 つのゲート電極を配置した構成が開示されている。延在する半導体層の途中の 2 ヶ所の上側にゲート電極が配置されており、ソース電極およびドレイン電極は、半導体層の両端にそれぞれ接続している。半導体層のうちゲート電極の下側に位置する部分はそれぞれチャネル領域である。チャネル領域に光が入射してリーク電流が発生するという現象を防止するために基板の表面に接するように遮光膜が形成されている。特許文献 1 によれば、遮光膜は Mo, Ta, Al, Cr などの金属またはその合金で形成される。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 0 1 - 3 3 8 2 2 号公報

発明の概要

発明が解決しようとする課題

[0005] 平面的に見て、遮光膜は、ゲート電極を基板表面に投影した領域を覆うだけでなく、さらにその周辺の領域を覆う。半導体層のうちゲート電極の投影領域の両脇にある部分をソース領域およびドレイン領域と呼ぶものとする、ソース領域およびドレイン領域も、ゲート電極と同様に基板側から遮光膜

によって覆われる。

[0006] ソース電極とドレイン電極との間に2つのゲート電極が配置されている場合、各ゲート電極の下側はチャネル領域となるので、チャネル領域が2ヶ所存在することになる。この場合、図18に示すように、1枚の遮光膜110がこれらの2つのチャネル領域を一括して覆うこととなる。図18においては、半導体層5のうちゲート電極9に覆われた部分がそれぞれチャネル領域である。図18におけるX1X-X1X線に関する矢視断面図を図19に示す。半導体層5のうちソース領域5a、チャネル領域5b、ドレイン領域5c、ソース領域5d、チャネル領域5e、ドレイン領域5fと並ぶ部分を、1枚の遮光膜110が一括して覆うこととなる。このように一括して覆うように遮光膜110を配置する設計は、省スペース化の観点から当然に行なわれる。

[0007] しかし、遮光膜110は導電性を有するので、このように複数のチャネル領域を1枚の遮光膜110で一括して覆った場合、ソース領域およびドレイン領域と遮光膜110との間に新たな大きな寄生容量が発生し、複数のチャネル領域に影響が及ぶ。

[0008] 図18に示した平面的レイアウト例の他に、変形例としては図20に示すようなものも考えられる。図20に示した例の場合、遮光膜は、半導体層の延在ルートに完全に沿って配置されているわけではない。迂回する形状の半導体層と異なり、遮光膜はショートカットするように延在している。しかし、このような平面的レイアウトであっても、複数のチャネル領域を1枚の遮光膜で一括して覆った場合、ソース領域およびドレイン領域と遮光膜との間に新たな大きな寄生容量が発生し、複数のチャネル領域に影響が及ぶという問題は同様に生じる。

[0009] ここでは、ソース電極とドレイン電極との間にゲート電極が2つ配置された例を説明したが、ソース電極とドレイン電極との間にゲート電極が3つ以上配置されている場合も同様である。

[0010] そこで、本発明は、連続した半導体層に複数のゲート電極が配置されてい

る構造を備えつつ、ソース領域とドレイン領域との間での寄生容量の増加を抑えることができる液晶表示パネルを提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するため、本発明に基づく液晶表示パネルは、複数の画素を有する表示領域を含む主表面を有する第1透明基板と、少なくとも上記表示領域を含む領域において上記主表面と対向するように配置された第2透明基板と、上記第1透明基板と上記第2透明基板とに挟み込まれるように配置された液晶層とを備える。上記主表面には、上記複数の画素の各々に対応する薄膜トランジスタが設けられている。上記薄膜トランジスタは、上記第1透明基板に近い側から順に、上記主表面の少なくとも一部を覆う下地絶縁膜と、上記下地絶縁膜の一部を覆うようにして、平面的に見て少なくとも第1の部位から第2の部位まで線状に延在する半導体層と、上記半導体層の少なくとも一部を覆うゲート絶縁膜と、上記第1の部位において上記半導体層に電氣的に接続するソース電極と、上記第2の部位において上記半導体層に電氣的に接続するドレイン電極と、平面的に見たときの上記半導体層に沿って上記第1の部位から上記第2の部位に至る経路の途中の2ヶ所以上において上記ゲート絶縁膜を介して上記半導体層を覆うようにそれぞれ配置されたゲート電極とを含む。上記下地絶縁膜と上記第1透明基板との間に、上記主表面に対する上記ゲート電極の各々の投影領域を覆う遮光膜が配置されている。上記遮光膜は、平面的に見て互いに離隔した複数の遮光膜要素に分割されている。上記遮光膜要素の各々はそれぞれ1つ以上の上記ゲート電極の上記投影領域を覆っている。

発明の効果

[0012] 本発明によれば、遮光膜が互いに離隔した複数の遮光膜要素に分割され、遮光膜要素の各々によってチャネル領域を下側から覆う構成であるので、連続した半導体層に複数のゲート電極が配置されている構造において、各チャネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑えることができる。

図面の簡単な説明

[0013] [図1]本発明に基づく実施の形態1における液晶表示パネルの断面図である。

[図2]本発明に基づく実施の形態1における液晶表示パネルが備える第1透明基板のみを取り出した状態の斜視図である。

[図3]本発明に基づく実施の形態1における液晶表示パネルが備える第1透明基板およびその表面に形成された構造物の部分拡大斜視図である。

[図4]本発明に基づく実施の形態1における液晶表示パネルの部分平面図である。

[図5]図4におけるV-V線に関する矢視断面図である。

[図6]本発明に基づく実施の形態1における液晶表示パネルの変形例の部分平面図である。

[図7]本発明に基づく実施の形態2における液晶表示パネルの部分平面図である。

[図8]本発明に基づく実施の形態2における液晶表示パネルの変形例の部分平面図である。

[図9]本発明に基づく実施の形態3における液晶表示パネルの部分平面図である。

[図10]本発明に基づく実施の形態3における液晶表示パネルの変形例の部分平面図である。

[図11]本発明に基づく実施の形態3における液晶表示パネルのさらなる変形例の部分平面図である。

[図12]本発明に基づく実施の形態4における液晶表示パネルの部分平面図である。

[図13]本発明に基づく実施の形態4における液晶表示パネルの第1の変形例の部分平面図である。

[図14]本発明に基づく実施の形態4における液晶表示パネルの第2の変形例の部分平面図である。

[図15]本発明に基づく実施の形態5における液晶表示パネルの部分平面図で

ある。

[図16]本発明に基づく実施の形態5における液晶表示パネルの第1の変形例の部分平面図である。

[図17]本発明に基づく実施の形態5における液晶表示パネルの第2の変形例の部分平面図である。

[図18]従来技術に基づく液晶表示パネルの部分平面図である。

[図19]図18におけるX1-X2線に関する矢視断面図である。

[図20]従来技術に基づく液晶表示パネルの変形例の部分平面図である。

発明を実施するための形態

[0014] (実施の形態1)

図1～図5を参照して、本発明に基づく実施の形態1における液晶表示パネルについて説明する。図1に示すように、本実施の形態における液晶表示パネル101は、第1透明基板201と第2透明基板202と液晶層203とを備える。第1透明基板201および第2透明基板はガラス基板である。液晶層203はシール材204によって取り囲まれている。図1では、第1透明基板201および第2透明基板の表面に形成された構造物は図示省略している。

[0015] 液晶表示パネル101から第1透明基板201のみを取り出したところの斜視図を図2に示す。図2では、第1透明基板201の主表面201uに規定される概念的な領域を示している。ここでは、主表面201uの一部に表示領域1が規定されている。表示領域1は複数の画素2に区分されている。実際には、液晶表示パネル101を作製するに当たって、第1透明基板201の主表面201uにさまざまな構造物が形成されている。

[0016] 第1透明基板201およびその表面に形成された構造物をおおまかに示すと図3のようになる。主表面201uには複数のソース配線13が互いに平行に設けられている。複数のソース配線13と垂直な方向に複数のゲート配線14が設けられている。2本のソース配線13と2本のゲート配線14とに囲まれるほぼ長方形の領域が1つの画素2に相当する。ソース配線13と

ゲート配線 14 とが交差する部分の近傍には薄膜トランジスタ 3 が形成されている。薄膜トランジスタ 3 の近傍の平面図を図 4 に示す。図 4 は、薄膜トランジスタ 3 の一例として、いわゆるデュアルの U 字形の例を示している。

「デュアル」とはゲート電極を 2 つ備えるタイプを意味する。図 4 に示すように、半導体層 5 は第 1 の部位 51 から第 2 の部位 52 まで U 字形に延在している。図 4 における V-V 線に関する矢視断面図を図 5 に示す。

[0017] 本実施の形態における液晶表示パネル 101 は、複数の画素 2 を有する表示領域 1 を含む主表面 201u を有する第 1 透明基板 201 と、少なくとも表示領域 1 を含む領域において主表面 201u と対向するように配置された第 2 透明基板 202 と、第 1 透明基板 201 と第 2 透明基板 202 とに挟み込まれるように配置された液晶層 203 とを備える。主表面 201u には、複数の画素 2 の各々に対応する薄膜トランジスタ 3 が設けられている。図 4、図 5 に示すように、薄膜トランジスタ 3 は、第 1 透明基板 201 に近い側から順に、主表面 201u の少なくとも一部を覆う下地絶縁膜 4 と、下地絶縁膜 4 の一部を覆うようにして、平面的に見て少なくとも第 1 の部位 51 から第 2 の部位 52 まで線状に延在する半導体層 5 と、半導体層 5 の少なくとも一部を覆うゲート絶縁膜 6 と、第 1 の部位 51 において半導体層 5 に電気的に接続するソース電極 7 と、第 2 の部位 52 において半導体層 5 に電気的に接続するドレイン電極 8 と、平面的に見たときの半導体層 5 に沿って第 1 の部位 51 から第 2 の部位 52 に至る経路の途中の 2 ヶ所以上においてゲート絶縁膜 6 を介して半導体層 5 を覆うようにそれぞれ配置されたゲート電極 9 とを含む。下地絶縁膜 4 と第 1 透明基板 201 との間に、主表面 201u に対するゲート電極 9 の各々の投影領域 10 を覆う遮光膜 11 が配置されている。遮光膜 11 は、平面的に見て互いに離隔した複数の遮光膜要素 12 に分割されており、遮光膜要素 12 の各々はそれぞれ 1 つ以上のゲート電極 9 の投影領域 10 を覆っている。

[0018] 図 5 においては、説明の便宜のため、各部の長さは適宜伸縮されている。特に横方向の長さに関してはその傾向が顕著である。図 5 では、ソース配線

13 およびゲート配線14は図示省略されている。図4では、画素電極に電気的接続を図るためのコンタクト15も表示されているが、画素電極は図示省略されている。コンタクト15は図5では図示省略されている。図4および図5に示すように、薄膜トランジスタ3は、1本の半導体層5の途中に2つのゲート電極9を備えている。ゲート電極9は、ゲート配線14の一部である。ゲート配線14の途中の半導体層5と重なっている部分がゲート電極9となっている。

[0019] 半導体層5のうちゲート電極9の投影領域10に位置する部分はチャンネル領域に該当する。遮光膜要素12が投影領域10を覆っているということは、言い換えれば、遮光膜要素12がチャンネル領域を下側から覆っているといえる。

[0020] 本実施の形態では、薄膜トランジスタ3の中に複数あるチャンネル領域のすべてを1つの遮光膜11で下側から覆うのではなく、遮光膜11が複数の遮光膜要素12に分割され、遮光膜要素12の各々によってチャンネル領域を下側から覆う構成であるので、連続した半導体層に複数のゲート電極が配置されている構成を備えつつ、各チャンネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑えることができる。

[0021] 本実施の形態における液晶表示パネルが備える薄膜トランジスタ3の変形例として、いわゆるデュアルのL字形の例の平面図を図6に示す。図6に示すように、半導体層5は第1の部位51から第2の部位52までL字形に延在している。図6に示す例では、ゲート配線14の途中から枝分かれするようにゲート支線16が延在しており、ゲート支線16の一部が半導体層5と重なることによってゲート電極9となっている。図6の例においても薄膜トランジスタ3は1本の半導体層5の途中に2つのゲート電極9を備えている。

[0022] このような変形例においても、遮光膜11が複数の遮光膜要素12に分割され、遮光膜要素12の各々によってチャンネル領域を下側から覆う構成であるので、上述の効果を得ることができる。

[0023] (実施の形態 2)

図 7 を参照して、本発明に基づく実施の形態 2 における液晶表示パネルについて説明する。本実施の形態における液晶表示パネルは、基本的には実施の形態 1 で説明したのと同様の構成であるが、薄膜トランジスタの構成が異なる。以下の各実施の形態においてもそれぞれ薄膜トランジスタの構成が異なるのみであるので、以下の各実施の形態においても薄膜トランジスタに関して特に集中的に説明している。

[0024] 本実施の形態における液晶表示パネルが備える薄膜トランジスタ 3 は、いわゆるデュアルの I 字形である。図 7 に示すように、半導体層 5 はソース配線 1 3 と重なる位置である第 1 の部位 5 1 からソース配線 1 3 に重なるようにしばらく延在した後に 90° 折れ曲がってゲート配線 1 4 と平行に延在することによって第 2 の部位 5 2 に至っている。ゲート配線 1 4 の途中から枝分かれするようにゲート支線 1 7 が延在している。ゲート支線 1 7 は折れ曲がった後にゲート配線 1 4 と平行に延在し、ソース配線 1 3 と交差している。ゲート配線 1 4 のうち半導体層 5 と重なっている部分、および、ゲート支線 1 7 のうち半導体層 5 と重なっている部分がゲート電極 9 となっている。したがって、この薄膜トランジスタ 3 は、図 7 に示されるように、ソース配線 1 3 と重なるように 2 つのゲート電極 9 を備える。半導体層 5 のうちこれらのゲート電極 9 の真下にある部分がそれぞれチャネル領域に相当する。

[0025] 遮光膜 1 1 が複数の遮光膜要素 1 2 に分割されて配置されている点などについては、実施の形態 1 で説明したのと同様である。

[0026] 本実施の形態においても、遮光膜 1 1 が複数の遮光膜要素 1 2 に分割され、遮光膜要素 1 2 の各々によってチャネル領域を下側から覆う構成であるので、上述の効果を得ることができる。

[0027] 本実施の形態における液晶表示パネルが備える薄膜トランジスタ 3 の変形例として、いわゆるデュアルの I 字形の例を図 8 に示す。半導体層 5 はソース配線 1 3 と重なる位置である第 1 の部位 5 1 からゲート配線 1 4 と平行に延在して第 2 の部位 5 2 に至っている。ゲート配線 1 4 の途中の 2 ヶ所か

らそれぞれ枝分かれするようにゲート支線 16 が延在している。各ゲート支線 16 のうち半導体層 5 と重なっている部分がゲート電極 9 となっている。したがって、この薄膜トランジスタ 3 は、図 8 に示されるように、ソース配線 13 と重ならない位置に、ゲート配線 14 と平行に並ぶように 2 つのゲート電極 9 を備える。半導体層 5 のうちこれらのゲート電極 9 の真下にある部分がそれぞれチャネル領域に相当する。

[0028] このような変形例においても、上述の効果を得ることができる。

(実施の形態 3)

図 9 を参照して、本発明に基づく実施の形態 3 における液晶表示パネルについて説明する。本実施の形態における液晶表示パネルが備える薄膜トランジスタ 3 は、いわゆるトリプルである。半導体層 5 はソース配線 13 と重なる位置である第 1 の部位 51 からソース配線 13 に重なったまましばらく延在した後に 90° 折れ曲がって第 2 の部位 52 に至っている。図 9 に示すように、ゲート配線 14 からは一方の側に枝分かれするようにゲート支線 16 が延在し、さらに他方の側に枝分かれするようにゲート支線 17 が延在している。ゲート支線 17 は 90° 折れ曲がってソース配線 13 と交差している。ゲート配線 14 のうち半導体層 5 と重なる部分がゲート電極となっており、さらにゲート支線 16、17 のうち半導体層 5 と重なる部分がそれぞれゲート電極 9 となっている。したがって、この薄膜トランジスタ 3 は、図 9 に示されるように、ソース配線 13 と重なる位置に 2 つのゲート電極 9 を備え、ソース配線 13 と重ならない位置に 1 つのゲート電極 9 を備える。したがって、本実施の形態における液晶表示パネルの薄膜トランジスタ 3 は、合計 3 つのゲート電極 9 を備える。半導体層 5 のうちこれらのゲート電極 9 の真下にある部分がそれぞれチャネル領域に相当する。

[0029] 本実施の形態においても、実施の形態 1 で説明したような効果を得ることができる。

変形例として図 10 に示すような構成も考えられる。この例においても、薄膜トランジスタ 3 は 3 つのゲート電極 9 を備える。すなわち、薄膜トラン

ジスタ 3 は 3 つのチャネル領域を有する。図 10 に示した例では、ソース配線 13 に重なる位置の 2 つのチャネル領域に対応する遮光膜要素 18 はつながって一体的なものとなっている。第 2 の部位 52 に最も近い位置の 1 つのチャネル領域はソース配線 13 に重ならない位置にあり、このチャネル領域を覆う遮光膜要素 12 は分離独立したものとなっている。

[0030] このような変形例では、2 つのチャネル領域を 1 つの遮光膜要素 18 で下側から覆っているという点では、図 9 に示した例に比べて効果が若干劣るかもしれないが、図 10 に示した例においても、遮光膜 11 が複数の遮光膜要素 12, 18 に分割され、遮光膜要素の各々によってチャネル領域を下側から覆う構成であるので、1 つの薄膜トランジスタ 3 に属する全てのチャネル領域を単一の一体的な遮光膜で一括して被覆する場合に比べれば、各チャネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑えることができる。

[0031] さらに変形例として図 11 に示す構成も考えられる。この例においても、薄膜トランジスタ 3 は 3 つのゲート電極 9 を備える。すなわち、薄膜トランジスタ 3 は 3 つのチャネル領域を有する。図 11 に示した例では、ゲート配線 14 に重なる位置の 1 つのチャネル領域とゲート支線 16 に重なる位置の 1 つのチャネル領域とに対応する遮光膜要素 18 はつながって一体的なものとなっている。第 1 の部位 51 に最も近い位置の 1 つのチャネル領域はソース配線 13 に重なる位置にあり、このチャネル領域を覆う遮光膜要素 12 は分離独立したものとなっている。

[0032] このような変形例では、2 つのチャネル領域を 1 つの遮光膜要素 18 で下側から覆っているという点では、図 9 に示した例に比べて効果が若干劣るかもしれないが、図 11 に示した例においても、遮光膜 11 が複数の遮光膜要素 12, 18 に分割され、遮光膜要素の各々によってチャネル領域を下側から覆う構成であるので、1 つの薄膜トランジスタ 3 に属する全てのチャネル領域を単一の一体的な遮光膜で一括して被覆する場合に比べれば、各チャネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑える

ことができる。

[0033] 図10に示した例と図11に示した例とを比較した場合、図10に示した例の方がドレイン電極8に近い位置における遮光膜要素が小さいので、遮光膜に起因する寄生容量がドレイン電極8に対して与える影響を小さくすることができ、この画素における表示品位を向上することができる。したがって、表示品位を優先したい場合には、図10に示す構成が好ましい。言い換えれば、以下のようなになる。

[0034] 上記各実施の形態における液晶表示パネルにおいては、前記遮光膜は、前記経路上で前記第2の部位に最も近い前記ゲート電極の前記投影領域を覆う第1遮光膜要素と、前記経路上で前記第2の部位から2番目に近い前記ゲート電極の前記投影領域を覆う第2遮光膜要素とを含み、前記第1遮光膜要素は前記第2遮光膜要素から離隔するように分割して配置されていることが好ましい。この構成を採用することにより、遮光膜に起因する寄生容量がドレイン電極に対して与える影響を小さくすることができ、その結果、表示品位を向上させることができる。

[0035] さらに、図4～図9に示したように、ゲート電極の各々に対応して1つつ分離独立して遮光膜要素が設けられていることが好ましい。すなわち、前記遮光膜は、前記経路上の前記ゲート電極の各々に対応して個別に離隔する複数の遮光膜要素に分割して配置されていることが好ましい。この構成を採用することにより、遮光膜全体として生じる寄生容量を小さく抑えることができるからである。

[0036] (実施の形態4)

図12を参照して、本発明に基づく実施の形態4における液晶表示パネルについて説明する。本実施の形態における液晶表示パネルが備える薄膜トランジスタ3は、いわゆるトリプルである。半導体層5は、ソース配線13に重なる位置にある第1の部位51からソース配線13に沿って延在しつつゲート配線14と交差した後に90°折れ曲がってゲート配線14と平行に延在することによって第2の部位52に至っている。半導体層5がゲート配線

14と平行に延在する部分においては半導体層5は2本のゲート支線16とそれぞれ交差している。この例では、薄膜トランジスタ3は3つのチャネル領域を有する。各チャネル領域はそれぞれ平面的に見て互いに離隔した別々の遮光膜要素12によって下側から覆われている。各遮光膜要素12はそれぞれ1つずつのチャネル領域を下側から覆っている。

[0037] 本実施の形態においても、実施の形態1で説明したような効果を得ることができる。

変形例として図13、図14に示すような構成も考えられる。図13、図14に示した例においても、薄膜トランジスタ3はそれぞれ3つのゲート電極9を備える。すなわち、薄膜トランジスタ3は3つのチャネル領域を有する。

[0038] 図13、図14にそれぞれ示した変形例では、3つのチャネル領域のうち2つのチャネル領域を1つの遮光膜要素18で下側から覆っているという点では、図12に示した例に比べて効果が若干劣るかもしれないが、図13、図14に示した各例においても、遮光膜11が複数の遮光膜要素12、18に分割され、遮光膜要素の各々によってチャネル領域を下側から覆う構成であるので、1つの薄膜トランジスタ3に属する全てのチャネル領域を単一の一体的な遮光膜で一括して被覆する場合に比べれば、各チャネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑えることができる。

[0039] (実施の形態5)

図15を参照して、本発明に基づく実施の形態5における液晶表示パネルについて説明する。本実施の形態における液晶表示パネルが備える薄膜トランジスタ3は、いわゆるトリプルである。半導体層5は、ソース配線13に重なる位置にある第1の部位51からソース配線13に沿って延在しつつゲート配線14と交差した後にソース配線131から離れるようにしてU字状に折れ曲がってゲート配線14と再度交差し、さらに再びU字状に折れ曲がってゲート配線14と交差している。この薄膜トランジスタ3にはゲート支

線は設けられていない。半導体層 5 は S 字形状を描くように延在することによって 3 ヶ所においてゲート配線 14 と交差しており、ゲート配線 14 のうち半導体層 5 と重なる 3 つの部分がそれぞれゲート電極 9 となっている。したがって、この例では、薄膜トランジスタ 3 は 3 つのチャネル領域を有する。各チャネル領域はそれぞれ平面的に見て互いに離隔した別々の遮光膜要素 12 によって下側から覆われている。各遮光膜要素 12 はそれぞれ 1 つずつのチャネル領域を下側から覆っている。

[0040] 本実施の形態においても、実施の形態 1 で説明したような効果を得ることができる。

変形例として図 16、図 17 に示すような構成も考えられる。図 16、図 17 に示した例においても、薄膜トランジスタ 3 はそれぞれ 3 つのゲート電極 9 を備える。すなわち、薄膜トランジスタ 3 は 3 つのチャネル領域を有する。

[0041] 図 16、図 17 にそれぞれ示した変形例では、3 つのチャネル領域のうち 2 つのチャネル領域を 1 つの遮光膜要素 18 で下側から覆っているという点では、図 15 に示した例に比べて効果が若干劣るかもしれないが、図 16、図 17 に示した各例においても、遮光膜 11 が複数の遮光膜要素 12、18 に分割され、遮光膜要素の各々によってチャネル領域を下側から覆う構成であるので、1 つの薄膜トランジスタ 3 に属する全てのチャネル領域を単一の一体的な遮光膜で一括して被覆する場合に比べれば、各チャネル領域を挟むソース領域とドレイン領域との間での寄生容量の増加を抑えることができる。

[0042] 液晶表示パネルにおいて、開口率を上げたい場合、以下のことがいえる。

液晶表示パネルにおいては、前記主表面には、第 1 の方向に延在するゲート配線と、前記第 1 の方向とは垂直な第 2 の方向に延在し、前記ソース電極と電氣的に接続されているソース配線とが配置されており、前記ゲート電極は、前記ゲート配線から電氣的に接続されているか、または、前記ゲート電極の一部であり、平面的に見て、前記経路の少なくとも一部は、前記ソース

配線と重なっており、前記遮光膜要素のうち少なくとも1つは前記ソース配線と重なる位置にあることが好ましい。図5～図7、図9～図17に示した例が、この条件を満たしている。この構成を採用することにより、遮光膜要素のうち少なくとも1つはソース配線と重なる位置にあるので、1つの画素全体としては、遮光膜要素によって開口率が減る度合いを少なくすることができ、開口率の向上につながる。特に図7、図9～図11に示した例では、2つの遮光膜がソース配線と重なる位置にあるので、1つの画素全体としては、遮光膜要素によって開口率が減る度合いを少なくすることができ、開口率の向上に効果的である。

[0043] 液晶表示パネルにおいて、消費電力を節減したい場合、以下のことがいえる。

液晶表示パネルにおいては、前記主表面には、第1の方向に延在するゲート配線と、前記第1の方向とは垂直な第2の方向に延在し、前記ソース電極と電氣的に接続されているソース配線とが配置されており、前記ゲート電極は、前記ゲート配線から電氣的に接続されているか、または、前記ゲート電極の一部であり、平面的に見て、前記遮光膜要素はいずれも前記ソース配線と重ならない位置に配置されていることが好ましい。図8に示した例がこの条件を満たしている。この構成を採用することにより、遮光膜要素のいずれもがソース配線と重ならないので、ソース配線に与える負担を少なくすることができ、1つの画素全体としては、消費電力を節減することができる。

[0044] なお、上記各実施の形態では、チャネル領域の数が2または3の例を示して説明したが、本発明の適用に当たっては、チャネル領域の数が4以上であってもよい。

[0045] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

産業上の利用可能性

[0046] 本発明は、液晶表示パネルに利用することができる。

符号の説明

[0047] 1 表示領域、2 画素、3 薄膜トランジスタ、4 下地絶縁膜、5 半導体層、5 a, 5 d ソース領域、5 b, 5 e チャネル領域、5 c, 5 f ドレイン領域、6 ゲート絶縁膜、7 ソース電極、8 ドレイン電極、9 ゲート電極、10 投影領域、11, 110 遮光膜、12, 18 遮光膜要素、13 ソース配線、14 ゲート配線、15 コンタクト、16, 17 ゲート支線、51 第1の部位、52 第2の部位、91 投影領域、201 第1透明基板、201 u 主表面、202 第2透明基板、203 液晶層、204 シール材。

請求の範囲

- [請求項1] 複数の画素（2）を有する表示領域（1）を含む主表面（201u）を有する第1透明基板（201）と、
- 少なくとも前記表示領域を含む領域において前記主表面と対向するように配置された第2透明基板（202）と、
- 前記第1透明基板と前記第2透明基板とに挟み込まれるように配置された液晶層（203）とを備え、
- 前記主表面には、前記複数の画素の各々に対応する薄膜トランジスタ（3）が設けられており、
- 前記薄膜トランジスタは、前記第1透明基板に近い側から順に、
- 前記主表面の少なくとも一部を覆う下地絶縁膜（4）と、
- 前記下地絶縁膜の一部を覆うようにして、平面的に見て少なくとも第1の部位（51）から第2の部位（52）まで線状に延在する半導体層（5）と、
- 前記半導体層の少なくとも一部を覆うゲート絶縁膜（6）と、
- 前記第1の部位において前記半導体層に電氣的に接続するソース電極（7）と、
- 前記第2の部位において前記半導体層に電氣的に接続するドレイン電極（8）と、
- 平面的に見たときの前記半導体層に沿って前記第1の部位から前記第2の部位に至る経路の途中の2ヶ所以上において前記ゲート絶縁膜を介して前記半導体層を覆うようにそれぞれ配置されたゲート電極（9）とを含み、
- 前記下地絶縁膜と前記第1透明基板との間に、前記主表面に対する前記ゲート電極の各々の投影領域を覆う遮光膜（11）が配置されており、
- 前記遮光膜は、平面的に見て互いに離隔した複数の遮光膜要素（12，18）に分割されており、前記遮光膜要素の各々はそれぞれ1つ

以上の前記ゲート電極の前記投影領域を覆っている、液晶表示パネル。

[請求項2] 前記遮光膜は、前記経路上で前記第2の部位に最も近い前記ゲート電極の前記投影領域を覆う第1遮光膜要素と、前記経路上で前記第2の部位から2番目に近い前記ゲート電極の前記投影領域を覆う第2遮光膜要素とを含み、前記第1遮光膜要素は前記第2遮光膜要素から離隔するように分割して配置されている、請求項1に記載の液晶表示パネル。

[請求項3] 前記遮光膜は、前記経路上の前記ゲート電極の各々に対応して個別に離隔する複数の遮光膜要素に分割して配置されている、請求項1または2に記載の液晶表示パネル。

[請求項4] 前記主表面には、第1の方向に延在するゲート配線（14）と、
前記第1の方向とは垂直な第2の方向に延在し、前記ソース電極と電氣的に接続されているソース配線（13）とが配置されており、
前記ゲート電極は、前記ゲート配線から電氣的に接続されているか、または、前記ゲート電極の一部であり、
平面的に見て、前記経路の少なくとも一部は、前記ソース配線と重なっており、前記遮光膜要素のうち少なくとも1つは前記ソース配線と重なる位置にある、請求項1から3のいずれかに記載の液晶表示パネル。

[請求項5] 前記主表面には、第1の方向に延在するゲート配線（14）と、
前記第1の方向とは垂直な第2の方向に延在し、前記ソース電極と電氣的に接続されているソース配線（13）とが配置されており、
前記ゲート電極は、前記ゲート配線から電氣的に接続されているか、または、前記ゲート電極の一部であり、
平面的に見て、前記遮光膜要素はいずれも前記ソース配線と重ならない位置に配置されている、請求項1から3のいずれかに記載の液晶表示パネル。