

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本開示は半導体装置及びその製造方法に関する。

背景技術

[0002] 電子機器の多機能化に伴い、半導体素子が多段に積層された構成のスタックドMCP (Multi Chip Package) が普及している。半導体素子の実装にはフィルム状接着剤が用いられている。フィルム状接着剤を使用した多段積層パッケージの一例として、ワイヤ埋込型のパッケージが挙げられる。これは、高流動なフィルム状接着剤を使用して圧着することで、圧着される側の半導体素子に接続しているワイヤを接着剤で覆いながら圧着するパッケージであり、携帯電話、携帯オーディオ機器用のメモリパッケージ等に搭載されている。

[0003] 半導体装置に求められる重要な特性の一つとして接続信頼性が挙げられる。接続信頼性を向上させるために、耐熱性、耐湿性及び耐リフロー性等の特性を考慮したフィルム状接着剤の開発が行われている。例えば、特許文献1には、高分子量成分と、エポキシ樹脂を主成分とする熱硬化性成分とを含む樹脂及びフィラーを含有する、厚さ10～250 μ mの接着シートが開示されている。特許文献2には、エポキシ樹脂とフェノール樹脂とを含む混合物及びアクリル共重合体を含む接着剤組成物が開示されている。

[0004] 半導体装置の接続信頼性は、接着面にボイド（空隙）を発生させることなく半導体素子を実装できているか否かによっても大きく左右される。このため、ボイドを発生させずに半導体素子を圧着できるように高流動なフィルム状接着剤を使用する、又は発生したボイドを半導体素子の封止工程で消失させることができるように熔融粘度の低いフィルム状接着剤を使用するなどの工夫がなされている。特許文献3には低粘度且つ低タック強度の接着シートが開示されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2005/103180号公報

特許文献2：特開2002-220576号公報

特許文献3：特開2009-120830号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、半導体チップ（半導体素子）のサイズが小さいと、熱圧着時に単位面積当たりにかかる力が大きすぎ、接着フィルムが潰れ、電気不良を発生する恐れがある。また、チップ埋め込み型接着フィルムであるFOD（Film Over Die）、あるいは、ワイヤ埋め込み型接着フィルムであるFOW（Film Over Wire）を用いて多段積層する際、チップの残留応力によりチップのはく離、パッケージ全体の反りの発生などの問題がある。更に、FOD又はFOWを用いる場合、チップ及び／又はワイヤの埋込性が悪化する傾向にある。これによりFOD又はFOWのはく離、リフロー時のクラック増加に繋がるという問題がある。

[0007] 本開示は熱硬化性樹脂組成物からなるフィルム状接着剤の埋込性向上を図り且つ反り（Bow ing）の発生を低減するのに有用な構成を有する半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 本開示に係る半導体装置の製造方法は、窪みを有する基板を準備する工程と、基板の窪みに第1の半導体素子を配置する工程と、熱硬化性樹脂組成物からなるフィルム状接着剤と第2の半導体素子との積層体をダイシングによって準備する工程と、フィルム状接着剤が基板における窪みを含む領域を覆うとともに第1の半導体素子がフィルム状接着剤に埋め込まれるように積層体を基板に対して押圧する工程と、フィルム状接着剤を加熱することで、当該フィルム状接着剤の硬化物によって第1の半導体素子を封止する工程とを

含み、基板の窪みの面積が第2の半導体素子の面積よりも小さい。

[0009] 上記製造方法において、上記積層体はダイシングによって準備されるものであるため、第2の半導体素子の面積とフィルム状接着剤の面積は実質的に同じである。窪みの面積（開口面積）がフィルム状接着剤の面積よりも小さいということは、フィルム状接着剤は窪みの開口面積よりも大きいことを意味する。かかる構成は、熱硬化性樹脂組成物からなるフィルム状接着剤の埋込性向上を図り且つ全体の反りを低減するのに有用である。すなわち、図4（b）に示す状態（第1の半導体素子W aの表面にフィルム状接着剤15 Pが当接した状態）から図4（c）に示す状態（第1の半導体素子W aがフィルム状接着剤15 Pに埋め込まれた状態）に至るまで、第2の半導体素子W bの押し込み量を少なくすることができる。これにより、第1及び第2の半導体素子の残留応力を低減でき、半導体装置全体の反りを抑制できると推察される。これに対し、図6（a）及び図6（b）に示すように窪みを有しない平坦な基板10 B上に第1の半導体素子W aを配置した場合、図4（b）及び図4（c）に示した態様と比較して第2の半導体素子W bの押し込み量を多くする必要がある。

[0010] なお、フィルム状接着剤の面積よりも小さい開口面積を有する窪みに第1の半導体素子を配置した後、これをフィルム状接着剤に埋め込むことで（図4（c）参照）、このような窪みを有しない平坦な基板上に第1の半導体素子を配置した場合（図6（b）参照）と比較してフィルム状接着剤の厚さを過度に厚くしなくても第1の半導体素子と第2の半導体素子の距離を確保でき、両者の接触を十分に抑制できる。フィルム状接着剤の厚さは、埋め込むべき第1の半導体素子の厚さ等に応じて、例えば、60～150 μm の範囲とすればよい。

[0011] 窪みへのフィルム状接着剤の埋込性の観点から、窪みの面積は第2の半導体素子の面積（フィルム状接着剤の面積）に対して30～80%であることが好ましく、窪みの深さは第1の半導体素子の高さに対して10～30%であることが好ましい。なお、ここでいう第1の半導体素子の高さは、窪みの

底面から第1の半導体素子の上面までの高さ（例えば、第1の半導体素子を基板に圧着するための接着剤の厚さを含む）を意味する。

- [0012] フィルム状接着剤として、60～150℃の間のいずれかの温度において、ずり粘度が5000 Pa・s以下となる熱硬化性樹脂組成物を用いることが好ましい。製造される半導体装置の反りを抑制する観点から、基板（窪みの部分を除く）の厚さは、例えば、90～140 μmである。
- [0013] 基板としてその表面に回路パターンを有するものを使用する場合、本開示に係る製造方法は、第1の半導体素子と回路パターンとを電気的に接続する第1のワイヤボンディング工程を更に含んでもよい。また、この場合、本開示に係る製造方法は、第2の半導体素子と回路パターンとを電気的に接続する第2のワイヤボンディング工程と、第2の半導体素子及び第2のワイヤを樹脂組成物で封止する工程とを更に含んでもよい。
- [0014] 本開示に係る製造方法は、第2の半導体素子の上に第3の半導体素子を積層する工程を更に含んでもよい。本開示に係る製造方法において、加圧雰囲気下でフィルム状接着剤を加熱することで、当該フィルム状接着剤の硬化物によって第1の半導体素子を封止するようにしてもよい。
- [0015] 本開示に係る半導体装置は、窪みを有する基板と、窪みに配置された第1の半導体素子と、基板における窪みを含む領域を覆うように配置されており、第1の半導体素子を封止している第1の封止層と、第1の封止層における基板の側と反対側の表面を覆うように配置された第2の半導体素子とを備え、第1の封止層が熱硬化性樹脂組成物からなるフィルム状接着剤の硬化物からなり、窪みの面積が第2の半導体素子の面積よりも小さい。かかる構成は、熱硬化性樹脂組成物からなるフィルム状接着剤の埋込性向上を図り且つ全体の反りを低減するのに有用である。
- [0016] 本開示に係る半導体装置は、基板の表面に形成された回路パターンと、第1の半導体素子と回路パターンとを電気的に接続する第1のワイヤとを更に備えてもよい。本開示に係る半導体装置は、第2の半導体素子と回路パターンとを電気的に接続する第2のワイヤと、第2の半導体素子及び第2のワイ

ヤを封止している第2の封止層とを更に備えてもよい。本開示に係る半導体装置は、第2の半導体素子の上に積層された第3の半導体素子を更に備えてもよい。

発明の効果

[0017] 本開示によれば、熱硬化性樹脂組成物からなるフィルム状接着剤の埋込性向上を図り且つ全体の反り（Bow ing）を低減するのに有用な構成を有する半導体装置及びその製造方法が提供される。

図面の簡単な説明

[0018] [図1]図1は本開示に係る半導体装置の一実施形態を模式的に示す断面図である。

[図2]図2はフィルム状接着剤と第2の半導体素子とからなる積層体の一例を模式的に示す断面図である。

[図3]図3（a）は窪みを有する基板の一例を模式的に示す断面図であり、図3（b）は図3（a）に示す基板の平面図である。

[図4]図4（a）～図4（c）は図1に示す半導体装置を製造する過程を模式的に示す断面図である。

[図5]図5（a）～図5（e）は、フィルム状接着剤と第2の半導体素子とからなる積層体を製造する過程を模式的に示す断面図である。

[図6]図6（a）及び図6（b）は、窪みを有しない基板上に配置された半導体素子をフィルム状接着剤で埋め込む工程を模式的に示す断面図である。

発明を実施するための形態

[0019] 以下、図面を参照しながら、本開示の実施形態について詳細に説明する。

なお、本発明は以下の実施形態に限定されるものではない。

[0020] <半導体装置>

図1は本実施形態に係る半導体装置を模式的に示す断面図である。この図に示す半導体装置100は、窪み10aを有する基板10と、窪み10aに配置された第1の半導体素子W aと、第1の半導体素子W aを封止している第1の封止層15と、第1の半導体素子W aの上方に配置された第2の半導

体素子Wbと、第2の半導体素子Wbを封止している第2の封止層25とを備える。第1の封止層15はフィルム状接着剤15P（図2参照）の硬化物からなる。なお、図2に示すとおり、フィルム状接着剤15Pと第2の半導体素子Wbは実質的に同じサイズである。図2に示す積層体20は、フィルム状接着剤15Pと第2の半導体素子Wbとからなり、接着剤付き半導体チップとも称される。積層体20は、後述のとおり、ダイシング工程及びピックアップ工程を経ることによって作製される（図5参照）。

[0021] 図3（a）に示すように、基板10の窪み10aは、底面10bと、この底面10bから基板10の表面10F（窪み10a以外の表面）の方向に延びている側面10cとによって構成されている。図3（b）に示すように、平面視における窪み10aの形状は矩形（正方形又は長方形）である。製造される半導体装置100の反りを抑制する観点から、基板10の厚さ（図3（a）に示す厚さT）は、例えば、90～140 μ mであり、100～130 μ mであってもよい。なお、窪み10aの形状は、矩形に限らず、円形又は楕円形等の丸みを帯びたものであってもよい。また、窪み10aの側面は、フィルム状接着剤の埋込性向上の観点から、例えばテーパ状に形成されていてもよい。

[0022] 窪み10aの底面10b上に第1の半導体素子Waが配置される。窪み10aの底面10bのサイズは第1の半導体素子Waのサイズよりも大きい。平面視における第1の半導体素子Waの形状は、例えば矩形（正方形又は長方形）である。第1の半導体素子Waの一辺の長さは、例えば、5mm以下であり、1～5mm又は3～5mmであってもよい。半導体装置100の反りの抑制及び第1の封止層15の埋込性を高度に両立する観点から、第1の半導体素子Waと窪み10aの側面10cとの隙間は1.2～5mmであることが好ましく、2～5mmであることがより好ましく、4～5mmであることが更に好ましい。

[0023] 窪み10aの深さ（図3（a）に示す深さD）は、窪み10aへのフィルム状接着剤の埋込性の観点から、例えば、5～60 μ mであり、10～50

μm 又は $20\sim40\mu\text{m}$ であってもよい。窪み10aの深さは、窪み10aへのフィルム状接着剤の埋込性の観点から、第1の半導体素子Waの高さ（窪み10aの底面10bから第1の半導体素子Waの上面までの高さ）に対して $10\sim30\%$ であることが好ましく、 $15\sim25\%$ であることがより好ましい。

[0024] 本実施形態において、第1の半導体素子Waは半導体装置100を駆動するためのコントローラチップである。第1の半導体素子Waの厚さは、例えば、 $10\sim170\mu\text{m}$ であり、 $20\sim100\mu\text{m}$ であってもよい。なお、第2の半導体素子Wbの厚さは、例えば、 $20\sim400\mu\text{m}$ であり、 $50\sim200\mu\text{m}$ であってもよい。

[0025] 窪み10aへのフィルム状接着剤の埋込性の観点から、図1に示すとおり、窪み10aのサイズは第2の半導体素子Wbのサイズよりも小さい。より具体的には、基板10の表面10Fにおける窪み10aの開口面積は第2の半導体素子Wbの面積より小さい。そして、窪み10aを覆うように基板10上に積層体20（図3（b）において破線で示す。）をフィルム状接着剤15Pが下を向くようにして配置したとき、フィルム状接着剤15Pの周縁部15aが基板10の表面10Fに当接する。窪み10aの面積（表面10Fにおける開口面積）は、窪み10aへのフィルム状接着剤15Pの埋込性の観点から、第2の半導体素子Wbの面積（フィルム状接着剤15Pの面積）に対して $30\sim80\%$ であることが好ましく、 $50\sim75\%$ であることがより好ましい。

[0026] 平面視における第2の半導体素子Wbの形状は、例えば矩形（正方形又は長方形）である。第2の半導体素子Wbの一辺の長さは、例えば、 20mm 以下であり、 $2\sim20\text{mm}$ 又は $7\sim20\text{mm}$ であってもよい。

[0027] 図1に示すとおり、基板10は回路パターンC1、C2を有する。回路パターンC1は窪み10aの底面10b上に形成されている。回路パターンC2は基板10の表面10F上に形成されている。第1の半導体素子Waは、回路パターンC1上に接着剤5を介して圧着されており、第1のワイヤ11

を介して回路パターンC 2に接続されている。第2の半導体素子W bは、第1の半導体素子W aの全体と回路パターンC 2の一部とが覆われるように第1の封止層1 5を介して基板1 0上に搭載されている。第2の半導体素子W bは、第2のワイヤ1 2を介して回路パターンC 2に接続されるとともに封止層2 5により封止されている。

[0028] <半導体装置の製造方法>

半導体装置1 0 0の製造方法について説明する。まず、図4 (a)に示す構造体3 0を作製する。すなわち、基板1 0の窪み1 0 aに第1の半導体素子W aを配置する。その後、第1の半導体素子W aと回路パターンC 2とを第1のワイヤ1 1で電氣的に接続する。

[0029] 次に、図4 (b)及び図4 (c)に示すように、別途準備した積層体2 0のフィルム状接着剤1 5 Pを基板1 0に対して押圧する。これによって、第1の半導体素子W a及び第1のワイヤ1 1をフィルム状接着剤1 5 Pに埋め込む。フィルム状接着剤1 5 Pの厚さは、第1の半導体素子W aの厚さ及び窪み1 0 aの容量等に応じて適宜設定すればよく、例えば、6 0～1 5 0 μ mの範囲であればよく、7 0～1 3 0 μ m又は9 0～1 2 0 μ mであってもよい。フィルム状接着剤1 5 Pの厚さを上記範囲とすることで、第1の半導体素子W aと第2の半導体素子W bの間隔(図1における距離G)を十分に確保することができる。距離Gは、例えば2 0～1 2 0 μ mであり、3 0～1 0 0 μ m又は4 0～8 0 μ mであってもよい。フィルム状接着剤1 5 Pを基板1 0に対して押圧する際の温度は例えば8 0～1 6 0℃である。

[0030] フィルム状接着剤1 5 Pは、熱硬化性樹脂組成物であって、例えば、6 0～1 5 0℃(好ましくは8 0～1 4 0℃)の間のいずれかの温度においてずり粘度が5 0 0 0 Pa・s以下(好ましくは2 0 0～4 0 0 0 Pa・s)となるものからなることが好ましい。埋込性の観点から、フィルム状接着剤1 5 Pの8 0℃におけるずり粘度は5 0 0 Pa・s以上であることが好ましく、8 0 0 Pa・s以上であることが好ましく、1 0 0 0 Pa・s以上であることがより好ましい。

[0031] 次に、加熱によってフィルム状接着剤 15 P を硬化させる。これにより、フィルム状接着剤 15 P の硬化物（第 1 の封止層 15）で第 1 の半導体素子 W a が封止される。フィルム状接着剤 15 P の硬化処理は、ボイドの低減の観点から、加圧雰囲気下で実施してもよい。第 2 の半導体素子 W b と回路パターン C 2 とを第 2 のワイヤ 12 で電氣的に接続した後、第 2 の封止層 25 によって第 2 の半導体素子 W b を封止することによって半導体装置 100 が完成する（図 1 参照）。

[0032] なお、ここで図 2 に示す積層体 20 の製造方法の一例について、図 5（a）～（e）を参照しながら説明する。まず、ダイシングダイボンディングテープ 8（以下、単に「テープ 8」という。）を所定の装置（不図示）に配置する。テープ 8 は、基材層 1 と粘着層 2 と接着層 15 A とをこの順序で備える。図 5（a）及び図 5（b）に示すように、半導体ウエハ W の一方の面に接着層 15 A が接するようにテープ 8 を貼り付ける。基材層 1 は、例えば、ポリエチレンテレフタレートフィルム（PET フィルム）である。半導体ウエハ W は、例えば、厚さ 10～100 μm の薄型半導体ウエハである。半導体ウエハ W は、単結晶シリコンであってもよいし、多結晶シリコン、各種セラミック、ガリウム砒素等の化合物半導体であってもよい。

[0033] 図 5（c）に示すように、半導体ウエハ W、粘着層 2 及び接着層 15 A をダイシングする。これにより、半導体ウエハ W が個片化されて半導体素子 W b となる。接着層 15 A も個片化されてフィルム状接着剤 15 P となる。なお、半導体ウエハ W のダイシングに先立って半導体ウエハ W を研削することによって薄膜化してもよい。

[0034] 次に、粘着層 2 が例えば UV 硬化型である場合、図 5（d）に示すように、粘着層 2 に対して紫外線を照射することにより粘着層 2 を硬化させ、粘着層 2 とフィルム状接着剤 15 P との間の粘着力を低下させる。紫外線照射後、図 5（e）に示されるように、基材層 1 をエキスパンドすることによって半導体素子 W b を互いに離間させつつ、ニードル 42 で突き上げることによって粘着層 2 から積層体 20 のフィルム状接着剤 15 P を剥離させるととも

に、積層体20を吸引コレット44で吸引してピックアップする。このようにして得られた積層体20は、図4(b)に示すとおり、半導体装置100の製造に供される。

- [0035] 以上、本開示の実施形態について詳細に説明したが、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態においては、一つの窪み10aを有する基板10を使用して半導体装置100を製造する場合を例示したが、複数の窪みを有する基板を使用し、それぞれの窪みに半導体装置が配置された半導体装置を製造してもよい。また、上記実施形態においては、二つの半導体素子Wa, Wbが積層された態様のパッケージを例示したが、第2の半導体素子Wbの上方に第3の半導体素子が積層されていてもよいし、その上方に更に一つ又は複数の半導体素子が積層されていてもよい。

実施例

- [0036] 以下、本開示について、実施例及び比較例によって説明するが、本発明の範囲はこれらによって限定されるものではない。

- [0037] [実施例1a～1c]

＜第1の半導体素子とフィルム状接着剤とからなる積層体の作製＞

半導体ウエハ（シリコンウエハ、厚さ775 μ m）を準備した。フルオートグラインダーポリッシャーDGP-8761（（株）ディスコ製）を使用して、この半導体ウエハを厚さ30 μ mとなるまで削った。半導体ウエハにダイシングダイボンディングー体型フィルム（日立化成（株）製、接着層の厚さ10 μ m、粘着層の厚さ110 μ m）を貼り付けた。この貼り付けは、フルオートマルチウエハマウンターDFM-2800（（株）ディスコ製）を使用して行い、ステージ温度は70℃とした。

- [0038] 上記半導体ウエハを以下の条件でダイシングした。これにより、第1の半導体素子（コントローラチップ）とフィルム状接着剤とからなる第1の積層体を得た。

・使用装置：12インチデュアルダイサーDFD-6361（（株）ディスコ製）

- ・切断方式：シングルカット方式
- ・ブレード：Z H 0 5 - S D 4 8 0 0 - N 1 - 7 0 - B B （（株）ディスコ製）
- ・ブレード回転数：5 0 0 0 0 r p m
- ・切断速度：3 0 m m / s e c
- ・チップサイズ3 m m × 3 m m

[0039] <第2の半導体素子とフィルム状接着剤とからなる積層体の作製>

半導体ウエハ（シリコンウエハ、厚さ775 μ m）を準備した。ステルスレーザーダイサーD F L - 7 3 6 1 （（株）ディスコ製）を使用し、サイズ10 mm × 10 mmの半導体素子が得られるように、半導体ウエハにレーザーで改質層を形成した。続いて、フルオートグラインダーポリッシャーD G P - 8 7 6 1 （（株）ディスコ製）を使用して、この半導体ウエハを厚さ60 μ mとなるまで削った。半導体ウエハにダイシングダイボンディングー体型フィルム（日立化成（株）製、接着層の厚さ110 μ m、粘着層の厚さ20 μ m）を貼り付けた。この貼り付けは、フルオートマルチウエハマウンターD F M - 2 8 0 0 （（株）ディスコ製）を使用して行い、ステージ温度は70℃とした。なお、上記ダイシングダイボンディングー体型フィルムの接着層は、硬化後の260℃における弾性率が比較的高い（90～120 MPa程度）熱硬化性樹脂組成物からなるものである。

[0040] 続いて、冷却エキスパンド装置D D S 2 3 0 0 （（株）ディスコ製）を使用して、以下の条件でエキスパンドすることによって半導体ウエハ及び接着層を個片化するとともに、得られた積層体（第2の半導体及びフィルム状接着剤）をピックアップした。

- ・温度：-15℃
- ・冷却室内保持時間：90 s e c
- ・突き上げ量：9 mm
- ・突き上げ速度：300 mm / s e c

なお、ヒートシュリンク条件は、突き上げ量7 mm、突き上げ速度30 m

m/sec、保持時間 15 sec、ドライヤー温度 220℃とした。洗浄及び乾燥を実施した後、粘着層に対して UV を照射した。UV 条件は照度 100 mW/cm²、照射量 150 mJ/cm²とした。これにより、第 2 の半導体ウエハとフィルム状接着剤とからなる第 2 の積層体を得た。

[0041] <第 1 の半導体素子のダイボンディング>

表面に窪みを有する三種類の基板（日立化成（株）製、E-700G）を準備した。三種類の基板は窪みのサイズが互いに異なるものであり、窪みのサイズはそれぞれ 5 mm×5 mm、7.1 mm×7.1 mm 及び 8.7 mm×8.7 mm であり、深さはいずれも 10 μm であった。各基板の窪みの中心に以下の条件で第 1 の積層体を圧着した。

- ・装置：ダイボンダ DB-830 plus+（FAS FORD TECHNOLOGY 社製）

- ・圧着条件：温度 120℃、時間 1 秒間、圧力 1.0 MPa

[0042] 第 1 の積層体のフィルム状接着剤を以下の条件で硬化させた。

- ・装置：全自動加圧オープン PCOA-01T（NTT アドバンス社製）

- ・硬化条件：温度 90℃、圧力 0.3 MPa、3 分間保持させた後、140℃、0.7 MPa、35 分間保持した。

[0043] <第 2 の半導体素子のダイボンディング>

第 1 の半導体素子をダイボンディングした後の基板上に第 2 の積層体を以下の条件で圧着させた。

- ・位置：第 1 の半導体素子の中心と第 2 の半導体素子の中心が一致するように、第 2 の積層体の位置合わせを行った。

- ・圧着条件：温度 120℃、時間 1.5 秒間、圧力 1.5 MPa

[0044] 第 2 の半導体素子を圧着後の構造体であって、窪みのサイズが互いに異なる三種類の構造体（実施例 1a～1c）を後述の評価の対象とした。以下、実施例 1a～1c をまとめて実施例 1 ということがある。

[0045] [比較例 1]

表面に窪みを有しない基板の表面に第 1 の半導体素子を圧着したことの他

は、実施例 1 と同様にして評価用の構造体（比較例 1 a ～ 1 c）を得た。

[0046] [実施例 2]

第 1 の半導体素子の厚さを $30\mu\text{m}$ とする代わりに、 $40\mu\text{m}$ としたこと
の他は実施例 1 と同様にして評価用の構造体を得た。第 2 の半導体素子を圧
着後の構造体であって、窪みのサイズが互いに異なる三種類の構造体（実施
例 2 a ～ 2 c）を後述の評価の対象とした。以下、実施例 2 a ～ 2 c をまと
めて実施例 2 ということがある。

[比較例 2]

表面に窪みを有しない基板の表面に第 1 の半導体素子を圧着したこと
の他は、実施例 2 と同様にして評価用の構造体（比較例 2 a ～ 2 c）を得た。

[0047] [実施例 3]

第 1 の半導体素子の厚さを $30\mu\text{m}$ とする代わりに、 $50\mu\text{m}$ としたこと
の他は実施例 1 と同様にして評価用の構造体を得た。第 2 の半導体素子を圧
着後の構造体であって、窪みのサイズが互いに異なる三種類の構造体（実施
例 3 a ～ 3 c）を後述の評価の対象とした。以下、実施例 3 a ～ 3 c をまと
めて実施例 3 ということがある。

[0048] [比較例 3]

表面に窪みを有しない基板の表面に第 1 の半導体素子を圧着したこと
の他は、実施例 3 と同様にして評価用の構造体（比較例 3 a ～ 3 c）を得た。

[0049] <反り（Bow ing）の評価>

実施例 1 ～ 3 及び比較例 1 ～ 3 に係る構造体は、チップ埋め込み型の半導
体装置を想定したものである。これらの構造体の反り量を以下のようにして
測定した。すなわち、デジマチックインジケータ I D - H 0 5 3 0（M i t
u t o y o 社製）を使用し、平面上に置いた構造体の左上、右上、中心、左
下及び右下の 5 点を測定点とし、測定結果の最大値から最小値を引いた値を
反り量とした。窪みを有する基板を使用したことによる反り量の改善率を以
下の式で算出した。

・ 実施例 1 の改善率（％）＝（比較例 1 の反り量－実施例 1 の反り量）／比

較例 1 の反り量 $\times 100$

・ 実施例 2 の改善率 (%) = (比較例 2 の反り量 - 実施例 2 の反り量) / 比較例 2 の反り量 $\times 100$

・ 実施例 3 の改善率 (%) = (比較例 3 の反り量 - 実施例 3 の反り量) / 比較例 3 の反り量 $\times 100$

[0050] 表 1 ～ 3 に反り量の評価結果を示す。表 1 ～ 3 に示すように、実施例 1 - 1 (窪みのサイズが $5\text{ mm} \times 5\text{ mm}$) を除き、反り量の改善率はプラスの値であった。なお、実施例 1 - 1 に係る構造体は、反り量の改善率がマイナスの値であるものの、その反り量は比較例との差が $0.7\text{ }\mu\text{ m}$ ($= 26\text{ }\mu\text{ m} - 25.3\text{ }\mu\text{ m}$) であり、実用に耐え得る程度であると評価できる。

[0051] <埋込性の評価>

実施例 1 ～ 3 及び比較例 1 ～ 3 に係る構造体における第 1 の半導体素子の埋込性を以下のようにして評価した。

・ 装置：超音波デジタル画像診断装置 I S - 3 5 0 (インサイト株式会社製)

・ 測定：透過 (プローブ 35 MHz 、スキャン長さ (X : 100 mm 、Y : 50 mm)、ピッチ : 0.1 mm)

[0052] フィルム状接着剤による第 1 の半導体素子の埋込性を定量的に評価するため、得られた画像を画像編集ソフト (アドビシステムズ社製フォトショップ (登録商標)) を用いて編集してボイド率を算出した。すなわち、フィルム状接着剤で埋め込まれている部分を白、埋め込まれていない部分 (ボイド) を黒で表示し、ボイドの割合 (ボイド率) を算出した。窪みを有する基板を使用したことによるボイド率の改善率を以下の式で算出した。

・ 実施例 1 の改善率 (%) = (比較例 1 のボイド率 - 実施例 1 のボイド率) / 比較例 1 のボイド率 $\times 100$

・ 実施例 2 の改善率 (%) = (比較例 2 のボイド率 - 実施例 2 のボイド率) / 比較例 2 のボイド率 $\times 100$

・ 実施例 3 の改善率 (%) = (比較例 3 のボイド率 - 実施例 3 のボイド率)

／比較例 3 のボイド率 $\times 100$

[0053] 表 1 ～ 3 にボイド率の評価結果を示す。表 1 ～ 3 に示すように、窪みのサイズが 5 mm $\times$ 5 mm である場合（実施例 1 - 1、実施例 2 - 1 及び実施例 3 - 1）を除き、ボイド率の改善率はプラスの値であった。なお、窪みのサイズが 5 mm $\times$ 5 mm である場合、窪みの側面と第 1 の半導体素子（サイズ 3 mm $\times$ 3 mm）との隙間が 1 mm しかなかったため、この隙間に接着剤が入り込みにくく、ボイド率が高かったと推察される。

[0054]

[表1]

		実施例 1a	実施例 1b	実施例 1c	比較例 1
第 1 の半導体素子	サイズ		3mm × 3mm		
	厚さ		30μm		
	フィルム状接着剤の厚さ		10μm		
第 1 の積層体の厚さ			40μm		
第 2 の半導体素子	サイズ		10mm × 10mm		
	厚さ		60μm		
	フィルム状接着剤の厚さ		110μm		
窪み	有無		有り		無し
	深さ		10μm		—
	サイズ	5mm × 5mm	7.1mm × 7.1mm	8.7mm × 8.7mm	—
第 1 の半導体素子と窪みの側面との隙間		1.0mm	2.1mm	2.9mm	—
第 1 の積層体の厚さに対する窪みの深さの割合		25.0%	25.0%	25.0%	—
第 2 の半導体素子の面積に対する窪みの面積の割合		25.0%	50.4%	75.7%	—
反りの評価	反り量	26.0μm	14.7μm	19.2μm	25.3μm
	反り量の改善率	-2.6%	42.1%	24.3%	—
埋込性の評価	ホイト率	15.9%	1.6%	4.2%	7.4%
	ホイト率の改善率	-116.6%	77.7%	43.1%	—

[0055] [表2]

		実施例 2a	実施例 2b	実施例 2c	比較例 2
第 1 の半導体素子	サイズ		3mm × 3mm		
	厚さ		40μm		
	フィルム状接着剤の厚さ		10μm		
第 1 の積層体の厚さ			50μm		
第 2 の半導体素子	サイズ		10mm × 10mm		
	厚さ		60μm		
	フィルム状接着剤の厚さ		110μm		
窪み	有無		有り		無し
	深さ		10μm		—
	サイズ	5mm × 5mm	7.1mm × 7.1mm	8.7mm × 8.7mm	—
第 1 の半導体素子と窪みの側面との隙間		1.0mm	2.1mm	2.9mm	—
第 1 の積層体の厚さに対する窪みの深さの割合		20.0%	20.0%	20.0%	—
第 2 の半導体素子の面積に対する窪みの面積の割合		25.0%	50.4%	75.7%	—
反りの評価	反り量	30.0μm	21.3μm	26.8μm	33.0μm
	反り量の改善率	9.1%	35.4%	18.7%	—
埋込性の評価	ホイト率	17.2%	2.1%	4.4%	9.2%
	ホイト率の改善率	-87.8%	77.6%	52.2%	—

[0056] [表3]

		実施例 3a	実施例 3b	実施例 3c	比較例 3
第 1 の半導体素子	サイズ		3mm × 3mm		
	厚さ		50μm		
	フィルム状接着剤の厚さ		10μm		
第 1 の積層体の厚さ			60μm		
第 2 の半導体素子	サイズ		10mm × 10mm		
	厚さ		60μm		
	フィルム状接着剤の厚さ		110μm		
窪み	有無		有り		無し
	深さ		10μm		—
	サイズ	5mm × 5mm	7.1mm × 7.1mm	8.7mm × 8.7mm	—
第 1 の半導体素子と窪みの側面との隙間		1.0mm	2.1mm	2.9mm	—
第 1 の積層体の厚さに対する窪みの深さの割合		16.7%	16.7%	16.7%	—
		25.0%	50.4%	75.7%	—
第 2 の半導体素子の面積に対する窪みの面積の割合					
反りの評価	反り量	32.7μm	23.7μm	30.3μm	35.8μm
	反り量の改善率	8.8%	34.0%	15.3%	—
埋込性の評価	ホイト率	15.0%	2.1%	4.1%	5.1%
	ホイト率の改善率	-194.0%	59.6%	18.8%	—

産業上の利用可能性

[0057] 本開示によれば、熱硬化性樹脂組成物からなるフィルム状接着剤の埋込性向上を図り且つ全体の反り（Bow ing）を低減するのに有用な構成を有する半導体装置及びその製造方法が提供される。

符号の説明

[0058] 1 0…基板、1 0 a…窪み、1 1…第1のワイヤ、1 2…第2のワイヤ、1 5…第1の封止層（フィルム状接着剤の硬化物）、1 5 P…フィルム状接着剤、2 0…積層体、1 0 0…半導体装置、C 1, C 2…回路パターン、W a…第1の半導体素子、W b…第2の半導体素子