

阵列基板、显示面板及显示装置

本申请要求于 2023 年 05 月 30 日提交的、申请号为 202310629298.1 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板、显示面板及显示装置。

背景技术

有机发光二极管 (Organic Light-Emitting Diode, 简称: OLED) 显示装置凭借其自发光、不需背光源、对比度高、厚度薄、视角广、反应速度快、可用于挠曲性面板、使用温度范围广、构造及制程较简单等优异性能，逐渐成为显示领域的主流产品之一，OLED 显示面板可广泛应用于智能手机、平板电脑、电视和可穿戴设备（比如手表）等终端产品中。其中，高像素密度 (Pixels Per Inch; 简称: PPI) 和窄边框化是 OLED 显示装置当前的一个重要发展方向。

发明内容

一方面，提供一种阵列基板。所述阵列基板具有显示区和扇出区，所述扇出区与所述显示区的一侧边缘邻接。所述阵列基板包括衬底、多个像素电路、第一走线层、桥线层和第二走线层。所述多个像素电路设置于所述衬底上，且所述多个像素电路排列为多行和多列。所述第一走线层设置于所述多个像素电路远离所述衬底的一侧，包括沿第一方向延伸的多条第一初始化信号线、多条第二初始化信号线和多条第三初始化信号线，所述第一方向为所述多个子像素排列的行方向。每行像素电路与一条第一初始化信号线、一条第二初始化信号线和一条第三初始化信号线电连接。所述桥线层设置于所述第一走线层远离所述衬底的一侧，包括多列转接块和多条第一扇出线，每列转接块包括沿第二方向间隔设置的多个转接块，所述多条第一扇出线沿所述第一方向延伸，所述第二方向为所述多个像素电路排列的行方向。所述第二走线层设置于所述桥线层远离所述衬底的一侧，包括沿第二方向延伸的多条连接线、多条数据线和多条第二扇出线。每条连接线通过一列转接块与所述多条第一初始化信号线、所述多条第二初始化信号线和所述多条第三初始化信号线中的至少一者电连接。每条数据线与一列像素电路电连接。所述多条数据线包括多条第一数据线，所述第一数据线靠近所述扇出区的一端位于所述显示区。所述第二扇出线靠近所述扇出区的一端延伸至所述扇出区；一条第一扇出线分别与一条第一数据线电连接和一条第二扇出线电连接。

在一些实施例中，至少一个所述转接块沿所述第一方向的两端，均与所述第一初始化信号线、所述第二初始化信号线或所述第三初始化信号线电连接。

在一些实施例中，至少一个所述转接块关于与所述转接块电连接的所述连接线对称设

置。所述转接块包括第一子部、第二子部和第三子部。所述第一子部在所述衬底上的正投影，与所述连接线在所述衬底上的正投影部分重合，所述第一子部与所述连接线电连接。所述第二子部沿所述第一方向延伸，与所述第一子部连接，且关于所述第一子部沿所述第一方向的中线对称设置。所述第三子部与所述第二子部远离第一子部的一端连接。沿所述第二方向，所述第三子部的尺寸大于所述第二子部的尺寸；所述第三子部与所述第一初始化信号线、所述第二初始化信号线或所述第三初始化信号线电连接。

在一些实施例中，所述多个转接块包括沿所述第一方向间隔设置的多列第一转接块、多列第二转接块和多列第三转接块。每列第一转接块包括沿所述第二方向间隔设置的多个第一转接块，一列的所述多个第一转接块分别与所述多条第一初始化信号线电连接。每列第二转接块包括沿所述第二方向间隔设置的多个第二转接块，一列的所述多个第二转接块分别与所述多条第二初始化信号线电连接。每列第三转接块包括沿所述第二方向间隔设置的多个第三转接块，一列的所述多个第三转接块分别与所述多条第三初始化信号线电连接。所述多条连接线包括多条第一连接线、多条第二连接线和多条第三连接线。一条第一连接线与一列第一转接块电连接，一条第二连接线与一列第二转接块电连接，一条第三连接线与一列第三转接块电连接。

在一些实施例中，沿第一方向，所述第一转接块的尺寸大于所述第二转接块的尺寸，且所述第二转接块的尺寸大于所述第三转接块的尺寸。

在一些实施例中，沿所述第一方向，所述第一转接块、所述第二转接块和所述第三转接块周期性布置，且所述第一连接线、所述第二连接线和所述第三连接线周期性布置。

在一些实施例中，所述阵列基板还包括第一源漏导电层。所述第一源漏导电层设置于所述第一走线层与桥线层之间，包括多个第一连接图案、多个第二连接图案、多个第三连接图案。

其中，所述第一连接图案包括第一子图案和第二子图案；所述第一子图案分别与所述第一初始化信号线和所述像素电路电连接，所述第二子图案与所述第一转接块电连接。所述第二连接图案包括第三子图案和第四子图案；所述第三子图案分别与所述第二初始化信号线和所述像素电路电连接，所述第四子图案与所述第二转接块电连接。所述第三连接图案包括第五子图案和第六子图案。所述第五子图案分别与所述第三初始化信号线和所述像素电路电连接，所述第六子图案与所述第三转接块电连接。

在一些实施例中，所述第一源漏导电层还包括第四连接图案、第五连接图案和第六连接图案。所述第四连接图案的形状和大小分别与所述第一子图案的形状和大小相同，且所述第四连接图案分别与所述第一初始化信号线和所述像素电路电连接。所述第五连接图案的形状和大小分别与所述第三子图案的形状和大小相同，且所述第五连接图案分别与所述第二初始化信号线和所述像素电路电连接。所述第六连接图案的形状和大小分别与所述第

五子图案的形状和大小相同，且所述第六连接图案分别与所述第三初始化信号线和所述像素电路电连接。

在一些实施例中，所述第二扇出线包括第一开口，所述第一开口将所述第二扇出线分割形成第一走线段和第二走线段。所述第一走线段的一端延伸至所述扇出区，另一端延伸至所述第一扇出线，且与所述第一扇出线电连接。所述第二走线段位于所述第一走线段远离所述扇出区的一侧，且与所述第一走线段电绝缘。

在一些实施例中，所述第二扇出线包括沿所述第二方向交替设置的多个第一加宽部和多个第一延伸部。所述第一加宽部与所述第一扇出线沿所述第二方向错开设置。所述桥线层还包括第一连接段，所述第一连接段的一端与所述第一扇出线连接，另一端与所述第一走线段中最靠近所述第一扇出线的所述第一加宽部电连接。

在一些实施例中，所述连接线包括沿所述第二方向交替设置的多个第二加宽部和多个第二延伸部。沿所述第一方向，所述第二加宽部的尺寸大于所述第二延伸部的尺寸，且所述第二加宽部与所述转接块电连接。

在一些实施例中，所述第一扇出线包括第二开口和第三开口。所述第二开口位于第一连接段远离与所述第一扇出线电连接的第一数据线的一侧，且所述第二开口在衬底上的正投影，与一条数据线在所述衬底上的正投影至少部分重合。所述第三开口位于与所述第一扇出线电连接的第一数据线，远离与所述第一扇出线电连接的第二扇出线的一侧，且所述第三开口在衬底上的正投影，与一条连接线在所述衬底上的正投影部分重合。

在一些实施例中，所述桥线层还包括多列承接图案和第二连接段。每列包括沿所述第二方向间隔设置的多个承接图案，一列的所述多个承接图案分别与一列的多个像素电路电连接，且一列的所述多个承接图案还与一条数据线电连接。所述第二连接段的一端与所述第一扇出线电连接，另一端与目标承接图案电连接；所述目标承接图案为所述第一扇出线靠近所述扇出区的一侧，且最靠近所述第一扇出线的承接图案。

在一些实施例中，沿所述第二方向，所述多个承接图案和所述多个转接块错开设置，且至少一个所述转接块位于所述第一扇出线与所述目标承接图案之间。

在一些实施例中，所述多条第一数据线包括至少一条第一子数据线。所述第一子数据线在所述衬底上的正投影与所述转接块在所述衬底上的正投影不重合。与所述第一子数据线连接的第二连接段在所述衬底上的正投影，位于所述第一子数据线在所述衬底上的正投影的范围内。

在一些实施例中，所述多条第一数据线包括至少一条第二子数据线；所述第二子数据线在所述衬底上的正投影与一列转接块在衬底上的正投影部分重合。与所述第二子数据线电连接的一列转接块包括目标转接块，所述目标转接块位于所述第一扇出线靠近所述扇出区的一侧，且最靠近所述第一扇出线。所述目标转接块在所述衬底上的正投影，与所述第

二子数据线在所述衬底上的正投影不重合。与所述第二子数据线电连接的第二连接段为目标连接段。所述目标连接段在所述衬底上的正投影，位于所述第二子数据线在所述衬底上的正投影的范围内，且所述目标连接段沿所述第二方向延伸，与所述目标转接块具有间隔；和/或，所述目标连接段为折线，所述目标连接段在所述衬底上的正投影，与所述第二子数据线在所述衬底上的正投影至少部分不重合，且所述目标连接段与所述目标转接块具有间隔。

在一些实施例中，相邻两列像素电路对称设置。所述多条数据线分为多组，每组包括两条数据线，一组的所述两条数据线之间具有第一间隔，相邻两组数据线之间具有第二间隔，所述第一间隔小于所述第二间隔。每条连接线位于一组的所述两条数据线之间，且一组的两条数据线关于所述连接线对称设置。每条第二扇出线位于一组的所述两条数据线之间，且一组的两条数据线关于所述第二扇出线对称设置。

在一些实施例中，相邻两条第二扇出线之间包括1~10条连接线。

在一些实施例中，相邻两条第二扇出线之间包括一条第一连接线、一条第二连接线和一条第三连接线。在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第二连接线、所述第三连接线、所述第一连接线依次设置。或者，在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第一连接线、所述第三连接线、所述第二连接线依次设置。或者，在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第三连接线、所述第二连接线、所述第一连接线依次设置。或者，在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第一连接线、所述第三连接线、所述第二连接线依次设置。或者，在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第三连接线、所述第二连接线、所述第一连接线依次设置。或者，在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第一连接线、所述第三连接线、所述第二连接线依次设置。

在一些实施例中，所述第二走线层还包括沿所述第一方向间隔设置的多条第一电压信号线，每条第一电压信号线沿所述第二方向延伸。相邻两条第一电压信号线包括一组数据线。所述桥线层还包括沿所述第二方向间隔设置的多条第一电压信号转接线，每条第一电压信号线沿所述第一方向延伸，且与一行像素电路电连接。其中，每条第一电压信号线分别与所述多个第一电压信号转接线电连接。

另一方面，还提供了一种显示面板。所述显示面板包括多个发光器件和上述任一实施例所述的阵列基板。所述多个发光器件设置于所述阵列基板远离衬底的一侧，且一个发光器件与一个像素电路电连接。

又一方面，还提供了一种显示装置。所述显示装置包括上述显示面板和驱动电路板。所述驱动电路板与上述显示面板的阵列基板的扇出区电连接，被配置为向所述阵列基板传输控制信号。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、信号的实际时序等的限制。

图 1 为根据一些实施例的显示装置的一种结构图；

图 2 为根据一些实施例的显示装置的另一种结构图；

图 3 为根据一些实施例的显示面板的截面结构图；

图 4 为根据一些实施例的像素电路的结构图；

图 5 为根据一些实施例的从第一半导体层至第一走线层的结构图；

图 6 为根据一些实施例的从第一半导体层至第一源漏电层的结构图；

图 7 为根据一些实施例的像素电路的等效电路图；

图 8 为根据一些实施例的从第一半导体层至第二源漏电层的结构图；

图 9 为根据一些实施例的从第一半导体层至第三源漏电层的结构图；

图 10 为根据一些实施例的桥线层和第三源漏电层的一种结构图；

图 11 为根据一些实施例的阵列基板的结构图；

图 12 为根据一些实施例的第一半导体层、第一走线层和第一源漏电层的结构图；

图 13 为根据一些实施例的第一源漏导电层和第二源漏电层的一种结构图；

图 14 为根据一些实施例的桥线层和第三源漏电层的一种结构图；

图 15 为根据一些实施例的桥线层的一种结构图；

图 16 为根据一些实施例的桥线层和第二走线层的一种结构图；

图 17 为根据一些实施例的桥线层的另一种结构图；

图 18 为根据一些实施例的桥线层和第二走线层的另一种结构图；

图 19 为根据一些实施例的桥线层的又一种结构图；

图 20 为根据一些实施例的桥线层和第二走线层的又一种结构图；

图 21 为根据一些实施例的桥线层的又一种结构图；

图 22 为根据一些实施例的桥线层和第二走线层的又一种结构图；

图 23 为根据一些实施例的桥线层的又一种结构图；

图 24 为根据一些实施例的桥线层和第二走线层的又一种结构图；

图 25 为图 11 中 C 区域的局部放大图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示范性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。术语“耦接”例如表明两个或两个以上部件有直接物理接触或电接触。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到

正在讨论的测量以及与特定量的测量相关的误差(即,测量系统的局限性)所确定。

如本文所使用的那样,“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况,该相近似的情况的范围处于可接受偏差范围内,其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即,测量系统的局限性)所确定。例如,“平行”包括绝对平行和近似平行,其中近似平行的可接受偏差范围例如可以是 5° 以内偏差;“垂直”包括绝对垂直和近似垂直,其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等,其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的5%。

应当理解的是,当层或元件被称为在另一层或基板上时,可以是该层或元件直接在另一层或基板上,或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中,为了清楚,放大了层的厚度和区域的面积。因此,可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此,示例性实施方式不应解释为局限于本文示出的区域的形状,而是包括因例如制造而引起的形状偏差。例如,示为矩形的蚀刻区域通常将具有弯曲的特征。因此,附图中所示的区域本质上是示意性的,且它们的形状并非旨在示出设备的区域的实际形状,并且并非旨在限制示例性实施方式的范围。

参阅图 1,本公开的一些实施例提供了一种显示装置 1000,显示装置 1000 可以是显示不论运动(例如,视频)的还是固定(例如,静止图像)的且不论文字的还是图像的任何装置。

示例性地,该显示装置 1000 可以为电视机、笔记本电脑、平板电脑、手机、个人数字助理(Personal Digital Assistant;简称:PDA)、导航仪、可穿戴设备、增强现实(Augmented Reality;简称:AR)设备、虚拟现实(Virtual Reality;简称:VR)设备、车载显示器、飞行显示器等任何具有显示功能的产品或者部件。例如,如图 1 所示,显示装置 1000 可以为手机。

从显示装置 1000 的发光类型上看,上述显示装置 1000 可以是有机发光二极管显示装置、量子点电致发光显示装置(Quantum Dot Light Emitting Diodes;简称:QLED)或者微型发光二极管(Mini/Micro Light Emitting Display;简称:MLED)等。从显示装置 1000 的形态上看,上述显示装置 1000 可以是平面显示装置、曲面显示装置或者可折叠显示装置等。从显示装置 1000 的形状上看,上述显示装置 1000 可以是矩形或圆形等。本公开的实施例对此不做具体限定。下面以显示装置为矩形的、且为平面的有机发光二极管显示装置为例,对本公开的一些实施例进行示意性说明,但是本公开的实施方式不限于此,并且也可以考虑任何其它显示装置,只要应用相同的技术思想即可。

在一些实施例中,参阅图 2,显示装置 1000 包括显示面板 1100 和驱动电路板 1200。

驱动电路板 1200 比如可以包括时序控制器 (Timing Controller; 简称: TCON), 电源管理芯片 DC/DC 和可调电阻分压电路 (生成 Vcom) 等驱动电路, 驱动电路板 1200 还可以包括其他电路结构, 此处不再一一列举。驱动电路板与显示面板 1100 电连接, 用于向显示面板 1100 传输控制信号, 进而驱动显示面板 1100 实现图像显示。除此之外, 显示装置 1000 还可以包括屏下摄像头以及屏下指纹识别传感器等, 使得显示装置 1000 能够实现拍照、录像、指纹识别或者人脸识别等多种不同功能, 此处不做具体限定。

参阅图 2, 显示面板 1100 具有显示区 AA 和周边区 BB, 周边区 BB 至少位于显示区 AA 的一侧, 示例性地, 周边区 BB 围绕显示区 AA 设置。显示区 AA 为显示面板 1100 上用于显示图像的区域, 显示区 AA 设有多个子像素 P, 子像素 P 为显示面板 1100 上的最小发光单元, 子像素 P 用于显示图像。

其中, 多个子像素 P 可以发射相同颜色的光线, 比如白光或者蓝光, 显示面板还包括设置在显示侧的彩膜层, 也就是显示面板采用了 COE (英文全称: CF on Encapsulation; 中文名称: 彩色滤光层在封装膜上) 结构。或者, 多个子像素 P 可以发射不同颜色的光线, 比如, 多个子像素 P 包括发射红色光线的红光子像素、发射绿色光线的绿光子像素和发射蓝色光线的蓝光子像素。

继续参阅图 2, 周边区 BB 比如可以用于设置栅极驱动电路 (比如 Gate on Array; 简称: GOA)、控制信号线 (比如时钟信号线、电源电压信号线等) 以及绑定驱动芯片 (比如源极驱动芯片 Source Driver IC), 周边区 BB 的功能不限于此, 不公开的实施例不再一一赘述。

周边区 BB 包括位于显示区一侧的扇出区 BB1, 即扇出区 BB1 为周边区 BB 中位于显示区 AA 一侧的区域。扇出区 BB1 可以用于将周边区的信号线引出并与驱动电路板或者驱动芯片进行绑定。扇出区 BB1 与显示区 AA 的一侧边缘邻接, 示例性地, 扇出区 BB1 与显示区 AA 的下侧边缘邻接。

参阅图 3, 显示面板 1100 包括层叠设置的阵列基板 100、多个发光器件 200 和封装层 300。显示面板 1100 还可以包括设置于封装层 300 远离阵列基板一侧的功能叠层, 功能叠层比如可以是触控功能层、减反射层、硬化层、彩膜层 (显示面板采用 COE 结构) 和抗指纹层中的一种或多种, 以使显示面板能够实现相应的功能, 本公开的实施例对上述功能叠层的种类和数量不做具体限定。

继续参阅图 3, 发光器件 200 比如可以包括层叠设置的阳极 201、发光功能层 202 和阴极层 203。显示面板 1100 还可以包括像素界定层 PDL, 像素界定层 PDL 设置于阳极 201 远离阵列基板 100 的一侧, 且包括多个开口, 每个发光器件 200 位于一个开口区内。

封装层 300 被配置为降低外界环境中的水汽和氧气进入发光器件 200 内的风险, 进而提升显示面板 1100 的使用寿命。封装层 300 可以为封装薄膜, 也可以为封装基板。示例

性地,如图3所示,封装层300可以为封装薄膜,此时,封装层300可以包括依次层叠设置的第一无机封装层301、有机封装层302和第二无机封装层303。

阵列基板100具有显示区AA和扇出区BB1,其中,阵列基板100的显示区AA与显示面板1100的显示区AA为同一区域,其中,阵列基板100的扇出区BB1与显示面板1100的扇出区BB1为同一区域。也就是说,阵列基板100具有显示区AA和与显示区AA的一侧边缘邻接的扇出区BB1。

参阅图2,阵列基板100包括多个像素电路120。其中,多个像素电路120排列为多行和多列,每行像素电路120包括沿第一方向X间隔排列的多个像素电路120,多行像素电路120沿第二方向Y排列。每列像素电路120包括沿第二方向Y排列的多个像素电路120,多列像素电路120沿第一方向X排列。也就是说,第一方向X为多个像素电路120排列的行方向,第二方向Y为多个像素电路120排列的列方向。其中,第一方向X和第二方向Y相互交叉,示例性地,第一方向X和第二方向Y相互垂直。

参阅图3,阵列基板100还包括衬底110,多个像素电路设置于衬底110上。衬底110可以为刚性衬底,刚性衬底的材料比如包括玻璃。或者,衬底110可以为柔性衬底,柔性衬底的材料比如包括聚酰亚胺(Polyimide;简称:PI)、聚碳酸酯(polycarbonate;简称:PC)或者聚氯乙烯(polyvinyl chloride;简称:PVC)中的任一种。

如图3所示,阵列基板100还包括沿垂直于衬底110且远离衬底110的方向依次设置的第一半导体层ACT1、第一栅绝缘层GI1、第一栅导电层GT1、第二栅绝缘层GI2、第二栅导电层GT2、第一层间介质层ILD1、第二半导体层ACT2、第三栅绝缘层GI3、第三栅导电层GT3、第二层间介质层ILD2、第一源漏导电层SD1、第一平坦化层PLN1、第二源漏导电层SD2、第二平坦化层PLN2、第三源漏导电层SD3和第三平坦化层PLN4。

其中,像素电路120包括多个薄膜晶体管(Thin Film Transistor;简称:TFT)和至少一个电容器Cst。示例性地,像素电路120可以为“3T1C”电路、“7T1C”电路或“8T1C”电路等,其中,“T”是指TFT,“T”前面的数字是指TFT的数量;“C”是指电容器Cst,“C”前面的数字是指电容器Cst的数量。本公开的以下实施例中,以像素电路120为“8T1C”电路为例进行示意性说明,但是本公开的实施方式不限于此,并且也可以考虑任何其它像素电路120,只要应用相同的技术思想即可。

如图3所示,薄膜晶体管可以包括第一薄膜晶体管TFT1和第二薄膜晶体管TFT2。第一薄膜晶体管TFT1可以包括设置于第一半导体层ACT1的第一有源层121、设置于第一栅导电层GT1的栅极122以及设置于所述第一源漏导电层SD1的源极123和漏极124。第二薄膜晶体管TFT2可以包括设置于第二半导体层ACT2的第二有源层125、设置于第二栅导电层GT2和第三栅导电层GT3的栅极126以及设置于所述第一源漏导电层SD1的源极123和漏极124。上述源极123和漏极124在结构上可以是相同的,因此源极123和漏

极 124 可以进行互换。

示例性地, 第一薄膜晶体管 TFT1 比如可以是低温多晶硅薄膜晶体管, 即第一半导体层 ACT1 采用低温多晶硅。第二薄膜晶体管 TFT2 可以为氧化物薄膜晶体管, 即第二半导体层 ACT2 采用金属氧化物, 例如, 氧化铟镓锌, 氧化铟镓锡。

基于低温多晶硅薄膜晶体管具有迁移率高、充电快等优点, 氧化物薄膜晶体管具有漏电流低等优点, 将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个阵列基板 100 上, 即像素电路 120 包括低温多晶硅薄膜晶体管和氧化物晶体管, 以利用两者的优势, 可以降低阵列基板 100 的功耗, 提高显示面板 1100 的显示品质。

参阅图 4, 阵列基板 100 还包括多条扫描信号线 GL 和多条发光控制信号线 EML。示例性地, 多条扫描信号线 GL 可以包括多条第一扫描信号线 GL1、多条第二扫描信号线 GL2、多条第三扫描信号线 GL3 和多条第四扫描信号线 GL4。一行像素电路 120 与一条第一扫描信号线 GL1、一条第二扫描信号线 GL2、一条第三扫描信号线 GL3、一条第四扫描信号线 GL4 和一条发光控制信号线 EML 电连接。其中, 第一扫描信号线 GL1、第二扫描信号线 GL2、第三扫描信号线 GL3 和发光控制信号线 EML 位于第一栅导电层 GT1, 第四扫描信号线 GL4 位于第二栅导电层 GT2。

可以理解的是, 第一栅导电层 GT1 可以包括第一薄膜晶体管 TFT1 的栅极、第一扫描信号线 GL1、第二扫描信号线 GL2、第三扫描信号线 GL3 和发光控制信号线 EML 等多种结构, 其中, 第一薄膜晶体管 TFT1 的栅极构成像素电路 120 的一部分。像素电路 120 包括位于第一栅导电层 GT1 内的结构, 且第一栅导电层 GT1 不完全属于像素电路 120。同理, 像素电路 120 包括位于第二栅导电层 GT2 内的结构, 且第二栅导电层 GT2 不完全属于像素电路 120。

在一些实施例中, 继续参阅图 4, 像素电路 120 包括驱动晶体管 DT、第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7 和电容器 Cst。晶体管 (驱动晶体管 DT 以及第一~第七晶体管) 包括栅极、第一极和第二极, 其中第一极为晶体管的源极和漏极中的一者, 第二极为晶体管的源极和漏极中的零一者。示例性地, 第一极为晶体管的源极, 第二极为晶体管的漏极。

其中, 第一扫描信号线 GL1 形成第一晶体管 T1 的栅极, 第二扫描信号线 GL2 形成第二晶体管 T2 和第三晶体管 T3 的栅极, 第三扫描信号线 GL3 形成第四晶体管 T4 的栅极, 第四扫描信号线 GL4 形成第五晶体管 T5 的栅极, 发光控制信号线 EML 形成第六晶体管 T6 和第七晶体管 T7 的栅极。

本公开的实施例还包括第一走线层、桥线层和第二走线层。第一走线层设置于多个像素电路 120 远离衬底 110 的一侧, 桥线层设置于第一走线层远离衬底的一侧, 第二走线层设置于桥线层远离衬底的一侧。示例性地, 第一走线层可以与第三栅导电层 GT3 同层设置,

桥线层可以与第二源漏导电层 SD2 同层设置, 第二走线层可以与第三源漏导电层 SD3 同层设置, 这样, 有利于减少阵列基板 100 的膜层数量, 降低阵列基板 100 的生产成本。

可以理解的是, 在其他一些实施例中, 第一走线层与第三栅导电层 GT3 也可以是相互独立的两个膜层, 比如, 可以第一走线层可以设置于第三栅导电层 GT3 与第一源漏导电层 SD1 之间。相似的, 桥线层与第二源漏导电层 SD2 也可以是相互独立的两个膜层, 第二走线层与第三源漏导电层 SD3 可以是相互独立的两个膜层。本公开的以下的所有实施例中, 均以“第一走线层与第三栅导电层 GT3 同层设置, 桥线层与第二源漏导电层 SD2 同层设置, 第二走线层与第三源漏导电层 SD3 同层设置”为例进行示意性描述, 这样, 第一走线层和第三栅导电层 GT3 为同一膜层, 桥线层与第二源漏导电层 SD2 为同一膜层, 第二走线层与第三源漏导电层 SD3 为同一膜层, 基于此, 第一走线层采用与第三栅导电层 GT3 相同的标号“GT3”, 桥线层采用与第二源漏导电层 SD2 相同的标号“SD2”, 第二走线层采用与第三源漏导电层 SD3 相同的标号“SD3”。

图 5 为在图 4 的基础上增加第一走线层 GT3 之后的阵列基板 100 的结构图。参阅图 5, 第一走线层 GT3 包括沿第一方向 X 延伸的多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3, 其中, 图 5 中仅示例性地展示了部分(一条或者两条)第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线 Vinit3。多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 分别沿第二方向 Y 间隔分布, 每行像素电路 120 与一条第一初始化信号线 Vinit1、一条第二初始化信号线 Vinit2 和一条第三初始化信号线 Vinit3 电连接。

在一些实施例中, 同时参阅图 4 和图 5, 第一初始化信号线 Vinit1 在衬底 110 上的正投影, 与第二扫描信号线 GL2 在衬底 110 上的正投影至少部分重合。第二初始化信号线 Vinit2 在衬底 110 上的正投影, 与第一扫描信号线 GL1 在衬底 110 上的正投影至少部分重合。第三初始化信号线 Vinit3 在衬底 110 上的正投影, 与发光控制信号线 EML 在衬底 110 上的正投影至少部分重合。这样, 第二扫描信号线 GL2 可以屏蔽第一初始化信号线 Vinit1 形成的电场, 第一扫描信号线 GL1 可以屏蔽第二初始化信号线 Vinit2 形成的电场, 发光控制信号线 EML 可以屏蔽第三初始化信号线 Vinit3 形成的电场, 降低第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线 Vinit3 对第一半导体层 ACT1 和第二半导体层 ACT2 的影响, 降低对像素电路 120 的影响。

在一些实施例中, 第四晶体管 T4 可以为双栅晶体管, 如图 5 所示, 第一走线层 GT3 还可以包括多条第四扫描信号线 GL4。可以理解的是, 位于第二栅导电层 GT2 上的第四扫描信号线 GL4 在衬底 110 上的正投影, 与位于第一走线层 GT3 上的第四扫描信号线 GL4 在衬底 110 上的正投影至少部分重合, 且两者传输相同的扫描信号, 基于此, 两者均称为第四扫描信号线 GL4。

参阅图 6, 图 6 为在图 5 基础上增加第一源漏导电层 SD1 之后阵列基板 100 的结构图。第一源漏导电层 SD1 包括多个源极图案和漏极图案, 以将像素电路 120 的多个晶体管以及第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线电连接。

同时参阅图 4、图 6 和图 7, 第一晶体管 T1 的栅极与第一扫描信号线 GL1 电连接, 第一极与第一初始化信号线 Vinit1 电连接, 第二极与驱动晶体管 DT 的栅极电连接。第二晶体管 T2 的栅极与第二扫描信号线 GL2 电连接, 第一极与第二初始化信号线 Vinit2 电连接, 第二极与第一节点电 N1 连接。第三晶体管 T3 的栅极与第二扫描信号线 GL2 电连接, 第一极与第三初始化信号线 Vinit3 电连接, 第二极与驱动晶体管 DT 的第一极电连接。第四晶体管 T4 的栅极与第三扫描信号线 GL3 电连接, 第一极与第三初始化信号线 Vinit3 电连接, 第二极与驱动晶体管 DT 的第一极电连接。第五晶体管 T5 的栅极与第四扫描信号线 GL3 电连接, 第一极与驱动晶体管 DT 的第二极电连接, 第二极与驱动晶体管 DT 的栅极电连接。第六晶体管 T6 的栅极与发光控制信号线 EML 电连接, 第一极与第一电压信号线 VDD 电连接, 第二极与驱动晶体管 DT 的第一极电连接。第七晶体管 T7 的栅极与发光控制信号线 EML 电连接, 第一极与驱动晶体管 DT 的第二极电连接, 第二极与第一节点 N1 电连接。电容器 Cst 的第一极板与第一电压信号线 VDD 电连接, 第二极板与驱动晶体管 DT 的栅极电连接。

其中, 第五晶体管 T5 为氧化物薄膜晶体管, 能够降低驱动晶体管 DT 的栅极的漏电流, 使驱动晶体管 DT 在一个显示帧内亮度均匀。驱动晶体管 DT、第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第六晶体管 T6 和第七晶体管 T7 为低温多晶硅薄膜晶体管, 能够提升像素电路 120 的响应速度。

图 8 为在图 6 基础上增加桥线层 SD2 之后阵列基板 100 的结构图。参阅图 8, 桥线层 SD2 包括多个转接块 21、多条第一扇出线 22 和多列承接图案 23。多个转接块 21 排列为多列, 每列包括沿第二方向 Y 排列的多个转接块 21。多条第一扇出线 22 (多条第一扇出线 22 中的每条第一扇出线 22 都) 沿所述第一方向 X 延伸, 且多条第一扇出线 22 沿第二方向 Y 间隔设置。

图 9 为在图 8 基础上增加第二走线层 SD3 之后阵列基板 100 的结构图。参阅图 9, 第二走线层 SD3 设置于桥线层 SD2 远离衬底 110 的一侧, 包括沿第二方向 Y 延伸的多条连接线 31 和多条数据线 DL。图 10 为桥线层 SD2 和第二走线层 SD3 的一种叠层结构图。参阅图 10, 第二走线层 SD3 还包括多条第二扇出线 32。

同时参阅图 9 和图 10, 每条连接线 31 通过一系列的多个转接块 21 与多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 中的一者电连接, 多条连接线 31 可以与多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 中的至少一者电连接。这样, 连接线 31 可以将多条第一

初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 中的至少一者连接形成纵横交叉的网格结构，进而降低阵列基板 100 的功耗，并且有利于提升显示面板的显示画质。

示例性地，全部的连接线 31 中的每条连接线均匀多条第一初始化信号线 Vinit1 电连接。或者，全部连接线 31 中的每条连接线 31 均匀多条第二初始化信号线 Vinit2 电连接。或者，全部的连接线 31 中的每条连接线 31 均匀多条第三初始化信号线 Vinit3 电连接。或者，全部的连接线 31 中的部分连接线 31 与多条第一初始化信号线 Vinit1 电连接，且部分连接线 31 与多条第二初始化信号线 Vinit2 电连接。或者，全部的连接线 31 中的部分连接线 31 与多条第一初始化信号线 Vinit1 电连接，且部分连接线 31 与多条第三初始化信号线 Vinit3 电连接。或者，全部的连接线 31 中的部分连接线 31 与多条第二初始化信号线 Vinit2 电连接，且部分连接线 31 与多条第三初始化信号线 Vinit3 电连接。或者，全部的连接线 31 中的部分连接线 31 与多条第一初始化信号线 Vinit1 电连接，部分连接线 31 与多条第二初始化信号线 Vinit2 电连接，且部分连接线 31 与多条第三初始化信号线 Vinit3 电连接。

示例性地，以多条连接线 31 与多条第一初始化信号线 Vinit1 电连接为例，多条连接线 31 与多条第一初始化信号线 Vinit1 形成网格结构，相当于通过多条连接线 31 将多条第一初始化信号线 Vinit1 并联，可以降低多条第一初始化信号线 Vinit1 的电阻，降低多条第一初始化信号线 Vinit1 上传输电压信号过程中电压信号产生的压降，进而降低阵列基板 100 的功耗。同理，多条连接线 31 可以降低多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 中的至少一者的电阻和压降，进而降低阵列基板 100 的功耗，并且有利于提升显示面板的显示画质。

在一些实施例中，同时参阅图 6 和图 9，连接线 31 依次通过桥线层 SD2 的转接块 21、第一源漏导电层 SD1 的连接图案（第一连接图案 41、第二连接图案 42 和第三连接图案 43，具体参阅图下文）和第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 或第三初始化信号线 Vinit3 电连接。

示例性地，多条连接线 31 与多条第一初始化信号线 Vinit1 电连接，或者，多条连接线 31 与多条第二初始化信号线 Vinit2 电连接；或者，多条连接线 31 与多条第三初始化信号线 Vinit3 电连接；或者，多条连接线 31 分别与多条第一初始化信号线 Vinit1 和多条第二初始化信号线 Vinit2 电连接；或者，多条连接线 31 分别与多条第一初始化信号线 Vinit1 和多条第三初始化信号线 Vinit3 电连接；或者，多条连接线 31 分别与多条第二初始化信号线 Vinit2 和多条第三初始化信号线 Vinit3 电连接；或者，多条连接线 31 分别与多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和多条第三初始化信号线电连接。

可以理解的是，本申请还包括在上述实施例的基础上，增加或者减少初始化信号线的种类。示例性地，阵列基板还包括多条第四初始化信号线，多条连接线还可以与多条第四

初始化信号线电连接。或者，阵列基板可以仅包括多条第一初始化信号线和多条第二初始化信号线，多条连接线与多条第一初始化信号线和/或多条第二初始化信号线电连接。

如图9所示，每条数据线DL与一系列像素电路120电连接。示例性地，每条数据线DL与一系列承接图案23电连接，一系列的多个承接图案23分别与一系列的多个像素电路电连接。

参阅图11，多条数据线DL可以包括多条第一数据线DL1和多条第二数据线DL2，第一数据线DL1位于显示区AA，也就是说，第一数据线DL1不延伸至扇出区BB1。第二扇出线32延伸至扇出区BB1。第一数据线DL1、第一扇出线22和第二扇出线32依次相连，且一条第一扇出线22分别与一条第一数据线DL1和一条第二扇出线32电连接。换言之，第一数据线DL1为阵列基板100中需要依次通过第一扇出线22和第二扇出线32引出至扇出区BB1的数据线DL。第二数据线DL2直接延伸至扇出区BB1。这种设置方式可以称为FIAA（英文全称：Fanout In AA；中文名称：显示区扇出）或者FIP（英文全称：Fanout In Panel；中文名称：面板中扇出）。有利于降低扇出区BB1沿第二方向Y的尺寸，即降低阵列基板100边框宽度，有利于显示装置实现窄边框。

示例性地，参阅图11，数据线DL需要穿过至少部分扇出区BB1，并延伸至扇出区BB1远离显示区AA1的一侧，比如延伸至扇出区BB1的绑定区BB2，绑定区BB2可以与驱动电路板或者驱动芯片绑定连接，进而将驱动电路板或者驱动芯片绑定与数据线DL电连接，向数据线DL传输数据信号，使像素电路能够驱动发光器件进行发光。

如图11所示，沿第一方向X，绑定区BB2的尺寸小于显示区AA的尺寸。且沿第二方向Y，绑定区BB2与显示区AA的中部区域相对设置。位于显示区AA沿第一方向X的两侧边缘的数据线DL为第一数据线DL1，位于显示区AA沿第一方向X的中部区域的数据线DL为第二数据线DL2。示例性地，沿第二方向Y，第二数据线DL2与绑定区BB2相对设置，第一数据线DL1位于第二数据线DL2沿第一方向X的两侧。这样，沿第一方向X，位于绑定区BB2两侧的第一数据线DL1通过第一扇出线22和第二扇出线32引出，与绑定区BB2相对设置的第二数据线DL2直接引出，有利于缩小扇出区BB1沿第二方向Y的尺寸，进而实现窄边框。

可以理解的是，阵列基板中，扇出区BB1和绑定区BB2的数量可以为多个，比如在大尺寸显示装置中（比如电视、电脑等），阵列基板可以包括多个扇出区BB1和多个绑定区BB2，沿第二方向Y与绑定区BB2相对设置的数据线DL可以认为是第二数据线DL2，其余数据线DL可以认为是第一数据线DL1。当然，第一数据线DL1和第二数据线DL2的区分方式不限于此，还可以根据需要，在不同区域设置第一数据线DL1和第二数据线DL2。

如上所述，本申请提供的实施例，设置桥线层SD2和第二走线层SD3，可以（通过连接31和转接块21）实现将第一初始化信号线Vinit1、第二初始化信号线Vinit2和第三

初始化信号线 Vinit3 中的至少一者形成并联形成网格结构,降低阵列基板 100 的功耗,同时,可以(通过第一扇出线 22 和第二扇出线 32)将显示区 AA 边缘的第一数据线 DL1 从显示区 AA 内引出,降低扇出区 BB1 的宽度(沿第二方向 Y 的尺寸)。也就是说,同时实现了降低第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线 Vinit3 的电阻,和降低扇出区 BB1 宽度的效果。

本申请以下的实施例中,以多条连接线 31 通过多个转接块 21 分别与多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和第三条第三初始化信号线电连接为例进行示意性说明。也就是说,多条连接线 31 同时将多条第一初始化信号线 Vinit1、多条第二初始化信号线 Vinit2 和第三条第三初始化信号线 Vinit3 电连接并联形成三个独立的网格结构,其中,第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线 Vinit3 中的任意两者之间保持相互电绝缘。

在一些实施例中,如图 10 所示,多条连接线 31 包括沿第二方向 Y 延伸的多条第一连接线 311、多条第二连接线 312 和多条第三连接线 313。多条第一连接线 311、多条第二连接线 312 和多条第三连接线 313 沿第一方向 X 间隔设置。多个转接块 21 包括沿第一方向 X 间隔设置的多列第一转接块 211、多列第二转接块 212 和多列第三转接块 213。每列第一转接块 211 包括沿第二方向 Y 间隔设置的多个第一转接块 211,每列第二转接块 212 包括沿第二方向 Y 间隔设置的多个第二转接块 212,每列第三转接块 213 包括沿第二方向 Y 间隔设置的多个第三转接块 213。一条第一连接线 311 通过一系列的多个第一转接块 211 分别与多条(全部的)第一初始化信号线 Vinit1 电连接,一条第二连接线 312 通过一系列的多个第二转接块 212 分别与多条(全部的)第二初始化信号线 Vinit2 电连接,且一条第三连接线 313 通过一系列的多个第三转接块 213 分别与多条(全部的)第三初始化信号线 Vinit3 电连接。

在一些实施例中,参阅图 12,第一源漏导电层 SD1 包括多个第一连接图案 41、多个第二连接图案 42、多个第三连接图案 43、多个第四连接图案 44、多个第五连接图案 45 和多个第六连接图案 46。可以理解的是,在图 12 中,为了便于识别第一源漏导电层 SD1 的结构,以及第一源漏导电层 SD1 与第一走线层 GT3 之间的连接关系,仅以第一半导体层 ACT1 代表像素电路 120,省去了第一半导体层 ACT1 与第一走线层 GT3 之间的其他膜层。

如图 12 所示,第一连接图案 41 包括第一子图案 411 和第二子图案 412,第一子图案 411 分别与第一初始化信号线 Vinit1 和像素电路 120 电连接,其中,图 12 中以第一半导体层 ACT 代表像素电路 120。图 13 为第一源漏导电层 SD1 和桥线层 SD2 的叠层结构图。同时参阅图 12 和图 13,第二子图案 412 在衬底 110 上的正投影,位于第一转接块 211 在衬底 110 上的正投影的范围内,且第二子图案 412 与第一转接块 211 电连接。

示例性地,如图 12 所示,第一连接图案 41 沿第二方向 Y 延伸,第一子图案 411 相较

于第二子图案 412 靠近第一初始化信号线 Vinit1, 且沿第一方向 X, 第一子图案 411 的尺寸小于第二子图案 412 的尺寸。这样, 如图 13 所示, 有利于增加第二子图案 412 与第一转接块 211 的正对面积, 进而增加第二子图案 412 与第一转接块 211 之间的接触面积, 降低第二子图案 412 与第一转接块 211 之间的接触电阻。

示例性地, 如图 13 所示, 一个第一转接块 211 与两个第一连接图案 41 电连接, 如图 13 所示, 与同一个第一转接块 211 电连接的两个第一连接图案 41 对称设置。

如图 12 所示, 第四连接图案 44 的形状和大小分别与第一子图案 411 的形状和大小相同。第四连接图案 44 分别与第一初始化信号线 Vinit1 和像素电路 120(第一半导体层 ACT1)电连接。

同时参阅图 12 和图 13, 第四连接图案 44 为连接第一初始化信号线 Vinit1 与像素电路 120 所必须的结构, 也就是说, 无论是否设置第一连接线 311 和第一转接块 211, 第一源漏导电层 SD1 均包括有第四连接图案 44。第一连接图案 41 可以认为是在第四连接图案 44 的基础上, 增加了第二子图案 412; 或者说, 在第一源漏导电层 SD1 设置第二子图案 412, 第二子图案 412 与第一子图案 411(第一连接图案 41)连接。这样, 第二子图案 412 可以通过第一子图案 411 与第一初始化信号线 Vinit1 连接, 可以简化第一连接图案 41 的结构, 最大程度减小对第一源漏导电层 SD1 的结构改变, 有利于降低第一源漏导电层 SD1 的制备难度。

在其他一些实施例中, 也可以将第一源漏导电层 SD1 中的第四连接图案 44 全部或者部分替换成第一连接图案 41, 以提升第一源漏导电层 SD1 的图案的一致性。此时, 仅部分第一连接图案 41 用于与第一转接块 211 电连接, 另外部分第一连接图案 41 仅用于连接第一初始化信号线 Vinit1 和像素电路 120。

如图 12 所示, 第二连接图案 42 包括第三子图案 421 和第四子图案 422, 第三子图案 421 分别与第二初始化信号线 Vinit2 和像素电路 120(第一半导体层 ACT1)电连接。如图 13 所示, 第四子图案 422 在衬底 110 上的正投影, 位于第二转接块 212 在衬底 110 上的正投影的范围内, 且第四子图案 422 电连接。

示例性地, 如图 13 所示, 一个第二转接块 212 与两个第二连接图案 42 电连接, 如图 12 所示, 与同一个第二转接块 212 电连接的两个第二连接图案 42 对称设置。第四子图案 422 与第三子图案 421 的内侧(靠近两个第二连接图案 42 的对称轴的一侧)连接, 且沿第一方向 X, 第四子图案 422 的尺寸大于第三子图案 421 的尺寸, 能够增加第四子图案 422 与第二转接块 212 之间的正对面积, 进而有利于增加第四子图案 422 与第二转接块 212 之间的接触面积, 降低第四子图案 422 与第二转接块 212 之间的接触电阻。

如图 12 所示, 第五连接图案 45 的形状和大小分别与第三子图案 421 的形状和大小相同, 也就是说, 第五连接图案 45 的形状与第三子图案 421 的形状相同, 第五连接图案 45

的大小与第三子图案 421 的大小相同。第五连接图案 45 分别与第二初始化信号线 Vinit2 和像素电路 120 电连接。

同时参阅图 12 和图 13, 第五连接图案 45 为连接第二初始化信号线 Vinit2 与像素电路 120 (第一半导体层 ACT1) 所必须的结构。第二连接图案 42 可以认为是在第五连接图案 45 的基础上, 增加了第四子图案 422。这样, 第四子图案 422 可以通过第三子图案 421 与第二初始化信号线 Vinit2 连接, 可以简化第二连接图案 42 的结构, 有利于降低第一源漏导电层 SD1 的图案化程度, 并且降低第一源漏导电层 SD1 的制备难度。

在其他一些实施例中, 也可以将第一源漏导电层 SD1 中的第五连接图案 45 全部或者部分替换成第二连接图案 42, 以提升第一源漏导电层 SD1 的图案的一致性。此时, 仅部分第二连接图案 42 用于与第二转接块 212 电连接, 另外部分第二连接图案 42 仅用于连接第二初始化信号线 Vinit2 和像素电路 120。

如图 12 所示, 第三连接图案 43 包括第五子图案 431 和第六子图案 432, 第五子图案 431 分别与第三初始化信号线 Vinit3 和像素电路 120 (第一半导体层 ACT1) 电连接。如图 13 所示, 第六子图案 432 在衬底 110 上的正投影, 与第三转接块 213 在衬底 110 上的正投影至少部分重合, 且第六子图案 432 与第三转接块 213 电连接。

示例性地, 如图 12 所示, 第五子图案 431 可以为轴对称图形, 第五子图案 431 关于沿第二方向 Y 延伸的一条轴对称设置。比如, 第五子图案 431 大致为“C”型结构, 包括两个第一部分 4311, 两个第一部分 4311 在衬底 110 上的正投影分别与第一初始化信号线 Vinit1 在衬底 110 上的正投影部分重合, 且两个第一部分 4311 分别与第一初始化信号线 Vinit1 电连接。第三连接图案 43 包括两个第六子图案 432, 两个第六子图案 432 关于第五子图案 431 的对称轴对称设置。如图 13 所示, 两个第六子图案 432 分别与第三转接块 213 电连接。

如图 12 所示, 第六连接图案 46 的形状和大小分别与第五子图案 431 的形状和大小相同, 也就是说, 第六连接图案 46 的形状与第五子图案 431 的形状相同, 第六连接图案 46 的大小与第五子图案 431 的大小相同。第六连接图案 46 分别与第三初始化信号线 Vinit3 和像素电路 120 电连接。

同时参阅图 12 和图 13, 第六连接图案 46 为连接第三初始化信号线 Vinit3 与像素电路 120 所必须的结构。第三连接图案 43 可以认为是在第六连接图案 46 的基础上, 增加了第六子图案 432。这样, 第六子图案 432 可以通过第五子图案 431 与第三初始化信号线 Vinit3 连接, 可以简化第三连接图案 43 的结构, 有利于降低第一源漏导电层 SD1 的制备难度。

在其他一些实施例中, 也可以将第一源漏导电层 SD1 中的第六连接图案 46 全部或者部分替换成第三连接图案 43, 以提升第一源漏导电层 SD1 的图案的一致性。此时, 仅部分第三连接图案 43 用于与第二转接块 212 电连接, 另外部分第三连接图案 43 仅用于连接

第三初始化信号线 Vinit3 和像素电路 120。

在一些实施例中，参阅图 12，第一源漏导电层 SD1 还包括第七连接图案 47、第八连接图案 48 和第九连接图案 49。其中，第七连接图案 47 与像素电路（第一半导体层 ACT1）电连接，被配置为传输第一电压信号（比如为电源电压信号）。第八连接图案 48 与像素电路电连接，被配置为传输数据信号。第九连接图案 49 被配置为将像素电路 120 与发光器件电连接。

参阅图 13，桥线层 SD2 包括多个转接块 21，多个转接块 21 排列为多列，每列包括沿第二方向 Y 间隔设置的多个转接块 21，一列的多个转接块 21 分别与多条第一初始化信号线 Vinit1 电连接、多条第二初始化信号线 Vinit2 或第三初始化信号线 Vinit3 电连接。参阅图 14，一条连接线 31 与一列的多个转接块 21 电连接。这样，每条连接线 31 都可以和多条第一初始化信号线 Vinit1 电连接、多条第二初始化信号线 Vinit2 或第三初始化信号线 Vinit3 中的一者电连接。

示例性地，如图 13 所示，多个转接块 21 包括沿第一方向 X 间隔设置的多列第一转接块 211、多列第二转接块 212 和多列第三转接块 213。每列第一转接块 211 包括沿第二方向 Y 间隔设置的多个第一转接块 211，每列第二转接块 212 包括沿第二方向 Y 间隔设置的多个第二转接块 212，每列第三转接块 213 包括沿第二方向 Y 间隔设置的多个第三转接块 213。其中，图 13 中仅示例性地展示了一列第一转接块 211、一列第二转接块 212 和一列第三转接块 213，且一列第一转接块 211 仅示例性地展示了沿第二方向 Y 间隔设置的两个第一转接块 211。

示例性地，如图 14 所示，多条连接线 31 包括多条第一连接线 311、多条第二连接线 312 和多条第三连接线 313。其中，一条第一连接线 311 通过一列的多个（全部的）第一转接块 211 分别与多条（全部的）第一初始化信号线 Vinit1 电连接，一条第二连接线 312 通过一列的多个（全部的）第二转接块 212 分别与多条（全部的）第二初始化信号线 Vinit2 电连接，且一条第三连接线 313 通过一列的多个（全部的）第三转接块 213 分别与多条（全部的）第三初始化信号线 Vinit3 电连接。其中，图 14 中仅示例性地展示了一条第一连接线 311、一条第二连接线 312 和一条第三连接线 313。

其中，如图 13 所示，至少一个转接块 21 沿第一方向 X 的两端，均与第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 或第三初始化信号线 Vinit3 电连接。这样，即使转接块 21 的一端与初始化信号线（第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 或第三初始化信号线 Vinit3）连接失效，另一端依然可以与初始化信号线电连接，有利于增加转接块 21 与初始化信号线的连接可靠性。

示例性地，多列第一转接块 211 沿第一方向 X 的两端分别与第一初始化信号线 Vinit1 电连接；多列第二转接块 212 沿第一方向 X 的两端分别与第二初始化信号线 Vinit2 电连接；

多列第三转接块 213 沿第一方向 X 的两端分别与第三初始化信号线 Vinit3 电连接。有利于增加转接块 21 与初始化信号线之间的连接可靠性。

在一些实施例中，同时参阅图 13 和图 14，至少一个转接块 21 关于与转接块 21 电连接的连接线 31 对称设置。有利于信号在第一子部 214 的两侧均匀传输。转接块 21 可以包括第一子部 214、第二子部 215 和第三子部 216。

第一子部 214 在衬底 110 上的正投影，与连接线 31 在衬底 110 上的正投影部分重合。示例性地，第一子部 214 在衬底 110 上的正投影，位于连接线 31 在衬底 110 上的正投影的范围内。第一子部 214 与连接线 31 电连接。第二子部 215 沿第一方向 X 延伸，与第一子部 214 连接，且第二子部 215 关于第一子部 214 沿第一方向 X 的中线 L1 对称设置。其中，第一子部 214 沿第一方向 X 的中线 L1 是指第一子部 214 上沿第一方向的中点的连线，如图 14 所示，第一子部 214 沿第一方向 X 的中线 L1 沿第二方向 Y 延伸，且第一子部 214 关于中线 L1 对称。

第三子部 216 与第二子部 215 沿第一方向 X 的两端连接。沿第二方向 Y，第三子部 216 的尺寸大于第二子部 215 的尺寸。第三子部 216（通过第一连接图案 41）与第一初始化信号线 Vinit1 电连接，或者，第三子部 216（通过第二连接图案 42）与第二初始化信号线 Vinit2 电连接，或第三子部 216（通过第三连接图案 43）与第三初始化信号线 Vinit3 电连接。第三子部 216 沿第二方向 Y 的尺寸，大于第二子部 215 沿第二方向 Y 的尺寸，有利于第三子部 216 与第一连接图案 41、第二连接图案 42 或多个第三连接图案 43 接触。

示例性地，在转接块 21 关于与转接块 21 电连接的连接线 31 对称设置的情况下，转接块 21 的第二子部 215 关于第一子部 214 沿第一方向 X 的中线 L1 对称设置，且转接块 21 包括两个第三子部 216，两个第三子部 216 分别与第二子部 215 沿第一方向 X 的两端连接。

示例性地，同时参阅图 13 和图 14，第一转接块 211 关于与第一转接块 211 电连接的第一连接线 311 对称设置。第一转接块 211 包括第一转接部 2141、第二转接部 2151 和第三转接部 2161。第一转接部 2141 在衬底 110 上的正投影，与第一连接线 311 在衬底 110 上的正投影重合，且第一连接线 311 与第一转接部 2141 电连接。

继续参阅图 13，第二转接部 2151 沿第一方向 X 延伸，且第二转接部 2151 与第一转接部 2141 沿第二方向 Y 的一侧（上侧）连接。第二转接部 2151 且关于第一转接部 2141 沿第一方向 X 的中线 L11 对称设置。也就是说，第二转接部 2151 位于第一转接部 2141 沿第二方向 Y 的一侧。

两个第三转接部 2161 分别与第二转接部 2151 沿第一方向 X 的两端连接。第三转接部 2161 通过第一连接图案 41 与第一初始化电压信号线 Vinit1 电连接。比如，第三转接部 2161 与第一源漏导电层 SD1 内的第一连接图案 41 的第二子图案 412 电连接，并通过第一连接

图案 41 的第一子图案 411 与第一初始化电压信号线 Vinit1 电连接。

沿第二方向 Y，第三转接部 2161 的尺寸大于第二转接部 2151 的尺寸。这样，有利于增加第三转接部 2161 与第一连接图案 41 之间的正对面积，进而增加第三转接部 2161 与第一连接图案 41 之间的接触面积，降低第三转接部 2161 与第一连接图案 41 之间的接触电阻。

示例性地，如图 14 所示，第二转接块 212 关于与第二转接块 212 电连接的第二连接线 312 对称设置。如图 13 所示，第二转接块 212 包括第四转接部 2142、两个第五转接部 2152 和两个第六转接部 2162。如图 14 所示，第四转接部 2142 在衬底 110 上的正投影，与第二连接线 312 在衬底 110 上的正投影重合，且第四转接部 2142 与第二连接线 312 电连接。

如图 13 所示，两个第五转接部 2152 分别与第四转接部 2142 沿第一方向 X 的两端连接，且关于第四转接部 2142 对称设置。也就是说，两个第五转接部 2152 沿第一方向 X 间隔排列，第四转接部 2142 位于两个第五转接部 2152 之间，且与两个第五转接部 2152 相连。沿第二方向 Y，第四转接部 2142 的尺寸大于第五转接部 2152 的尺寸，这样，有利于增加第四转接部 2142 与第二连接线 312 之间的正对面积，进而增加第四转接部 2142 与第二连接线 312 之间的接触面积，降低第四转接部 2142 与第二连接线 312 之间的接触电阻。

两个第六转接部 2162 分别与两个第五转接部 2152 远离第四转接部 2142 的一端连接。第六转接部 2162 通过第二连接图案 42 与第二初始化电压信号线 Vinit2 电连接，示例性的，每个第六转接部 2162 与第一源漏导电层 SD1 内的一个第二连接图案 42 的第四子图案 422 电连接，并通过第二连接图案 42 的第三子图案 421 与第二初始化电压信号线 Vinit2 电连接。

沿第二方向 Y，第六转接部 2162 的尺寸大于第五转接部 2152 的尺寸；这样，有利于增加第六转接部 2162 与第二连接图案 42 之间的正对面积，进而增加第六转接部 2162 与第二连接图案 42 之间的接触面积，降低第六转接部 2162 与第二连接图案 42 之间的接触电阻。

示例性地，如图 14 所示，第三转接块 213 关于与第三转接块 213 电连接的第三连接线 313 对称设置。第三转接块 213 包括第七转接部 2143、第八转接部 2153 和两个第九转接部 2163。第七转接部 2143 在衬底 110 上的正投影，与第三连接线 313 在衬底 110 上的正投影重合，且第七转接部 2143 与第三连接线 313 电连接。

参阅图 13，第八转接部 2153 沿第一方向 X 延伸，与第七转接部 2143 沿第二方向 Y 的一侧连接，且关于第七转接部 2143 沿第一方向 X 的中线对称设置。其中，第三连接线 313 与第七转接部 2143 和第八转接部 2153 电连接。

两个第九转接部 2163 分别与第八转接部 2153 远离第七转接部 2143 的一端连接。第

九转接部 2163 与第三初始化电压信号线 Vinit3 电连接, 示例性的, 如图 12 和图 13 所示, 第九转接部 2163 与第一源漏导电层 SD1 上的第三连接图案 43 的第六子图案 432 电连接, 且通过第三连接图案 43 的第五子图案 431 与第三初始化电压信号线 Vinit3 电连接。

沿第二方向 Y, 第九转接部 2163 的尺寸大于第八转接部 2153 的尺寸, 有利于增加第九转接部 2163 与第三连接图案 43 之间的接触面积, 降低第九转接部 2163 与第三连接图案 43 之间的接触电阻。

在一些实施例中, 如图 13 所示, 第一转接块 211、第二转接块 212 和第三转接块 213 沿第一方向 X 排列, 也就是说, 第一转接块 211、第二转接块 212 和第三转接块 213 沿第一方向 X 并排设置。这样, 有利于提升桥线层 SD2 的空间利用率, 有利于在桥线层 SD2 上设置其他结构 (比如第一扇出线 22、遮挡图案 27 和第一信号转接线 28 等)。

在一些实施例中, 参阅图 13, 沿第一方向 X, 与同一个第一转接块 211 连接的两个第一连接图案 41 之间的间隔, 大于与同一个第二转接块 212 连接的两个第二连接图案 42 之间的间隔。且与同一个第二转接块 212 连接的两个第二连接图案 42 之间的间隔, 大于与同一个第三转接块 213 连接的第三连接图案 43 的两个第六子图案 432 之间的间隔。基于此, 如图 13 所示, 沿第一方向 X, 第一转接块 211 的尺寸 D3 大于第二转接块 212 的尺寸 D4, 且第二转接块 212 的尺寸 D4 大于第三转接块 213 的尺寸 D5。

在一些实施例中, 沿第一方向 X, 第一转接块 211、第二转接块 212 和第三转接块 213 周期性布置。也就是说, 相邻的第一转接块 211、第二转接块 212 和第三转接块 213 的排列顺序相同, 比如, 沿第一方向 X, 依次排列为第二转接块 212、第三转接块 213、第一转接块 211、第二转接块 212、第三转接块 213、第一转接块 211.....等。其中, 本申请对第一转接块 211、第二转接块 212 和第三转接块 213 的排列顺序不做限定。

沿第一方向 X, 第一转接块 211、第二转接块 212 和第三转接块 213 周期性布置。这样, 沿第一方向 X, 相邻两个第一转接块 211 之间的间隔相等, 相邻两个第二转接块 212 之间的间隔相等, 相邻两个第三转接块 213 之间的间隔相等。有利于提升第一初始化信号线 Vinit1 与第一连接线 311 形成的网格结构的均匀性, 提升第二初始化信号线 Vinit2 与第二连接线 312 形成的网格结构的均匀性, 并提升第三初始化信号线 Vinit3 与第三连接线 313 形成的网格结构的均匀性。使第一初始化信号线 Vinit1、第二初始化信号线 Vinit2 和第三初始化信号线 Vinit3 上的电阻均匀相等。

与第一转接块 211、第二转接块 212 和第三转接块 213 周期性布置相对应的, 第一连接线 311、第二连接线 312 和第三连接线 313 也成周期性布置。第一连接线 311、第二连接线 312 和第三连接线 313 的排列顺序, 与第一转接块 211、第二转接块 212 和第三转接块 213 的排列顺序对应相同。

参阅图 13, 桥线层 SD2 还包括多条第一扇出线 22。多条第一扇出线 22 沿第二方向 Y

间隔排列，且每条第一扇出线 22 均沿第一方向 X 延伸。示例性地，第一扇出线 22 沿第一方向 X 的两端可以延伸至显示区 AA 的边缘，以提升桥线层 SD2 的图案均匀性。当然，第一扇出线 22 可以设有开口（比如第二开口 221 和第三开口 222），以将第一扇出线 22 分割形成多段。

沿第二方向 Y，第一扇出线 22 与多个转接块 21 错开设置。也就是说，沿第二方向 Y，第一扇出线 22 与转接块 21 之间具有间隔，这样，有利于降低第一扇出线 22 与转接块 21 之间的信号干扰，而且可以避免第一扇出线 22 与转接块 21 发生接触。

在一些实施例中，如图 13 所示，桥线层 SD2 还包括多个遮挡图案 27，遮挡图案 27 在衬底 110 上的正投影覆盖像素电路 120 在衬底 110 上的正投影。遮挡图案 27 可以屏蔽第二走线层 SD3 上的信号线（比如数据线 DL）对像素电路 120 的干扰。

在一些实施例中，如图 13 所示，桥线层 SD2 还包括多条第一信号转接线 28，多条第一信号转接线 28 沿第二方向 Y 间隔设置，且每条第一信号转接线 28 沿第一方向延伸，一条第一信号转接线 28 与一行遮挡图案 27 连接，遮挡图案 27 可以降低第一信号转接线 28 的电阻。如图 13 所示，第一信号转接线 28 与第一源漏导电层 SD1 内的第七连接图案 47 电连接，并且通过第七连接图案 47 与像素电路电连接，用于向第七连接图案 47 和像素电路传输第一电压信号。

在一些实施例中，如图 13 所示，沿第二方向 Y，第一转接块 211 的至少部分与遮挡图案 27 相对设置；示例性地，第一转接块 211 沿第一方向 X 的两侧分别与相邻两个遮挡图案 27 相对设置。沿第二方向 Y，第二转接块 212 的至少部分与遮挡图案 27 相对设置；示例性地，第二转接块 212 沿第一方向 X 的两侧分别与相邻两个遮挡图案 27 相对设置。沿第一方向 X，第三转接块 213 与遮挡图案 27 错开设置，也就是说，沿第二方向 Y，第三转接块 213 上没有与遮挡图案 27 相对设置的部分。

在一些实施例中，如图 13 所示，桥线层 SD2 还包括多个第十连接图案 29，第十连接图案 29 与第九连接图案 49 电连接，用于将像素电路 120 与发光器件 200 电连接。

如图 14 所示，第二走线层 SD3 包括多条数据线 DL，多条数据线 DL 分为多组，每组包括相邻两条数据线 DL，且一组的两条数据线 DL 之间具有第一间隔 D1，相邻两组数据线 DL 之间具有第二间隔 D2，第一间隔 D1 小于第二间隔 D2。换言之，相互靠近的两条数据线 DL 为一组。示例性地，数据线 DL 为折线，如图 14 所示，一组的两条数据线 DL 之间包括第一子间隔 D11 和第二子间隔 D12，沿第一方向 X，第一子间隔 D11 的尺寸大于第二子间隔 D12 的尺寸，且第一子间隔 D11 的尺寸小于相邻两组数据线 DL 之间具有第二间隔 D2。

继续参阅图 14，数据线 DL 包括沿第二方向 Y 交替设置（交替连接）的第三加宽部 331 和第三延伸部 332。也就是说，相邻两个第三加宽部 331 之间通过一个第三延伸部 332

连接, 相邻两个第三延伸部 332 之间通过一个第三加宽部 331 连接。

第三加宽部 331 在衬底 110 上的正投影, 与承接图案 23 在衬底 110 上的正投影部分重合, 第三加宽部 331 用于与承接图案 23 电连接。第三加宽部 331 沿第一方向 X 的尺寸, 大于第三延伸部 332 沿第一方向 X 的尺寸, 这样, 有利于提升增加第三加宽部 331 与承接图案 23 之间的正对面积, 进而增加第三加宽部 331 与承接图案 23 之间的接触面积, 增加第三加宽部 331 与承接图案 23 的连接可靠性和稳定性。

如图 14 所示, 第二走线层 SD3 还包括多条连接线 31, 比如第二走线层 SD3 包括第一连接线 311、第二连接线 312 和第三连接线 313。连接线 31 包括沿第二方向 Y 交替设置(交替连接)的第二加宽部 314 和第二延伸部 315。也就是说, 相邻两个第二加宽部 314 之间通过一个第二延伸部 315 连接, 相邻两个第二延伸部 315 之间通过一个第二加宽部 314 连接。

第二加宽部 314 在衬底 110 上的正投影, 与转接块 21 在衬底 110 上的正投影重合, 第二加宽部 314 用于与转接块 21 电连接。第二加宽部 314 沿第一方向 X 的尺寸, 大于第二延伸部 315 沿第一方向 X 的尺寸, 这样, 有利于提升第二加宽部 314 与转接块 21 之间的正对面积, 增加第二加宽部 314 与转接块 21 之间的接触面积, 增加第二加宽部 314 与转接块 21 的连接可靠性和稳定性。

如图 14 所示, 沿第二方向 Y, 第三加宽部 331 和第二加宽部 314 错开设置, 也就是说, 沿第二方向 Y, 第三加宽部 331 和第二加宽部 314 具有间隔; 或者说, 第三加宽部 331 和第二加宽部 314 不在一条沿第一方向 X 延伸的直线上。这样, 有利于增加第三加宽部 331 与第二加宽部 314 之间的间隔, 也就是说, 有利于增加数据线与连接线 31 之间的间隔, 进而降低数据线 DL 与连接线 31 之间产生信号干扰的风险。

如图 14 所示, 每条连接线 31 位于一组的两条数据线 DL 之间。且一组的两条数据线 DL 关于中间的数据线 31 对称设置。这样, 有利于提升第二走线层 SD3 的空间利用率, 提升数据线 DL 和连接线 31 的布线密度, 进而提升显示面板的 PPI。示例性地, 第二加宽部 314 位于一组的两条数据线 DL 之间的第二子间隔 D12 之间。

在一些实施例中, 如图 14 所示, 第二走线层 SD3 还包括多条第一电压信号线 VDD, 第一电压信号 VDD 沿第二方向 Y 延伸, 且多条第一电压信号线 VDD 沿第一方向 X 间隔排列。第一电压信号线 VDD 在衬底 110 上的正投影, 与桥线层 SD2 内的第一信号转接线 28 在衬底 110 上的正投影部分重合, 且每条第一电压信号线 VDD 均与多条(全部的)第一信号转接线 28 电连接。也就是说, 第一电压信号线 VDD 依次与第一信号转接线 28、第七连接图案 47 与像素电路电连接。多条第一电压信号线 VDD 和多条第一信号转接线 28 相互连接形成网状结构, 有利于降低第一电压信号线 VDD 和多条第一信号转接线 28 上的电阻。

示例性地,如图 14 所示,每相邻两组数据线 DL 之间,包括一条第一电压信号线 VDD。第一电压信号线 VDD 比如用于传输电源电压信号,沿第一方向 X,第一电压信号线 VDD 的宽度大于数据线 DL 的宽度,且大于连接线 31 的宽度。

如图 14 所示,第二走线层 SD3 还包括多个第十一连接图案 34,第十一连接图案 34 在衬底 110 上的正投影,与桥线层 SD2 内的第十连接图案 29 在衬底 110 上的正投影重合,且第十一连接图案 34 与第十连接图案 29 电连接。也就是说,第十一连接图案 34 依次与第十连接图案 29、第九连接图案和像素电路电连接。

在一些实施例中,参阅图 15,桥线层 SD2 还包括第一连接段 24 和连接块 25,第一连接段 24 的一端与第一扇出线 22 连接,另一端与连接块 25 连接。每个第一连接段 24 仅与一条第一扇出线 22 和一个连接块 25 连接。连接块 25 用于与第二扇出线 32 电连接。如图 15 所示,沿第一方向 X,连接块 25 的尺寸大于第一连接段 24 的宽度。有利于增加连接块 25 与第二扇出线 32 之间正对面积,进而增加连接块 25 与第二扇出线 32 之间的接触面积,降低连接块 25 与第二扇出线 32 之间的接触电阻。

如图 15 所示,一系列的多个连接块 25 中,仅一个连接块 25 通过第一连接段 24 与一条第一扇出线 22 电连接,以使一条第二扇出线 32 可以与唯一一条第一扇出线 22 电连接。在一列制备多个连接块 25,有利于提升桥线层 SD2 的图案均匀性。

参阅图 16,第二走线层 SD3 还包括第二扇出线 32,在一些实施例中,第二扇出线 32 的结构与连接线 31 的结构相同,以提升第二走线层 SD3 的图案的同一性,降低第二走线层 SD3 的制备难度。

如图 16 所示,第二扇出线 32 包括沿第二方向 Y 交替设置(交替连接)的多个第一加宽部 324 和多个第一延伸部 325。

第一加宽部 324 与连接线 31 的第二加宽部 314 沿第一方向 X 排列,或者说第一加宽部 324 与第二加宽部 314 沿第一方向 X 并排设置,以使第二扇出线 32 的形状和结构与连接线 31 的形状和结构大致相同,有利于提升第二走线层 SD3 的图案的均一性,降低第二走线层 SD3 的制备难度。

第一加宽部 324 与第一扇出线 22 沿第二方向 Y 错开设置,即第一加宽部 324 在衬底 110 上的正投影与第一扇出线 22 在衬底 110 上的正投影无重合。也就是说,沿第二方向 Y,第一加宽部 324 与第一扇出线 22 之间具有间隔。

第一加宽部 324 在衬底 110 上的正投影,与连接块 25 在衬底 110 上的正投影重合,且第一加宽部 324 与连接块 25 电连接。沿第一方向 X,第一加宽部 324 的尺寸大于第一延伸部 325 的尺寸,有利于增加第一加宽部 324 与连接块 25 之间的接触面积,增加第一加宽部 324 与连接块 25 之间的连接稳定性。

如图 16 所示,与连接线 31 相似的,每条第二扇出线 32 也位于一组的两条数据线 DL

之间。示例性地，第二扇出线 32 的第一加宽部 324 也可以位于两条数据线 DL 之前的第二子间隔 D12 之间。这样，有利于提升第二走线层 SD3 的空间利用率，提升数据线 DL、连接线 31 和第二扇出线 32 的布线密度，进而提升显示面板的 PPI。

在一些实施例中，如图 16 所示，第二扇出线 32 沿第二方向 Y 贯穿显示区 AA，也就是说，在显示区 AA 内，第二扇出线 32 的第二方向 Y 的长度与连接线 31 第二方向 Y 的长度大致相同。而且，在显示区 AA 内，第二扇出线 32 的形状和结构与连接线 31 的形状和结构大致相同。这样，有利于提升第二走线层 SD3 的图案的均一性，降低第二走线层 SD3 的制备难度。

如图 16 所示，第二扇出线 32 还包括第一开口 321，第一开口 321 将第二扇出线 32 分割形成第一走线段 322 和第二走线段 323。其中，第一走线段 322 的一端（比如下端）延伸至扇出区 BB1（图中未示出），另一端延伸至与第二扇出线 32 电连接的一条第一扇出线 22，且与第一扇出线 22 电连接。第二走线段 323 位于第一走线段 322 远离扇出区 BB1 的一侧，且第二走线段 323 与第一走线段电绝缘。

第一开口 321 将第二扇出线 32 分割形成相互电绝缘的第一走线段 322 和第二走线段 323，第一扇出线 22 与第一走线段 322 电连接，且通过第一走线段 322 延伸至扇出区 BB1。示例性地，第二走线段 323 还可以用于传输其他信号。比如，阵列基板 100 还包括位于周边区 BB 内且至少部分围绕显示区 AA 设置的第二电压信号线 VSS，第二电压信号线 VSS 比如可以与发光器件的阴极层电连接。第二走线段 323 可以与第二电压信号线 VSS 电连接，并与阴极层电连接，也就是说，第二走线段 323 与阴极层并联设置，有利于降低阴极层的电阻。有利于缩短数据信号在第二扇出线 32 上的传输路径，进而降低数据信号在第二扇出线 32 上传输过程中的压降。

多个第一加宽部 324 中包括目标第一加宽部 324A，目标第一加宽部 324A 为第一走线段 322 上的多个第一加宽部 324 中最靠近第一扇出线 22 的一个第一加宽部 324。第一连接段 24 连接第一扇出线 22 和目标第一加宽部 324A，这样，第一走线段 322 依次通过目标第一加宽部 324A 和第一连接段 24 电连接与第一扇出线 22 电连接，不需要在第一走线段 322 在第一扇出线 22 的正上方设置加宽区域，有利于简化第一走线段 322 的结构，提升第二走线层 SD3 的均一性。

继续参阅图 15，桥线层 SD2 还包括第二连接段 26 和多列承接图案 23。多列承接图案 23 中的每列包括沿第二方向 Y 间隔设置的多个承接图案 23，一列的多个承接图案 23 分别与一列的多个像素电路（图中未示出）电连接，且一列的多个承接图案 23 还与一条数据线 DL 电连接。示例性地，数据线 DL 依次与一列的多个承接图案 23、一列的多个第八连接图案 48 以及一列的多个像素电路电连接，进而将数据线 DL 传输的数据信号传输至像素电路。也就是说，一列的多个承接图案 23 分别与第一源漏导电层 SD 内的一列的多个第八

连接图案 48 电连接，并通过一系列的多个第八连接图案 48 与一系列的多个像素电路电连接。

如图 15 所示，第二连接段 26 的一端与第一扇出线 22 电连接，另一端与目标承接图案 23 连接。目标承接图案 23A 为与第一数据线 DL1 电连接一系列承接图案 23 中，位于第一扇出线 22 靠近扇出区 BB1 的一侧，且最靠近第一扇出线 22 的承接图案 23。可以理解的是，一条第一扇出线 22 仅通过一个第二连接段 26 与一个承接图案 23 电连接。

也就是说，第一数据线 DL1 依次与目标承接图案 23A、第二连接段 26、第一扇出线 22、第一连接段 24、连接块 25 与第二扇出线 32 电连接。而且，第一数据线 DL1 还依次与目标承接图案 23A、第八连接图案 48 和像素电路电连接。这样，不需要在第一数据线 DL1 与第一扇出线 22 之间设置连接结构（比如不需要额外在第二平坦化层内设置过孔），有利于简化第一数据线 DL1 与第一扇出线 22 之间的连接结构。

如图 15 所示，第一扇出线 22 还包括第二开口 221。第二开口 221 位于第一连接段 24 远离与第一扇出线 22 电连接的第一数据线 DL1 的一侧。第二开口 221 将第一扇出线 22 分割形成两段，可以缩短数据信号在第一扇出线 22 上的传播路径，降低数据信号在第一扇出线 22 上的压降。

如图 16 所示，第二开口 221 在衬底 110 上的正投影，与最靠近第一连接段 24 的一条数据线 DL 在衬底 110 上的正投影重合。这样，一方面可以最大程度的缩短数据信号在第一扇出线 22 上的传播路径，另一方面，可以避免第二开口 221 将第一连接段 24 断开，提升信号在第一连接段 24 和第一扇出线 22 之间传输的稳定性。

如图 15 所示，第一扇出线 22 还包括第三开口 222。第三开口 222 位于与第一扇出线 22 电连接的第一数据线 DL11，远离与第一扇出线 22 电连接的第二扇出线 32 的一侧，或者说，第三开口 222 位于第二连接段 26 远离第二扇出线 32 的一侧。第三开口 222 将第一扇出线 22 分割形成两段，可以进一步缩短数据信号在第一扇出线 22 上的传播路径，降低数据信号在第一扇出线 22 上的压降。

如图 16 所示，且第三开口 222 在衬底 110 上的正投影，与最靠近第二连接段 26 的一条连接线 31 或者第一电压信号线 VDD 电连接（图 16 中的第一电压信号线 VDD）在衬底 110 上的正投影重合。这样，一方面可以最大程度的缩短数据信号在第一扇出线 22 上的传播路径，另一方面，可以避免第二开口 221 将第二连接段 26 断开，提升信号在第二连接段 26 和第一扇出线 22 之间传输的稳定性。

示例性地，第一扇出线 22 同时包括第二开口 221 和第三开口 222，第一扇出线 22 上位于第二开口 221 与第三开口 222 之间的部分用于传输数据信号，这样，可以最大程度的缩短数据信号在第一扇出线 22 上的传播路径，减小数据信号在第一扇出线 22 上的损耗。当然，在其他一些实施例中，第一扇出线 22 也可以仅包括第二开口 221 和第三开口 222 中的一者，此处不再赘述。

在一些实施例中,同时参阅图 15 和图 16,多条第一数据线 DL1 包括至少一条第一子数据线 DL11,第一子数据线 DL11 在衬底 110 上的正投影,与转接块 21 在衬底 110 上的正投影不重合。与第一子数据线 DL11 电连接的第二延伸段 26,在衬底 110 上的正投影,位于第一子数据线 DL11 在衬底 110 上的正投影的范围内。这样,与第一子数据线 DL11 电连接的第二延伸段 26 不会与转接块 21 发生干涉,或者说,与第一子数据线 DL11 电连接的承接图案 23,和与第一子数据线 DL11 电连接的第一扇出线 22 之间没有转接块 21。

在一些实施例中,同时参阅图 17~图 24,多条第一数据线 DL1 还包括至少一条第二子数据线 DL12,第二子数据线 DL12 在衬底 110 上的正投影,与一系列转接块 21 在衬底 110 上的正投影部分重合。

与第二子数据线 DL12 电连接的一系列转接块 21 包括目标转接块 21A,目标转接块 21A 位于与第二子数据线 DL12 电连接的第一扇出线 22 靠近扇出区 BB1 的一侧,且最靠近与第二子数据线 DL12 电连接的第一扇出线 22。目标转接块 21A 在衬底 110 上的正投影,与第二子数据线 DL12 在衬底 110 上的正投影不重合。示例性地,多个转接块 21 中,除了目标转接块 21A 之外的所有转接块 21,在衬底 110 上的正投影,和与转接块 21 电连接的连接线 31 在衬底 110 上的正投影部分交叠,且除目标转接块 21A 之外的所有转接块 21,关于与转接块 21 电连接的连接线 31 对称设置。

与第二子数据线 DL12 电连接的第二连接段 26 为目标连接段 26A。目标连接段 26A 在衬底 110 上的正投影,位于第二子数据线 DL12 在衬底 110 上的正投影的范围内,且目标连接段 26A 沿第二方向 Y 延伸,与目标转接块 21A 具有间隔。和/或,目标连接段 26A 为折线,目标连接段 26A 在衬底 110 上的正投影,与第二子数据线 DL12 在衬底 110 上的正投影至少部分不重合,且目标连接段 26A 与目标转接块 21A 之间具有间隔。

在一些实施例中,同时参阅图 17 和图 18,至少一条第二子数据线 DL12 包括第一目标数据线 DL121,第一目标数据线 DL121 在衬底 110 上的正投影,与一系列第一转接块 211 在衬底 110 上的正投影部分重合。

如图 17 所示,用于连接第一目标数据线 DL121 和第一扇出线 22 的一个承接图案为第一目标承接图案 231A。沿第二方向 Y,第一转接块 211 的至少部分与遮挡图案 27 相对设置,比如,第一转接块 211 沿第一方向 X 的两端与遮挡图案 27 相对设置。目标转接块 21A 包括第一目标转接块 211A。第一目标承接图案 231A 与第一扇出线 22 之间包括一个第一转接块 211,该第一转接块 211 为第一目标转接块 211A。

换句话说,如图 17 所示,与第二子数据线 DL12 电连接的一系列的多个第一转接块 211 中包括第一目标转接块 211A,第一目标转接块 211A 位于与第一目标数据线 DL121 电连接的第一扇出线 22 和第一目标承接图案 231A 之间。

如图 17 所示,第一目标转接块 211A 具有第四开口 2111,与第一目标数据线 DL121

电连接的目标连接段 26A，沿第二方向 Y 延伸，目标连接段 26A 穿过第四开口 2111，且目标连接段 26A 与第一目标转接块 211A 具有避让间隙。这样，在第一目标转接块 211A 上设有一第四开口 2111，第四开口 2111 用于避让与第一目标数据线 DL121 电连接的目标连接段 26A，避免第一目标转接块 211A 与目标连接段 26A 发生短路，确保数据信号和第一初始化信号不会发生干扰。

在一些实施例中，如图 18 所示，与第一目标数据线 DL121 电连接的目标连接段 26A 在衬底 110 上的正投影，位于第一目标数据线 DL121 在衬底 110 上的正投影的范围内。

在一些实施例中，如图 19 和图 20 所示，至少一条第二子数据线 DL12 包括第二目标数据线 DL122，第二目标数据线 DL122 在衬底 110 上的正投影与一系列第二转接块 212 在衬底 110 上的正投影部分重合。

如图 19 所示，目标承接图案 23A 还包括第二目标承接图案 232A，第二目标承接图案 232A 用于连接第二目标数据线 DL122 和第一扇出线 22。目标转接块 21A 包括第二目标转接块 212A。与第二目标数据线 DL122 电连接的一列的多个第二转接块 212 中包括目标第二转接块 212A，沿第二方向 Y，目标第二转接块 212A 位于与第二目标数据线 DL122 电连接的第一扇出线 22 和第二目标承接图案 232A 之间。

沿第二方向 Y，第二转接块 212 的至少部分与遮挡图案 27 相对设置，比如，第二转接块 212 沿第一方向 X 的两端与遮挡图案 27 相对设置。也就是说，第二目标承接图案 232A 与第一扇出线 22 之间包括一个第二转接块 211，该第二转接块 211 为目标第二转接块 212A。

换句话说，如图 19 所示，与第二目标数据线 DL122 电连接的一列的多个第一转接块 211 中包括第一目标转接块 211A，第一目标转接块 211A 位于与第二目标数据线 DL122 电连接的第一扇出线 22 和第二目标承接图案 232A 之间。

示例性地，第二目标数据线 DL122 在衬底 110 上的正投影，与一系列第二转接块 212 中除目标第二转接块 212A 之外的所有第二转接块 212 在衬底 110 上的正投影部分重合。

如图 19 所示，除目标第二转接块 212A 之外的其他第二转接块 212 包括第一子部 214、第二子部 215 和两个第三子部 216。两个第三子部 216 分别位于第一子部 214 沿第一方向 X 的相对两侧，第二子部 215 连接第一子部 214 和两个第三子部 216。

如图 19 所示，与第二目标数据线 DL122 电连接的目标连接段 26A 沿第二方向 Y 延伸。如图 20 所示，目标连接段 26A 在衬底 110 上的正投影，位于第三子数据线在衬底 110 上的正投影的范围内。

如图 19 所示，目标第二转接块 212A 包括第一子部 214、第四子部 217 和一个第三子部 216。第三子部 216 位于第一子部 214 远离目标连接段 26A 的一侧，第四子部 217 位于第一子部 214 和第三子部 216 之间，且连接第一子部 214 和第三子部 216。也就是说，相较于其他第二转接块 212，目标第二转接块 212A 去除了靠近目标连接段 26A 一个第三子

部 216, 以及去除了第二子部 215 中用于连接第一子部 214 和右侧 (靠近目标连接段 26A 一侧) 第三子部 216 的部分。(相较于其他第二转接块 212) 将目标第二转接块 212A 靠近目标连接段 26A 的部分进行去除, 以避免目标第二转接块 212A 与目标连接段 26A 发生短路, 确保数据信号和第二初始化信号不会发生干扰。在本公开的另一种实施方式中, 也可以将目标连接段 26A 设计成折线或者曲线形状, 使得通过第三子部 216 被半包围在折线或者曲线形的目标连接段 26A 所围设的范围内, 而无需对部分第三子部 216 予以去除。

在一些实施例中, 如图 21 和图 22 所示, 多条第一数据线 DL1 包括至少一条第三目标数据线 DL123, 第三目标数据线 DL123 在衬底 110 上的正投影与一系列第三转接块 213 在衬底 110 上的正投影部分重合。

如图 21 所示, 目标承接图案 23A 还包括第三目标承接图案 233A, 第三目标承接图案 233A 用于连接第三目标数据线 DL123 和第一扇出线 22。目标转接块 21A 还包括第三目标转接块 213A。与第三目标数据线 DL123 电连接的一系列第三转接块 212 中包括目标第三转接块 213A, 沿第二方向 Y, 目标第三转接块 213A 位于与第二子数据线 DL12 电连接的第一扇出线 22 和第二目标承接图案 232A 之间。

如图 21 所示, 沿第一方向 X, 第三转接块 213 与遮挡图案 27 错开设置, 也就是说, 沿第二方向 Y, 第三转接块 213 上没有与遮挡图案 27 相对设置的部分。这样, 第三转接块 213 与遮挡图案 27 之间可能具有布线空间。

示例性地, 第三目标数据线 DL123 在衬底 110 上的正投影, 与一系列第三转接块 213 中除目标第三转接块 213A 之外的所有第三转接块 213 在衬底 110 上的正投影部分重合。

在一些实施例中, 如图 21 和图 22 所示, 与第三目标数据线 DL123 电连接的目标连接段 26A 沿第二方向 Y 延伸。且与第三目标数据线 DL123 电连接的第二延伸段 26 在衬底 110 上的正投影, 位于第三目标数据线 DL123 在衬底 110 上的正投影的范围内。

如图 21 所示, 除目标第三转接块 213A 之外的其他第三转接块 213 包括第一子部 214、第二子部 215 和两个第三子部 216。两个第三子部 216 分别位于第一子部 214 沿第一方向 X 的相对两侧, 第二子部 215 连接第一子部 214 和两个第三子部 216。

参阅图 21, 目标第三转接块 213A 包括第一子部 214、第五子部 218 和一个第三子部 216。第二子部 215 位于第一子部 214 远离目标连接段 26A 的一侧, 第五子部 218 位于第一子部 214 和第二子部 215 之间, 且连接第一子部 214 和第二子部 215。或者说, 相较于其他第三转接块 213, 目标第三转接块 213A 去除了靠近目标连接段 26A 的一个第三子部 216, 以及去除了第二子部 215 中用于连接第一子部 214 和右侧 (靠近目标连接段 26A 一侧) 第三子部 216 的部分。也就是说, (相较于其他第三转接块 213) 将目标第三转接块 213A 靠近目标连接段 26A 的部分进行去除, 以避免目标第二转接块 212A 与目标连接段 26A 发生短路, 确保数据信号和第二初始化信号不会发生干扰。

在另一些实施例中，如图 23 和图 24 所示，与第三目标数据线 DL123 电连接的第二连接段 26 为目标连接段 26A，目标连接段 26A 为折线段，且目标连接段 26A 与第三转接块 213 具有间隔。目标连接段 26A 在衬底 110 上的正投影，与第三目标数据线 DL123 在衬底 110 上的正投影至少部分不重合。

如图 23 所示，沿第一方向 X，第三转接块 213 与遮挡图案 27 错开设置，也就是说，沿第二方向 Y，第三转接块 213 上没有与遮挡图案 27 相对设置的部分。这样，第三转接块 213 与遮挡图案 27 之间可能具有布线空间。与第三目标数据线 DL123 电连接的目标连接段 26A 位于上述布线空间内。

在一些实施例中，相邻两条第二扇出线 32 之间可以包括 1~10 条连接线 31，示例性地，相邻两条第二扇出线 32 之间可以包括 1 条、3 条、6 条或者 10 条数据线，本公开的实施例对此不作限定。

示例性地，如图 25 所示，相邻两条第二扇出线 32 之间包括三条连接线 31，且三条连接线 31 分别为一条第一连接线 311、一条第二连接线 312 和一条第三连接线 313。在一些实施例中，第一连接线 311、第二连接线 312 和第三连接线 313 的布线密度相等。

在一些实施例中，相邻的三条连接线 31 包括一条第一连接线 311、一条第二连接线 312 和一条第三连接线 313，且相邻的一条第一连接线 311、一条第二连接线 312 和一条第三连接线 313 的排列顺序可以任意选择。

在一些实施例中，相邻两条第二扇出线 32 之间包括三条连接线 31，且三条连接线 31 分别为一条第一连接线 311、一条第二连接线 312 和一条第三连接线 313。

示例性地，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第二连接线 312、第三连接线 313、第一连接线 311 依次设置。或者，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第二连接线 312、第一连接线 311、第三连接线 313 依次设置。或者，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第一连接线 311、第二连接线 312、第三连接线 313 依次设置。或者，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第一连接线 311、第三连接线 313、第二连接线 312 依次设置。或者，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第三连接线 313、第二连接线 312、第一连接线 311 依次设置；或者，在相邻两条第二扇出线 32 之间，沿第一方向 X 且从显示区 AA 的一侧边缘指向另一侧边缘的方向（比如从左向右），第三连接线 313、第一连接线 311、第二连接线 312 依次设置。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟

悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种阵列基板，具有显示区和扇出区，所述扇出区与所述显示区的一侧边缘邻接；所述阵列基板包括：

衬底；

多个像素电路，设置于所述衬底上，所述多个像素电路排列为多行和多列；

第一走线层，设置于所述多个像素电路远离所述衬底的一侧，包括沿第一方向延伸的多条第一初始化信号线、多条第二初始化信号线和多条第三初始化信号线，所述第一方向为所述多个子像素排列的行方向；每行像素电路与一条第一初始化信号线、一条第二初始化信号线和一条第三初始化信号线电连接；

桥线层，设置于所述第一走线层远离所述衬底的一侧，包括多列转接块和多条第一扇出线，每列转接块包括沿第二方向间隔设置的多个转接块，所述多条第一扇出线沿所述第一方向延伸，所述第二方向为所述多个像素电路排列的行方向；

第二走线层，设置于所述桥线层远离所述衬底的一侧，包括沿第二方向延伸的多条连接线、多条数据线和多条第二扇出线；每条连接线通过一列转接块与所述多条第一初始化信号线、所述多条第二初始化信号线和所述多条第三初始化信号线中的一者电连接；每条数据线与一列像素电路电连接，所述多条数据线包括多条第一数据线，所述第一数据线靠近所述扇出区的一端位于所述显示区；所述第二扇出线靠近所述扇出区的一端延伸至所述扇出区；一条第一扇出线分别与一条第一数据线和一条第二扇出线电连接。

2、根据权利要求 1 所述的阵列基板，其中，至少一个所述转接块沿所述第一方向的两端，均与所述第一初始化信号线、所述第二初始化信号线或所述第三初始化信号线电连接。

3、根据权利要求 2 所述的阵列基板，其中，至少一个所述转接块关于与所述转接块电连接的所述连接线对称设置，且所述转接块包括：

第一子部，所述第一子部在所述衬底上的正投影，与所述连接线在所述衬底上的正投影部分重合；所述第一子部与所述连接线电连接；

第二子部，所述第二子部沿所述第一方向延伸，与所述第一子部连接，且关于所述第一子部沿所述第一方向的中线对称设置；

第三子部，与所述第二子部远离所述第一子部的一端连接，沿所述第二方向，所述第三子部的尺寸大于所述第二子部的尺寸；所述第三子部与所述第一初始化信号线、所述第二初始化信号线或所述第三初始化信号线电连接。

4、根据权利要求 1~3 中任一项所述的阵列基板，其中，

所述多个转接块包括沿所述第一方向间隔设置的多列第一转接块、多列第二转接块和多列第三转接块；每列第一转接块包括沿所述第二方向间隔设置的多个第一转接块，一列

的所述多个第一转接块分别与所述多条第一初始化信号线电连接；每列第二转接块包括沿所述第二方向间隔设置的多个第二转接块，一列的所述多个第二转接块分别与所述多条第二初始化信号线电连接；每列第三转接块包括沿所述第二方向间隔设置的多个第三转接块，一列的所述多个第三转接块分别与所述多条第三初始化信号线电连接；

所述多条连接线包括多条第一连接线、多条第二连接线和多条第三连接线；一条第一连接线与一列第一转接块电连接，一条第二连接线与一列第二转接块电连接，一条第三连接线与一列第三转接块电连接。

5、根据权利要求4所述的阵列基板，其中，

沿所述第一方向，所述第一转接块的尺寸大于所述第二转接块的尺寸，且所述第二转接块的尺寸大于所述第三转接块的尺寸。

6、根据权利要求4或5所述的阵列基板，其中，

沿所述第一方向，所述第一转接块、所述第二转接块和所述第三转接块周期性布置，且所述第一连接线、所述第二连接线和所述第三连接线周期性布置。

7、根据权利要求4-6中任一项所述的阵列基板，还包括：

第一源漏导电层，设置于所述第一走线层与桥线层之间，包括多个第一连接图案、多个第二连接图案和多个第三连接图案；其中，

所述第一连接图案包括第一子图案和第二子图案，所述第一子图案分别与所述第一初始化信号线和所述像素电路电连接，所述第二子图案与所述第一转接块电连接；

所述第二连接图案包括第三子图案和第四子图案；所述第三子图案分别与所述第二初始化信号线和所述像素电路电连接，所述第四子图案与所述第二转接块电连接；

所述第三连接图案包括第五子图案和第六子图案；所述第五子图案分别与所述第三初始化信号线和所述像素电路电连接，所述第六子图案与所述第三转接块电连接。

8、根据权利要求7所述的阵列基板，其中，所述第一源漏导电层还包括：

第四连接图案，所述第四连接图案的形状和大小分别与所述第一子图案的形状和大小相同，且所述第四连接图案分别与所述第一初始化信号线和所述像素电路电连接；

第五连接图案，所述第五连接图案的形状和大小分别与所述第三子图案的形状和大小相同，且所述第五连接图案分别与所述第二初始化信号线和所述像素电路电连接；

第六连接图案，所述第六连接图案的形状和大小分别与所述第五子图案的形状和大小相同，且所述第六连接图案分别与所述第三初始化信号线和所述像素电路电连接。

9、根据权利要求1-8中任一项所述的阵列基板，其中，所述第二扇出线包括第一开口，所述第一开口将所述第二扇出线分割形成第一走线段和第二走线段；其中，

所述第一走线段的一端延伸至所述扇出区，另一端延伸至所述第一扇出线，且与所述第一扇出线电连接；

所述第二走线段位于所述第一走线段远离所述扇出区的一侧，且与所述第一走线段电绝缘。

10、根据权利要求 9 所述的阵列基板，其中，

所述第二扇出线包括沿所述第二方向交替设置的多个第一加宽部和多个第一延伸部；所述第一加宽部与所述第一扇出线沿所述第二方向错开设置；

所述桥线层还包括第一连接段，所述第一连接段的一端与所述第一扇出线连接，另一端与所述第一走线段中最靠近所述第一扇出线的第一加宽部电连接。

11、根据权利要求 10 所述的阵列基板，其中，

所述连接线包括沿所述第二方向交替设置的多个第二加宽部和多个第二延伸部；沿所述第一方向，所述第二加宽部的尺寸大于所述第二延伸部的尺寸，且所述第二加宽部与所述转接块电连接。

12、根据权利要求 10 或 11 所述的阵列基板，其中，所述第一扇出线包括：

第二开口，所述第二开口位于第一连接段远离与所述第一扇出线电连接的第一数据线的一侧，且所述第二开口在衬底上的正投影，与一条数据线在所述衬底上的正投影部分重合；

第三开口，所述第三开口位于与所述第一扇出线电连接的第一数据线远离与所述第一扇出线电连接的第二扇出线的一侧，且所述第三开口在衬底上的正投影，与一条连接线在所述衬底上的正投影部分重合。

13、根据权利要求 9~12 中任一项所述的阵列基板，其中，所述桥线层还包括：

多列承接图案，每列包括沿所述第二方向间隔设置的多个承接图案，一列的所述多个承接图案分别与一列的多个像素电路电连接，且一列的所述多个承接图案还与一条数据线电连接；

第二连接段，所述第二连接段的一端与所述第一扇出线电连接，另一端与目标承接图案电连接；所述目标承接图案为所述第一扇出线靠近所述扇出区的一侧，且最靠近所述第一扇出线的承接图案。

14、根据权利要求 13 所述的阵列基板，其中，沿所述第二方向，所述多个承接图案和所述多个转接块错开设置，且至少一个所述转接块位于所述第一扇出线与所述目标承接图案之间。

15、根据权利要求 13 或 14 所述的阵列基板，其中，

所述多条第一数据线包括至少一条第一子数据线；所述第一子数据线在所述衬底上的正投影与所述转接块在所述衬底上的正投影不重合；

与所述第一子数据线连接的第二连接段在所述衬底上的正投影，位于所述第一子数据线在所述衬底上的正投影的范围内。

16、根据权利要求 13 或 14 所述的阵列基板，其中，

所述多条第一数据线包括至少一条第二子数据线；所述第二子数据线在所述衬底上的正投影与一列转接块在衬底上的正投影部分重合；

与所述第二子数据线电连接的一列转接块包括目标转接块，所述目标转接块位于所述第一扇出线靠近所述扇出区的一侧，且最靠近所述第一扇出线；所述目标转接块在所述衬底上的正投影，与所述第二子数据线在所述衬底上的正投影不重合；

与所述第二子数据线电连接的第二连接段为目标连接段；所述目标连接段在所述衬底上的正投影，位于所述第二子数据线在所述衬底上的正投影的范围内，且所述目标连接段沿所述第二方向延伸，与所述目标转接块具有间隔；和/或，所述目标连接段为折线，所述目标连接段在所述衬底上的正投影，与所述第二子数据线在所述衬底上的正投影至少部分不重合，且所述目标连接段与所述目标转接块具有间隔。

17、根据权利要求 1~16 中任一项所述的阵列基板，其中，相邻两列像素电路对称设置；

所述多条数据线分为多组，每组包括两条数据线，一组的所述两条数据线之间具有第一间隔，相邻两组数据线之间具有第二间隔，所述第一间隔小于所述第二间隔；

每条连接线位于一组的所述两条数据线之间，且一组的两条数据线关于所述连接线对称设置；每条第二扇出线位于一组的所述两条数据线之间，且一组的两条数据线关于所述第二扇出线对称设置。

18、根据权利要求 17 所述的阵列基板，其中，相邻两条第二扇出线之间包括 1~10 条连接线。

19、根据权利要求 17 或 18 所述的阵列基板，其中，相邻两条第二扇出线之间包括一条第一连接线、一条第二连接线和一条第三连接线；

在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第二连接线、所述第三连接线、所述第一连接线依次设置；或者，

在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第二连接线、所述第一连接线、所述第三连接线依次设置；或者，

在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第一连接线、所述第二连接线、所述第三连接线依次设置；或者，

在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第三连接线、所述第二连接线、所述第一连接线依次设置；或者，

在所述相邻两条第二扇出线之间，沿所述第一方向且从所述显示区的一侧边缘指向另一侧边缘的方向，所述第三连接线、所述第二连接线、所述第一连接线依次设置；或者，

一侧边缘的方向，所述第三连接线、所述第一连接线、所述第二连接线依次设置。

20、根据权利要求 17~19 中任一项所述的阵列基板，其中，

所述第二走线层还包括沿所述第一方向间隔设置的多条第一电压信号线，每条第一电压信号线沿所述第二方向延伸；相邻两条第一电压信号线包括一组数据线；

所述桥线层还包括沿所述第二方向间隔设置的多条第一电压信号转接线，每条第一电压信号线沿所述第一方向延伸，且与一行像素电路电连接；

每条第一电压信号线与所述多个第一电压信号转接线电连接。

21、一种显示面板，包括：

如权利要求 1~20 中任一项所述的阵列基板；

多个发光器件，设置于所述阵列基板远离衬底的一侧，且一个发光器件与一个像素电路电连接。

22、一种显示装置，包括：

如权利要求 21 所述的显示面板，所述显示面板包括阵列基板；

驱动电路板，与所述阵列基板的扇出区电连接，被配置为向所述阵列基板传输控制信号。