

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月19日(19.03.2015)



(10) 国際公開番号
WO 2015/037188 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01)
- (21) 国際出願番号: PCT/JP2014/004239
- (22) 国際出願日: 2014年8月20日(20.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-188172 2013年9月11日(11.09.2013) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者: 橋本 浩昌 (HASHIMOTO, Hiromasa); 〒
9618061 福島県西白河郡西郷村大字小田倉字大
平150番地信越半導体株式会社 白河工場内
Fukushima (JP). 宇佐美 佳宏 (USAMI, Yoshihiro); 〒
9618061 福島県西白河郡西郷村大字小田倉字大
平150番地信越半導体株式会社 白河工場内
Fukushima (JP). 青木 一晃 (AOKI, Kazuaki); 〒
9618061 福島県西白河郡西郷村大字小田倉字大

平150番地信越半導体株式会社 白河工場内
Fukushima (JP). 大葉 茂 (OBA, Shigeru); 〒9618061
福島県西白河郡西郷村大字小田倉字大平150
番地信越半導体株式会社 白河工場内 Fukushima
(JP).

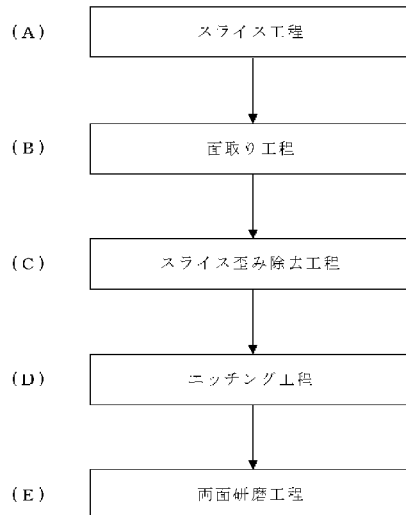
- (74) 代理人: 好宮 幹夫 (YOSHIMIYA, Mikio); 〒
1100005 東京都台東区上野7丁目6番11号第
一下谷ビル8F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: PRODUCTION METHOD FOR MIRROR POLISHED WAFERS

(54) 発明の名称: 鏡面研磨ウェーハの製造方法

【図1】



- (A)... SLICING STEP
(B)... CHAMFERING STEP
(C)... SLICING-DISTORTION REMOVAL STEP
(D)... ETCHING STEP
(E)... POLISHING STEP FOR BOTH SURFACES

(57) Abstract: A production method for mirror polished wafers according to the present invention produces a plurality of mirror polished wafers and includes subjecting surfaces of a plurality of silicon wafers that are sliced from a silicon ingot to the following batch-style steps: a slicing-distortion removal step in which surface distortions that have occurred due to slicing are removed; an etching step in which distortions that have occurred in the slicing-distortion removal step are removed; and a polishing step for both surfaces, in which, subsequent to etching, both surfaces of the silicon wafers are mirror polished. The production method for mirror polished wafers is characterized in that silicon wafers to be processed batch-style in the polishing step for both surfaces are selected from amongst silicon wafers processed in the same batch in the slicing-distortion removal step, and the number of silicon wafers selected is the same as or an aliquot of the number of silicon wafers processed in the slicing-distortion removal step. Thus, the provided production method for mirror polished wafers enables the production of mirror polished wafers having favorable flatness.

(57) 要約: 本発明は、シリコンインゴットからスライスされた複数のシリコンウェーハに対し、スライスによって生じた表面の歪みを除去するスライス歪み除去工程と、スライス歪み除去工程で生じた歪みを除去するエッチング工程と、エッチング後のシリコンウェーハの両面を鏡面研磨する両面研磨工程をそれぞれバッチ式で実施して、複数の鏡面研磨ウェーハを製造する鏡面研磨ウェーハの製造方法であって、両面研磨工程においてバッチ式で処理するシリコンウェーハを、スライス歪み除去工程において同一バッチ内で処理したシリコンウェーハの中から選択し、該選択するシリコンウェーハの数をスライス歪み除去工程において処理したシリコンウェーハの数と同一数又はその約数となるようにすることを特徴とする鏡面研磨ウェーハの製造方法である。これにより、平坦

度が良好な鏡面研磨ウェーハを製造できる鏡面研磨ウェーハの製造方法が提供される。



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))