

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 26 日(26.10.2012)



(10) 国際公開番号
WO 2012/144517 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1335 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2012/060448
- (22) 国際出願日: 2012 年 4 月 18 日(18.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-095928 2011 年 4 月 22 日(22.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 海瀬 泰佳
(KAISE, Yasuyoshi).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami
Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目 2 番 7 号 中之島セントラルタワー
Osaka (JP).

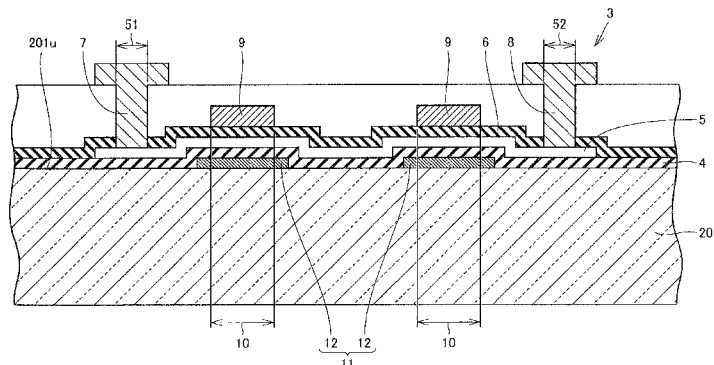
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY PANEL

(54) 発明の名称: 液晶表示パネル

[図5]



(57) Abstract: The purpose of the present invention is to provide a liquid crystal display panel, which is capable of suppressing an increase of a parasitic capacitance between a source region and a drain region, while being provided with a structure wherein a plurality of gate electrodes are disposed on a continuous semiconductor layer. This liquid crystal display panel is provided with a thin film transistor (3) on the main surface (201u) of a first transparent substrate (201). The thin film transistor (3) includes: a base insulating film (4); a semiconductor layer (5), which linearly extends at least from a first portion (51) to a second portion (52); a source electrode (7); a drain electrode (8); and gate electrodes (9), which are disposed at two or more areas between the source electrode and the drain electrode so as to respectively cover the semiconductor layer (5) by having the gate insulating film (6) therebetween. Between the base insulating film (4) and the first transparent substrate (201), a light blocking film (11) that covers projection regions (10) of the gate electrodes (9) is disposed, said projection regions being on the main surface (201u). The light blocking film (11) is divided into a plurality of light blocking film elements (12). Each of the light blocking film elements (12) covers one or more projection regions (10).

(57) 要約:

[続葉有]

WO 2012/144517 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、連続した半導体層に複数のゲート電極が配置されている構造を備えつつ、ソース領域とドレイン領域との間での寄生容量の増加を抑えることができる液晶表示パネルを提供することを目的とする。本発明の液晶表示パネルは、第 1 透明基板 (201) の主表面 (201u) に薄膜トランジスタ (3) を備えている。薄膜トランジスタ (3) は、下地絶縁膜 (4) と、少なくとも第 1 の部位 (51) から第 2 の部位 (52) まで線状に延在する半導体層 (5) と、ソース電極 (7) と、ドレイン電極 (8) と、途中の 2 ヶ所以上においてゲート絶縁膜 (6) を介して半導体層 (5) を覆うようにそれぞれ配置されたゲート電極 (9) とを含む。下地絶縁膜 (4) と第 1 透明基板 (201) との間に、主表面 (201u) に対するゲート電極 (9) の各々の投影領域 (10) を覆う遮光膜 (11) が配置されている。遮光膜 (11) は、複数の遮光膜要素 (12) に分割されている。遮光膜要素 (12) の各々は、それぞれ 1 つ以上の投影領域 (10) を覆っている。