(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
10 février 2005 (10.02.2005)

PCT

(10) Numéro de publication internationale
WO 2005/013317 A2

(51) Classification internationale des brevets[7] : H01L

(21) Numéro de la demande internationale :
PCT/FR2004/002018

(22) Date de dépôt international : 28 juillet 2004 (28.07.2004)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
03/09377 30 juillet 2003 (30.07.2003) FR

(71) Déposant *(pour tous les États désignés sauf US)* : **S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES** [FR/FR]; Parc Technologique des Fontaines, Chemin des Franques, F-38190 Bernin (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **GHYSELEN, Bruno** [FR/FR]; 58, rue Georges Maeder, F-38170 Seyssinet-Pariset (FR). **AULNETTE, Cécile** [FR/FR]; 3, place des Tilleuls, F-38000 Grenoble (FR). **RAYSSAC, Olivier** [FR/FR]; 7, chemin du Chapitre, F-38000 Grenoble (FR).

(74) Mandataires : **MARTIN, Jean-Jacques** etc.; Cabinet Regimbeau, 20, rue de Chazelles, F-75847 Paris Cedex 17 (FR).

(81) États désignés *(sauf indication contraire, pour tout titre de protection nationale disponible)* : AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) États désignés *(sauf indication contraire, pour tout titre de protection régionale disponible)* : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

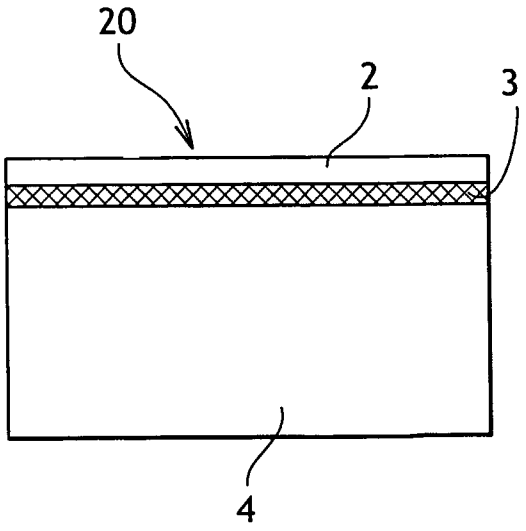
Déclaration en vertu de la règle 4.17 :
— *relative à la qualité d'inventeur (règle 4.17.iv)) pour US seulement*

Publiée :
— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

[Suite sur la page suivante]

(54) Title: STRESSED SEMICONDUCTOR-ON-INSULATOR STRUCTURE RESISTANT TO HIGH-TEMPERATURE STRESS

(54) Titre : STRUCTURE SEMICONDUCTEUR-SUR-ISOLANT CONTRAINTE AYANT UNE TENUE DES CONTRAINTES AUX HAUTES TEMPERATURES



(57) Abstract: The invention relates to a semiconductor-on-insulator structure, comprising a part which is made of a semiconductor material and a part which is made of an electrically insulating material, said materials being coupled to each other. Elastic stress is present in the semiconductor material. The part made of electrically insulating material has a viscosity temperatureT<SB>G</SB> which is higher than the viscosity temperature $T_{G\,SiO2}$ of SiO_2. The invention also relates to a method for the production of said semiconductor-on-insulator structure.

(57) Abrégé : L'invention concerne une structure de semi-conducteur sur isolant, comprenant une partie en matériau semiconducteur et une partie en matériau électriquement isolant, solidaires l'une de l'autre, des contraintes élastiques étant présentes dans la partie en matériau semiconducteur. La partie en matériau électriquement isolant présente une température de viscosité T_G supérieure à la température de viscosité $T_{G\,SiO2}$ du SiO_2. L'invention concerne en outre un procédé de réalisation de cette structure de semiconducteur-sur-isolant.

WO 2005/013317 A2

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.