

显示面板及显示装置

本申请要求于 2023 年 5 月 30 日提交的、申请号为 202310627900.8 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种显示面板及显示装置。

背景技术

OLED(Organic Light Emitting Diode, 有机电致发光二极管)显示装置由于具有自发光、响应速度快、亮度高、全视角、可柔性显示等一系列优点，因而成为目前极具竞争力和发展前景的显示装置之一。

发明内容

一方面，提供一种显示面板。所述显示面板包括显示区，所述显示区包括中间区域和两个边缘区域，沿第一方向，所述中间区域位于两个边缘区域之间。所述显示面板包括衬底基板和位于所述衬底基板一侧的驱动电路层。所述驱动电路层包括：多个像素电路单元、多条数据写入信号线、多条数据引线 and 屏蔽层。所述多个像素电路单元在所述显示区内呈多行多列排布。一个像素电路单元包括至少一个子像素驱动电路，子像素驱动电路包括驱动晶体管。所述多条数据写入信号线位于所述显示区，且沿第一方向排列、沿第二方向延伸，所述第二方向与所述第一方向交叉，一条数据写入信号线连接一列子像素驱动电路。所述数据引线包括第一引线段和第二引线段，所述第一引线段的一端与位于所述边缘区域的一条数据写入信号线电连接，所述第一引线段的另一端与所述第二引线段的一端电连接。所述第一引线段沿第一方向延伸，所述第二引线段沿第二方向延伸，所述第二引线段位于所述中间区域。所述第二引线段在所述衬底基板上的正投影，与至少一个所述驱动晶体管的第一极在所述衬底基板上的正投影至少部分交叠。所述屏蔽层被配置为具有恒压信号。所述屏蔽层包括至少一个第一屏蔽图案，第一屏蔽图案位于所述驱动晶体管的第一极与所述第二引线段之间，且所述第一屏蔽图案在所述衬底基板上的正投影、所述驱动晶体管的第一极在所述衬底基板上的正投影，以及所述第二引线段在所述衬底基板上的正投影三者之间有交叠。

在一些实施例中，所述第一屏蔽图案在所述衬底基板上的正投影，覆盖所述驱动晶体管的第一极在所述衬底基板上的正投影。

在一些实施例中，沿所述第一方向，所述第二引线段和所述第一屏蔽图案位于所述驱动晶体管的栅极的同一侧。

在一些实施例中，所述子像素驱动电路还包括数据写入晶体管和第一复位晶体管。所述数据写入晶体管的第一极和一条所述数据写入信号线电连接，所述数据写入晶体管的第

二极和所述驱动晶体管的第一极电连接。所述第一复位晶体管的第一极和所述驱动晶体管的栅极电连接。沿所述第二方向上，一个所述像素电路单元内一个所述子像素驱动电路中的所述第一复位晶体管位于所述数据写入晶体管远离所述驱动晶体管的一侧，且经过同一个所述像素电路单元的第一引线段的至少部分位于所述第一复位晶体管远离所述数据写入晶体管的一侧。

在一些实施例中，沿所述第一方向上，所述第一引线段包括主体部和避让部，所述避让部相对于主体部向远离所述驱动晶体管的一侧凸出；其中，所述避让部位于所述第一复位晶体管远离所述数据写入晶体管的一侧。

在一些实施例中，所述像素电路单元包括沿所述第一方向上排布的两个子像素驱动电路，所述两个子像素驱动电路分别为第一子像素驱动电路和第二子像素驱动电路。与所述第一子像素驱动电路对应的所述第二引线段，和与所述第二子像素驱动电路对应的所述第二引线段相邻；且第一子像素驱动电路中的第一屏蔽图案，与所述第二子像素驱动电路中的第一屏蔽图案相邻设置。

在一些实施例中，所述第一子像素驱动电路中的第一屏蔽图案和所述第二子像素驱动电路中的第一屏蔽图案电连接，且所述第一子像素驱动电路中的第一屏蔽图案和所述第二子像素驱动电路中的第一屏蔽图案同层设置。

在一些实施例中，沿所述第一方向上，所述第一子像素驱动电路和所述第二子像素驱动电路对称。

在一些实施例中，所述第一引线段在所述衬底基板上的正投影，与所述数据写入信号线在所述衬底基板上的正投影部分交叠。所述屏蔽层还包括至少一个第二屏蔽图案，所述第二屏蔽图案位于所述第一引线段和所述数据写入信号线之间，且所述第二屏蔽图案在所述衬底基板上的正投影、所述第一引线段在所述衬底基板上的正投影，以及所述数据写入信号线在所述衬底基板上的正投影三者之间有交叠。

在一些实施例中，所述驱动电路层还包括层叠设置于所述衬底基板上的第一半导体层、第一栅金属层、第二栅金属层、第一走线金属层，和第二走线金属层。所述驱动晶体管的第一极位于所述第一半导体层；所述第一引线段位于所述第一走线金属层，所述第二引线段位于所述第二走线金属层。所述第一屏蔽图案位于所述第二栅金属层和/或第一走线金属层。

在一些实施例中，所述驱动电路层还包括叠层设置于所述衬底基板上的第一半导体层、第一栅金属层、第二栅金属层、第一走线金属层、第二走线金属层，和第三走线金属层。所述驱动晶体管的第一极位于所述第一半导体层，所述第一引线段位于所述第一走线金属层，所述第二引线段位于所述第三走线金属层。所述第一屏蔽图案位于所述第二栅金属层、第一走线金属层和所述第二走线金属层中至少一层。

在一些实施例中，所述驱动电路层还包括第三栅金属层，所述第三栅金属层位于所述第二栅金属层和所述第一走线金属层之间。至少部分所述第一屏蔽图案位于所述第三栅金属层。

在一些实施例中，所述像素电路单元还包括位于所述第二走线金属层的第一电源信号线，所述第一电源信号线被配置为，向所述像素驱动电路提供恒压电源信号；其中，所述第一电源信号线和所述屏蔽层电连接。

在一些实施例中，所述子像素驱动电路还包括存储电容，所述存储电容的第一极板与所述驱动晶体管的栅极电连接，所述存储电容的第二极板与第一电源信号线电连接。所述存储电容的第一极板位于所述第一栅金属层，且所述存储电容的第一极板复用为所述驱动晶体管的栅极，所述存储电容的第二极板位于所述第二栅金属层。

在一些实施例中，所述存储电容的第二极板包括第一分部；沿垂直所述衬底基板的方向上，所述第一分部、所述驱动晶体管的第一极和所述第二引线有交叠，所述第一分部复用为所述第一屏蔽图案。

在一些实施例中，所述第一走线金属层还包括第一连接部，所述第一连接部用于电连接所述存储电容的第二极和所述第一电源信号线，所述第一连接部复用为所述第一屏蔽图案。

在一些实施例中，所述一个子像素驱动电路还包括第一发光控制晶体管，所述第一发光控制晶体管的第一极和所述驱动晶体管的第一极电连接，所述第一发光控制晶体管的第二极与第一电源信号线电连接。所述第一走线金属层还包括第一转接部，所述第一转接部用于电连接所述第一发光控制晶体管的第二极和第一电源信号线，所述第一转接部复用为所述第一屏蔽图案。

在一些实施例中，所述显示面板还包括绑定区，所述绑定区位于所述显示区的一侧，所述绑定区包括连接引线，所述数据引线的另一端与所述连接引线电连接。

另一方面，提供一种显示装置。所述显示装置包括：如上述任一实施例所述的显示面板。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图1为根据一些实施例的显示面板的结构图；

图2为根据一些实施例的显示面板的结构图；

- 图 3 为根据一些实施例的显示面板的截面图；
- 图 4 为根据另一些实施例的显示面板的结构图；
- 图 5 为根据一些实施例的像素驱动单元的膜层结构图；
- 图 6 为根据一些实施例的子像素驱动电路的电路图；
- 图 7 为根据另一些实施例的子像素驱动电路的电路图；
- 图 8 为根据一些实施例的子像素驱动电路的时序图；
- 图 9 为图 5 中第一半导体层的膜层图；
- 图 10 为图 5 中第一栅金属层的膜层图；
- 图 11 为图 5 中第一半导体层和第一栅金属层的膜层图；
- 图 12 为图 5 中第一走线金属层的膜层图；
- 图 13 为图 5 中第二走线金属层的膜层图；
- 图 14 为图 5 中第一半导体层、第一栅金属层、第一走线金属层和第二走线金属层的膜层图；
- 图 15 为根据另一些实施例的像素驱动单元的膜层结构图；
- 图 16 为根据又一些实施例的像素驱动单元的膜层结构图；
- 图 17 为图 15 中第一半导体层的膜层图；
- 图 18 为图 15 中第一栅金属层的膜层图；
- 图 19 为图 15 中第一半导体和第一栅金属层的膜层图；
- 图 20 为图 15 中第二栅金属层的膜层图；
- 图 21 为图 15 中第一走线金属层的膜层图；
- 图 22 为图 15 中第二走线金属层的膜层图；
- 图 23 为根据一些实施例中子像素驱动电路中第二栅金属层的膜层图；
- 图 24 为根据另一些实施例中子像素驱动电路中第二栅金属层的膜层图；
- 图 25 为根据又一些实施例的像素驱动单元的膜层结构图；
- 图 26 为图 15 中第二半导体层的膜层图；
- 图 27 为图 15 中第三栅金属层的膜层图；
- 图 28 为图 15 中第二栅金属层、第二半导体层第三栅金属层的膜层图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括

(comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例(one embodiment)”、“一些实施例(some embodiments)”、“示例性实施例(exemplary embodiments)”、“示例(example)”、“特定示例(specific example)”或“一些示例(some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。术语“耦接”例如表明两个或两个以上部件有直接物理接触或电接触。术语“耦接”或“通信耦合(communicatively coupled)”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B和C中的至少一个”与“A、B或C中的至少一个”具有相同含义，均包括以下A、B和C的组合：仅A，仅B，仅C，A和B的组合，A和C的组合，B和C的组合，及A、B和C的组合。

“A和/或B”，包括以下三种组合：仅A，仅B，及A和B的组合。

如本文中所使用，根据上下文，术语“如果”任选地被解释为意思是“当……时”或“在……时”或“响应于确定”或“响应于检测到”。类似地，根据上下文，短语“如果确定……”或“如果检测到[所陈述的条件或事件]”任选地被解释为是指“在确定……时”或“响应于确定……”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层的厚度和区域的面积。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

在本公开的实施例提供的电路结构中，所采用的各晶体管的第一极为源极和漏极中一者，各晶体管的第二极为源极和漏极中另一者。由于晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的，也就是说，本公开的实施例中的晶体管的第一极和第二极在结构上可以是没有区别的。

示例性地，在晶体管为P型晶体管的情况下，晶体管的第一极为源极，第二极为漏极。

示例性地，在晶体管为N型晶体管的情况下，晶体管的第一极为漏极，第二极为源极。

本公开的实施例提供的电路结构中，第一节点、第二节点等节点并非表示实际存在的部件，而是表示电路图中相关耦接的汇合点，也就是说，这些节点是由电路图中相关耦接的汇合点等效而成的节点。

图1为根据一些实施例的显示装置的结构图。请参阅图1所示，本公开的一些实施例提供了一种显示装置200，该显示装置200包括显示面板100。

示例性的，显示装置200还包括框架，以及其他电子配件等。

示例性的，显示装置200可以为电致发光显示装置或光致发光显示装置。在该显示装置为电致发光显示装置的情况下，电致发光显示装置可以为有机电致发光显示装置(Organic Light-Emitting Diode, 简称 OLED)或量子点电致发光显示装置(Quantum Dot Light Emitting Diodes, 简称 QLED)。在该显示装置为光致发光显示装置的情况下，光致发光显示装置可以为量子点光致发光显示装置。

示例性的，上述显示装置 200 可以是显示不论运动（例如，视频）还是固定（例如，静止图像）的且不论文字还是的图像的任何显示装置。更明确地说，预期所述实施例的显示装置可实施应用在多种电子中或与多种电子装置关联，所述多种电子装置例如（但不限于）移动电话、无线装置、个人数据助理（PDA）、手持式或便携式计算机、GPS 接收器/导航器、相机、MP4 视频播放器、摄像机、游戏控制台、手表、时钟、计算器、电视监视器、平板显示器、计算机监视器、汽车显示器（例如，里程表显示器等）、导航仪、座舱控制器和/或显示器、相机视图的显示器（例如，车辆中后视相机的显示器）、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构（例如，对于一件珠宝的图像的显示器）等。

图 2 为根据一些实施例的显示面板的结构图，图 3 为根据一些实施例的显示面板的截面图。

请结合图 2 和图 3 所示，本公开的一些实施例提供了一种显示面板 100，显示面板 100 包括显示区（英文全称：Active Area，简称 AA 区；也可称为有效显示区）AA。显示区 AA 包括中间区域 AA1 和两个边缘区域 AA2，沿第一方向 X，中间区域 AA1 位于两个边缘区域 AA2 之间。

在一些示例中，沿第一方向 X，显示区 AA 的两个边缘区域 AA2 的宽度相同或者近似相同。

显示面板 100 包括衬底基板 10 和位于衬底基板 10 一侧的驱动电路层 20。

在一些示例中，衬底基板 10 可以为柔性衬底。示例性的，衬底基板 10 的材料可以为有机材料。例如，衬底基板 10 的材料可以为聚酰亚胺（英文全称：Polyimide，英文简称：PI）、聚碳酸酯（英文全称：Polycarbonate，英文简称：PC）或者聚氯乙烯（英文全称：Polyvinyl Chloride，英文简称：PVC）中的任一个。

在另一些示例中，衬底基板 10 可以为刚性衬底。示例的，该刚性衬底可以为玻璃衬底或 PMMA(Polymethyl methacrylate，聚甲基丙烯酸甲酯)衬底等。

驱动电路层 20 包括多个像素电路单元 P、多条数据写入信号线 21 和多条数据引线 22。

其中，多个像素电路单元 P 在显示区 AA 内呈多行多列排布。一个像素电路单元 P 包括至少一个子像素驱动电路 Q。

在一些示例中，一个像素电路单元 P 可以包括一个子像素驱动电路 Q。可以理解的是，在另一些示例中，一个像素电路单元 P 可以包括多个子像素驱动电路 Q。例如，一个像素电路单元 P 可以包括 2 个子像素驱动电路 Q。其中，图 2 以一个像素电路单元 P 可以包括 1 个子像素驱动电路 Q 为例进行示意。

为了方便说明，本公开中上述多个像素电路单元 P 是以矩阵形式排列为例进行的说明。此时，由于个像素电路单元 P 包括至少一个子像素驱动电路 Q，显示面板 100 中的多个子

像素驱动电路 Q 也是以矩阵形式排列为例进行的说明。

此时，沿第一方向 X 排列成一排的子像素驱动电路 P 称为一子像素驱动电路行，沿第二方向 Y 排列成一排的子像素驱动电路 P 称为一子像素驱动电路列。

在一些实施例中，请继续参阅图 3 所示，显示面板 100 还可以包括位于驱动电路层 20 远离衬底基板 10 一侧多个的发光单元 O，多个子像素驱动电路 Q 与多个发光单元 O 电连接。

在一些示例中，上述多个子像素驱动电路 Q 和多个发光单元 O 可以一一对应电连接。在另一些示例中，一个子像素驱动电路 Q 可以与多个发光单元 O 耦接，或者，多个子像素驱动电路 Q 可以与一个发光单元 O 耦接。

下面，本公开以一个子像素驱动电路 Q 与一个发光单元 O 耦接为例，对显示面板 100 的结构进行示意性说明。

显示面板 100 中，子像素驱动电路 Q 可以基于多种不同类型的信号线进行调节，以生成驱动信号。各发光单元 O 可以在相应的子像素驱动电路 Q 所生成的驱动信号的驱动作用下发出光，多个发光单元 O 发出的光相互配合，从而使得显示面板 100 实现显示功能。

在一些示例中，发光单元 O 包括依次层叠设置的阳极层、发光层和阴极层。在一些示例中，阴极层与发光层之间还设置有电子传输层，而阳极层与发光层之间还设置有空穴传输层。示例性的，上述发光单元 O 可以为 OLED 发光单元，但不限于此。本公开的实施例对发光单元的种类不作限制，即，发光单元 O 可以是任何其他发光单元（例如通过放电发光的发光单元），只要它们能发射光线，使得显示面板 100 可以显示画面即可。

在一些示例中，显示区 AA 包括多个亚像素区域，一个亚像素区域内包括一个子像素驱动电路 Q 和与该子像素驱动电路 Q 电连接的发光单元 O。基于此，可以通过多个亚像素区域内发光单元 O 发射的光，显示面板 100 可以在显示区 AA 中显示预定的图像。具体地，多个亚像素区域可以包括发光颜色不同的多个亚像素区域。

示例性的，多个亚像素区域包括第一亚像素区域、第二亚像素区域以及第三亚像素区域。第一亚像素区域、第二亚像素区域和第三亚像素区域分别发射三基色光，例如，第一亚像素区域可以发射红光，第二亚像素区域可以发射绿光，第三亚像素区域可以发射蓝光。

其中，多种不同类型的信号线中包括数据写入信号线 21，数据写入信号线 21 被配置为，向子像素驱动电路 Q 提供数据写入信号。其中，数据写入信号可以为一种脉冲信号。也即，数据写入信号属于一种不断变化的、非恒定不变的信号。

多条数据写入信号线 21 位于驱动电路层 20 内，沿第一方向 X 排列、沿第二方向 Y 延伸，多条数据写入信号线 21 位于显示区 AA，一条数据写入信号线 21 连接一列子像素驱动电路 Q。其中，第一方向 X 和第二方向 Y 交叉。

在一些示例中，第一方向 X 和第二方向 Y 垂直。可以理解的是，在另一些示例中，第

一方向 X 和第二方向 Y 相交形成第一夹角，第一夹角可以为锐角或钝角。

其中，多条数据写入信号线 21 中一部分数据写入信号线 21 位于一个边缘区域 AA2 内，多条数据写入信号线 21 中另一部分数据写入信号线 21 位于另一个边缘区域 AA2 内，以及多条数据写入信号线 21 中又一部分数据写入信号线 21 位于中间区域 AA1 内。

在一些示例中，两个边缘区域 AA2 内的数据写入信号线 21 的数量可以相同。在另一些示例中，两个边缘区域 AA2 内的数据写入信号线 21 的数量可以不同。

在一些示例中，一个边缘区域 AA2 内数据写入信号线 21 的数量与中间区域 AA1 内数据写入信号线 21 的数量可以相同。在另一些示例中，一个边缘区域 AA2 内数据写入信号线 21 的数量与中间区域 AA1 内数据写入信号线 21 的数量可以不同。

显示面板 100 可以采用（英文全称：Fanout In AA，英文简称：FIAA）的技术，将数据引线 22 布局于显示区 AA 内，可以有利于实现显示面板 100 窄边框。

数据引线 22 包括第一引线段 221 和第二引线段 222。第二引线段 222 沿第二方向 Y 延伸，且第二引线段 222 位于中间区域 AA1。以及，第一引线段 221 沿第一方向 X 延伸，第一引线段 221 的一端位于边缘区域 AA2，第一引线段 221 的另一端位于中间区域 AA1。

基于此，第一引线段 221 的一端可以与位于边缘区域 AA2 的一条数据写入信号线 21 电连接，第一引线段 221 的另一端可以与位于中间区域 AA1 第二引线段 222 的一端电连接。由此实现将边缘区域 AA2 内的数据写入信号线 21 换线至中间区域 AA1，有利于实现显示面板 100 窄边框。

图 4 为根据另一些实施例的显示面板的结构图。

在一些实施例中，请参阅图 4 所示，显示面板 100 还包括绑定区 BB。绑定区 BB 位于显示区 AA 的一侧，绑定区 BB 包括连接引线 40，数据引线 22 的另一端与连接引线 40 电连接。

在一些示例中，绑定区 BB 包括驱动芯片（英文全称：Integrated Circuit，英文简称：IC）。

绑定区 BB 内的连接引线 40 的一端和驱动芯片 IC 电连接，连接引线 40 的另一端和数据引线 22 的另一端电连接，且数据引线 22 的一端与数据写入信号线 21 电连接。基于此，驱动芯片 IC 提供的数据写入信号，可以依次经由连接引线 40、数据引线 22 输入至数据写入信号线 21，数据写入信号线 21 可以将数据写入信号传输至像素驱动电路 Q。

在一些示例中，位于中间区域 AA1 内的数据写入信号线 21 可以通过数据引线 22 与绑定区 BB 的连接引线 40 电连接。可以理解的是，在另一些实施例中，位于中间区域 AA1 内的数据写入信号线 21 可以直接与绑定区 BB 的连接引线 40 电连接。其中，图 4 以位于中间区域 AA1 内的数据写入信号线 21 可以直接与绑定区 BB 的连接引线 40 电连接为例进行示意。

基于此，可以将需与绑定区 BB 进行电连接的信号线（与边缘区域 AA2 内的数据写入信号线 21 电连接的数据引线 22 和中间区域 AA1 中的数据写入信号线 21）均集中与驱动芯片 IC 对应位置处的显示区 AA 内，有利于实现窄边框。

但是，本公开发明人经研究发现，返回图 2 或图 5 所示，由于将数据引线 22 布局于显示区 AA 内，会导致数据引线 22 在衬底基板 10 上的正投影，与子像素驱动电路 Q 在衬底基板 10 上的正投影有交叠。

基于此，数据引线 22 和子像素驱动电路 Q 之间会产生寄生电容，并基于电容耦合作用，在数据引线 22 向数据写入信号线 21 传输数据写入信号时，并且在输数据写入信号发生跳变时，会导致影响子像素驱动电路 Q 的电位，从而会影响子像素驱动电路 Q 向发光单元 O 输出的驱动信号，进而会导致该发光单元 O 的亮度，影响显示面板 100 的亮度均一性。

图 5 为根据一些实施例的像素驱动单元的膜层结构图。其中，图 5 以一个像素驱动单元 P 包括一个子像素驱动电路 Q 为例进行示意。也即，图 5 也可以理解为根据一些实施例的一个子像素驱动电路的膜层结构图。

而本公开一些实施例提供的显示面板 100，请继续参阅图 5 所示，显示面板 100 内的驱动电路层 20 还包括屏蔽层 30，屏蔽层 30 被配置为具有恒压信号。屏蔽层 30 包括至少一个第一屏蔽图案 31。以及，子像素驱动电路 Q 包括驱动晶体管 T1。

在第二引线段 222 在衬底基板 10 上的正投影，与至少一个驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影至少部分交叠的情况下：将第一屏蔽图案 31 设置于驱动晶体管 T1 的第一极 a1 与第二引线段 222 之间，且第一屏蔽图案 31 被配置为具有恒压信号。

具体的，将第一屏蔽图案 31 设置于位于第二引线段 222 所在膜层和驱动晶体管 T1 的第一极 a1 所在膜层之间的膜层，且设置第一屏蔽图案 31 在衬底基板 10 上的正投影、第二引线段 222 在衬底基板 10 上的正投影，以及至少一个驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影三者之间具有交叠。

基于此，可以利用第一屏蔽图案 31 隔离第二引线段 222 和驱动晶体管 T1 的第一极 a1。并且，由于第一屏蔽图案 31 被配置为具有恒压信号，可以利用第一屏蔽图案 31 改善第二引线段 222 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，从而有利于提高显示面板 100 的亮度均一性。

需要说明的是，上述图 5 以驱动晶体管 T1 的第一极 a1 位于驱动晶体管 T1 的右侧为例。可以理解的是，在另一些示例中，也可以将驱动晶体管 T1 的左侧作为驱动晶体管 T1 的第一极 a1。

综上所述，本公开一些实施例提供的显示面板 100，可以采用 FIAA 技术，将数据引

线 22 布局在显示面板 100 的显示区 AA 内，以便于显示面板 100 实现窄边框。并且，显示面板 100 内的驱动电路层 20 还包括屏蔽层 30，第一屏蔽图案 31 被配置为具有恒压信号，且将第一屏蔽图案 31 位于驱动晶体管 T1 的第一极 a1 与第二引线段 222 之间。利用屏蔽层 30 中的第一屏蔽图案 31，隔离驱动晶体管 T1 的第一极 a1 与数据引线 22 中的第二引线段 222，第一屏蔽图案 31 可以改善第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。也即，本公开一些实施例提供的显示面板 100，可以在实现显示面板 100 窄边框的同时确保显示面板 100 的均一性。

其中，驱动晶体管 T1 的第一极 a1 可以为驱动晶体管 T1 的源极。或者，驱动晶体管 T1 的第一极 a1 可以为驱动晶体管 T1 的漏极。下文以驱动晶体管 T1 的第一极 a1 可以为驱动晶体管 T1 的源极为例进行介绍。

在一些实施例中，请继续参阅图 5 所示，在将第一屏蔽图案 31 设置于数据引线 22 的第二引线段 222 和驱动晶体管 T1 的第一极 a1 之间时，也即设置第一屏蔽图案 31 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影至少部分交叠。

基于此，第一屏蔽图案 31 与驱动晶体管 T1 的第一极 a1 也会产寄生电容，基于电容耦合的作用，具有恒压信号的第一屏蔽图案 31 可以有利于稳定驱动晶体管 T1 的第一极 a1 的电位，有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

在一些示例中，请继续参阅图 5 所示，可以设置第一屏蔽图案 31 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影部分交叠。示例性的，可以设置第一屏蔽图案 31 在衬底基板 10 上的正投影，与交叠区域内的驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影部分交叠。其中，交叠区域为第二引线段 222 在衬底基板 10 上的正投影，与至少一个驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影的交叠区域。

基于此，显示面板 100 可以利用屏蔽层 30 中的第一屏蔽图案 31，隔离驱动晶体管 T1 的第一极 a1 与数据引线 22 中的第二引线段 222，第一屏蔽图案 31 可以改善第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

在另一些示例中，请继续参阅图 5 所示，在将第一屏蔽图案 31 设置于数据引线 22 的第二引线段 222 和驱动晶体管 T1 的第一极 a1 之间的基础上，还可以设置第一屏蔽图案 31

在衬底基板 10 上的正投影，覆盖驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影。

其中，第一屏蔽图案 31 在衬底基板 10 上的正投影，覆盖驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影，包括以下两种情况：

第一种：第一屏蔽图案 31 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影重叠。也即，第一屏蔽图案 31 的尺寸与驱动晶体管 T1 的第一极 a1 的尺寸大致相等，以使第一屏蔽图案 31 可以很好的起到遮挡驱动晶体管 T1 的第一极 a1，防止第二引线 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

第二种：第一屏蔽图案 31 在衬底基板 10 上的正投影的外边缘，围绕驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影的外边缘。也即，第一屏蔽图案 31 的尺寸大于驱动晶体管 T1 的第一极 a1 的尺寸，以使第一屏蔽图案 31 更大程度的遮挡驱动晶体管 T1 的第一极 a1，防止第二引线 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。但是，本公开实施例不限于于此。

图 6 为根据一些实施例的子像素驱动电路的电路图。

在一些实施例中，请结合图 5 和图 6 所示，显示面板 100 中驱动电路层 20 包括多个金属层。多个金属层内设有子像素驱动电路 Q 和多种不同类型的信号线中。其中，多种不同类型的信号线中除数据写入信号线 21、数据引线 22 外，多种不同类型的信号线中还可以包括第一电源信号线 VDD、第一扫描信号线 G1、第二扫描信号线 G2、第一复位信号线 R1、第二复位信号线 R2、第一初始化信号线 V1、第二初始化信号线 V2，以及使能信号线 E1 等。上述多个信号线可以与子像素驱动电路 Q 电连接，以此为子像素驱动电路 Q 提供其所需的信号。

多个金属层包括层叠设置在衬底基板 10 上的第一半导体层 POLY1、第一栅金属层 Gate1、第一走线金属层 SD1 和第二走线金属层 SD2。上述多条信号线分别位于上述多个金属层中，对于具体如何分部，下文将进行详细介绍。

其中，子像素驱动电路 Q 的结构包括多种，可以根据实际需要选择设置。例如，子像素驱动电路的结构可以包括“2T1C”、“6T1C”、“7T1C”、“6T2C”、“7T2C”或“8T1C”等。此处，“T”表示为薄膜晶体管，位于“T”前面的数字表示为薄膜晶体管的数量；“C”表示为存储电容器 C，位于“C”前面的数字表示为存储电容器 C 的数量。

也即，子像素驱动电路 Q 中包括可以多个晶体管，而上述实施例中仅介绍了子像素驱动电路 Q 包括驱动晶体管 T1。

驱动晶体管 T1 的栅极 c1 和第一节点 N1 电连接，驱动晶体管 T1 的第一极 a1 和第二

节点 N2 电连接, 驱动晶体管 T1 的第二极 b1 和第三节点 N3 电连接。

驱动晶体管 T1 被配置为, 在第一节点 N1 的电压的控制下, 将来自第二节点 N2 的电压传输至第三节点 N3。

此外, 子像素驱动电路 Q 还可以包括其他晶体管, 以下以“7T1C”的子像素驱动电路为例做介绍:

子像素驱动电路 Q 还包括写入子电路 101、补偿子电路 102、第一复位子电路 103、发光控制子线路 104 和第二复位子电路 105。

写入子电路 101, 与第一扫描信号线 G1、数据写入信号线 21 和第二节点 N2 耦接。写入子电路 101 被配置为, 在写入阶段, 在来自第一扫描信号线 G1 接收的第一扫描信号的控制下, 将在数据写入信号线 21 处接收的数据信号传输至第二节点。

在一些示例中, 写入子电路 101 包括数据写入晶体管 T2。数据写入晶体管 T2 的栅极 c2 和第一扫描信号线 G1 电连接, 数据写入晶体管 T2 的第一极 a2 和数据写入信号线 21 电连接, 数据写入晶体管 T2 的第二极 b2 和第二节点 N2 电连接。

补偿子电路 102, 与第二扫描信号线 G2、第三节点 N3 和第一节点 N1 耦接。补偿子电路 102 被配置为, 在写入阶段, 在来自第二扫描信号线 G2 接收的第二扫描信号的控制下, 将第三节点 N3 的电压传输至第一节点 N1。

在一些示例中, 补偿子电路 102 包括补偿晶体管 T3。补偿晶体管 T3 的栅极 c3 和第二扫描信号线 G2 电连接, 补偿晶体管 T3 的第一极 a3 和第三节点 N3 电连接, 补偿晶体管 T3 的第二极 b3 和第一节点 N1 电连接。

第一复位子电路 103 被配置为, 在初始化阶段, 在来自第一复位信号线 R1 接收的第一复位信号的控制下, 将在第一初始化信号线 V1 处接收的第一初始化信号传输至第一节点 N1, 对第一节点 N1 进行复位, 有利于保证第一节点 N1 的电压的稳定性。

在一些示例中, 第一复位子电路 103 包括第一复位晶体管 T4。第一复位晶体管 T4 的栅极 c4 和第一复位信号线 R1 电连接, 第一复位晶体管 T4 的第一极 a4 和第一节点 N1 电连接, 第一复位晶体管 T4 的第二极 b4 和第一初始化信号线 V1 电连接。

发光控制子线路 104, 与使能信号线 E1、第一电源信号线 VDD、第二节点 N2 和第四节点 N4 耦接。发光控制子线路 104 被配置为在来自使能信号线 E1 的使能信号的控制下, 与驱动晶体管 T1 配合, 向第四节点 N4 传输驱动信号。其中, 第四节点 N4 与发光单元 O 电连接。也即, 发光控制子线路 104 被配置为在来自使能信号线 E1 的使能信号的控制下, 与驱动晶体管 T1 配合, 向发光单元 O 传输驱动信号。

在一些示例中, 发光控制子线路 104 包括第一发光控制晶体管 T5 和第二发光控制晶体管 T6。第一发光控制晶体管 T5 的栅极 c5 和使能信号线 E1 电连接, 第一发光控制晶体管 T5 的第一极 a5 和第二节点 N2 电连接, 第一发光控制晶体管 T5 的第二极 b5 和第一电

源信号线 VDD 电连接。第二发光控制晶体管 T6 的栅极 c6 和使能信号线 E1 电连接, 第二发光控制晶体管 T6 的第一极 a6 和第三节点 N3 电连接, 第二发光控制晶体管 T6 的第二极 b6 和第四节点 N4 电连接。

第二复位子电路 105, 与第二复位信号线 R2、第二初始化信号线 V2 和第四节点 N4 电连接。第二复位子电路 105 被配置为, 在初始化阶段, 在来自第二复位信号线 R2 接收的第二复位信号的控制下, 将在第二初始化信号线 V2 接收的第二初始化信号传输至第四节点 N4, 对第四节点 N4 复位。

其中, 第四节点 N4 与发光单元 O 电连接, 对第四节点 N4 进行复位相当于利用该信号对发光单元 O 的阳极进行复位, 提高发光单元 O 的稳定性。

在一些示例中, 第二复位子电路 105 包括第二复位晶体管 T7。第二复位晶体管 T7 的栅极 c7 和第二复位信号线 R2 电连接, 第二复位晶体管 T7 的第一极 a7 和第二初始化信号线 V2 电连接, 第二复位晶体管 T7 的第二极 b7 和第四节点 N4 电连接。

在一些实施例中, 请继续结合图 5 和图 6 所示, 补偿晶体管 T3 和第一复位晶体管 T4 可以为氧化物薄膜晶体管。示例性的, 补偿晶体管 T3 和第一复位晶体管 T4 可以为铟镓锌氧化物薄膜晶体管 (英文全称: Indium Gallium Zinc Oxide, 英文简称: IGZO)。

如此设置, 可以有利于降低补偿晶体管 T3 和第一复位晶体管 T4 漏电的风险, 更有利于保证第一节点 N1 的电压的稳定性, 也即保证驱动晶体管 T1 栅极 c1 的稳定性。

在一些示例中, 补偿晶体管 T3 和第一复位晶体管 T4 可以为 N 型晶体管。

在一些实施例中, 请继续结合图 5 和图 6 所示, 驱动晶体管 T1、数据写入晶体管 T2、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第二复位晶体管 T7 可以为低温多晶硅薄膜晶体管 (英文全称: Low Temperature Polysilicon Oxide, 英文简称: LTPO)。

在一些示例中, 驱动晶体管 T1、数据写入晶体管 T2、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第二复位晶体管 T7 可以为 P 型晶体管。

此外, 子像素驱动电路 Q 还包括存储电容 Cst, 存储电容 Cst 的第一极板 S1 与第一节点 N1 电连接, 存储电容 Cst 的第二极板 S2 与第一电源信号线 VDD 电连接。

需要说明的是, N 型晶体管在栅极接收到高电压信号的情况下打开, 而 P 型晶体管在栅极接收到低电压信号的情况下打开。需要说明的是, 上述提到的“高电压信号”和“低电压信号”是通俗说法, 一般来说, N 型晶体管的打开条件为栅源电压差大于其阈值电压, 即 N 型晶体管的栅极电压大于其源极电压与其阈值电压之和, N 型晶体管的阈值电压为正值, 则称使得 N 型晶体管打开的栅极电压信号为高电压信号, P 型晶体管的打开条件为栅源电压差的绝对值大于其阈值电压, P 型晶体管的阈值电压为负值, 即 P 型晶体管的栅极电压小于其源极电压与其阈值电压之和, 则称使得 P 型晶体管打开的栅极电压信号为低电压信号, 其中, “高电压信号”的电压大于“低电压信号”的电压。

需要说明的是,显示面板 100 中的每个子像素驱动电路 Q 中包括多个薄膜晶体管(TFT),采用 TFT 驱动技术可以提升显示速度、对比度和亮度、提高分辨率。但是, TFT 存在磁滞效应现象, TFT 的磁滞效应是在一定的偏压下, TFT 电特性表现出来的一种不确定性,即流过 TFT 的电流不仅与当前的偏压有关,还与上一时刻 TFT 所处的状态。TFT 的磁滞效应与 TFT 的栅介质、半导体材料以及两者之间的界面态陷阱有关,在发光阶段, TFT 的磁滞效应会造成会引起一帧内电流下降的趋势,人眼察觉为闪烁现象从而影响显示面板 100 的显示品质。

图 7 为根据另一些实施例的子像素驱动电路的电路图。

进而,在一些实施例中,请参阅图 7 所示,本实施例提供的子像素驱动电路,以“8T1C”子像素驱动电路为例进行介绍,与图 6 所示子像素驱动电路 Q 的区别在于:

子像素驱动电路 Q 还包括第三复位子电路 106。第三复位子电路 106,与第三复位信号线 R3、第三初始化信号线 V3 和第二节点耦接。第三子电路被配置为,在来自第三复位信号线 R3 的第三复位信号的控制下,将第三初始化信号线 V3 处的第三初始化信号传输至第二节点 N2,对第二节点 N2 进行初始化。使得驱动晶体管 TD 在写入阶段之前的初始状态固定,便于在写入阶段时使驱动晶体管 TD 处于稳定状态,较大程度的改善驱动晶体管 TD 的迟滞效应。

第三复位子电路 106 还包括第三复位晶体管 T8。第三复位晶体管 T8 的栅极 c8 与第三复位信号线 R3 电连接,第三复位晶体管 T8 的第一极 a8 与第三初始化信号线 V3 电连接,第三复位晶体管 T8 的第二极 b8 与第二节点 N2 电连接。

在一些示例中,第三复位晶体管 T8 可以为低温多晶硅薄膜晶体管(英文全称: Low Temperature Polysilicon Oxide, 英文简称: LTPO)。

在一些示例中,第三复位晶体管 T8 可以为 p 型晶体管。

在一些实施例中,第三复位信号线 R3 与第二复位信号线 R2 可以响应于同一个信号线。或者,也可以理解为第二复位信号线 R2 复用为第三复位信号线 R3。下文以第二复位信号线 R2 复用为第三复位信号线 R3 为例进行介绍。

在一些实施例中,第三初始化信号线 V3 传输的第三初始化信号可以为高电压信号。进而,可以利用该高电压信号对第二节点 N2 进行复位,相当于对驱动晶体管 T1 的第一极 a1 进行复位,使得驱动晶体管 T1 在数据写入阶段 t2 之前的初始状态固定,便于在数据写入阶段 t2 时使驱动晶体管 T1 处于稳定状态,较大程度的改善驱动晶体管 T1 的迟滞效应。

在一些示例中,可以将第一电源信号线 VDD 复用为第三初始化信号线 V3,基于此,可以简化子像素驱动电路 Q 内各个晶体管和与其电连接的信号线的排布。但是本公开不限于此。

图 8 为根据一些实施例的子像素驱动电路的时序图。

在一些实施例中,请结合图7和图8所示,针对图7所示的“8T1C”的子像素驱动电路Q的驱动过程为:一个帧周期包括初始化阶段t1、数据写入阶段t2、调节阶段t3和发光阶段t4。

初始化阶段t1:使能信号线E1传输的使能信号为高电压信号,此时第一发光控制晶体管T5和第二发光控制晶体管T6均处于关闭状态。第一扫描信号线G1传输的第一扫描信号为高电压信号,此时数据写入晶体管T2处于关闭状态。

第一复位信号线R1传输的第一复位信号包括高电压信号,此时第一复位晶体管T4打开,将第一初始化信号线V1传输的第一初始化信号传输至第一节点N1,对第一节点N1进行复位,便于提高子像素驱动电路Q所包括的驱动晶体管T1的稳定性。

第二扫描信号线G2传输的第二扫描信号包括高电压信号,补偿晶体管T3打开,第一初始化信号线V1传输的第一初始化信号可以经过补偿晶体管T3传输至第三节点N3,对第三节点N3进行复位,便于提高子像素驱动电路Q所包括的驱动晶体管T1的稳定性。

第二复位信号线R2传输的第二复位信号为包括低电压信号,第三复位晶体管T8打开,将第三初始化信号线V3传输的第三初始化信号传输至第二节点N2,相当于对驱动晶体管T1的第一极a1进行复位,使得驱动晶体管T1在数据写入阶段t2之前的初始状态固定,便于在数据写入阶段t2时使驱动晶体管T1处于稳定状态,较大程度的改善驱动晶体管T1的迟滞效应。

以及,第二复位信号线R2传输的第二复位信号为低电压信号,此时第二复位晶体管T7打开,将第二初始化信号线V2传输的第二初始化信号传输至第四节点N4,相当于对发光单元O的阳极进行复位,提高发光单元O的稳定性。

数据写入阶段t2:使能信号线E1传输的使能信号为高电压信号,此时第一发光控制晶体管T5和第二发光控制晶体管T6均处于关闭状态。第一复位信号线R1传输的第一复位信号为低电压信号,此时第一复位晶体管T4处于关闭状态。第二复位信号线R2传输的第二复位信号高电压信号,此时第二复位晶体管T7和第三复位晶体管T8均处于关闭状态。

第二扫描信号线G2传输的第二扫描信号包括高电压信号,补偿晶体管T3打开。以及,第一扫描信号线G1传输的第一扫描信号为低电压信号,此时数据写入晶体管T2打开,数据写入信号线21传输至数据写入信号可以依次经过数据写入晶体管T2、驱动晶体管T1、补偿晶体管T3传输至第一节点N1,对第一节点N1进行补偿,第一节点N1的电位逐渐上升至 $V_{data}+V_{th}$ 。其中, V_{data} 为数据写入信号线21提供的数据写入信号的电压值, V_{th} 为子像素驱动电路Q中的驱动晶体管T1的阈值电压。在第一节点N1的电位为 $V_{data}+V_{th}$ 时,完成充电过程。后续,利用存储电容Cst放电保持子像素驱动电路Q所包括的驱动晶体管T1持续导通,确保发光单元O发光。

调节阶段 t3: 使能信号线 E1 传输的使能信号为高电压信号, 此时第一发光控制晶体管 T5 和第二发光控制晶体管 T6 均处于关闭状态。第一扫描信号线 G1 传输的第一扫描信号为高电压信号, 此时数据写入晶体管 T2 处于关闭状态。第二扫描信号线 G2 提供的第二扫描信号为低电压信号, 此时补偿晶体管 T3 处于关闭状态。第一复位信号线 R1 传输的第一复位信号为低电压信号, 此时第一复位晶体管 T4 处于关闭状态。

第二复位信号线 R2 传输的第二复位信号为包括低电压信号, 第三复位晶体管 T8 打开, 将第三初始化信号线 V3 传输的第三初始化信号传输至第二节点 N2, 相当于对驱动晶体管 T1 的第一极 a1 进行复位, 使得驱动晶体管 T1 在数据写入阶段 t2 之前的初始状态固定, 便于在数据写入阶段 t2 时使驱动晶体管 T1 处于稳定状态, 较大程度的改善驱动晶体管 T1 的迟滞效应。

以及, 第二复位信号线 R2 传输的第二复位信号为低电压信号, 此时第二复位晶体管 T7 打开, 将第二初始化信号线 V2 传输的第二初始化信号传输至第四节点 N4, 相当于对发光单元 O 的阳极进行复位, 提高发光单元 O 的稳定性。

发光阶段 t4: 第二扫描信号线 G2 提供的第二扫描信号为低电压信号, 此时补偿晶体管 T3 处于关闭状态。第一复位信号线 R1 传输的第一复位信号为低电压信号, 此时第一复位晶体管 T4 处于关闭状态。第一扫描信号线 G1 传输的第一扫描信号为高电压信号, 此时数据写入晶体管 T2 处于关闭状态。第二复位信号线 R2 传输的第二复位信号高电压信号, 此时第二复位晶体管 T7 和第三复位晶体管 T8 均处于关闭状态。

以及, 使能信号线 E1 传输的使能信号为低电压信号, 此时第一发光控制晶体管 T5 和第二发光控制晶体管 T6 均打开。此时, 利用存储电容 Cst 放电可以保持子像素驱动电路 Q 所包括的驱动晶体管 T1 持续导通。基于此, 第一电源信号线 VDD 提供的恒压电源信号、可以依次流经、第一发光控制晶体管 T5、驱动晶体管 T1、第二发光控制晶体管 T6 流至发光单元 O 的阳极, 而发光单元 O 的阴极可以与第二电源信号线 VSS 电连接, 进而可以驱动发光单元 O 发光。其中, 第一电源信号线 VDD 可以为高电源信号线, 第二电源信号线 VSS 可以为低电源信号线。

图 9 为图 5 中第一半导体层的膜层图, 图 10 为图 5 中第一栅金属层的膜层图, 图 11 为图 5 中第一半导体层和第一栅金属层的膜层图, 图 12 为图 5 中第一走线金属层的膜层图, 图 13 为图 5 中第二走线金属层的膜层图, 图 14 为图 5 中第一半导体层、第一栅金属层、第一走线金属层和第二走线金属层的膜层图。

在一些实施例中, 请结合图 5、图 9~图 14 所示, 在第二引线段 222 在衬底基板 10 上的正投影、第一屏蔽图案 31 在衬底基板 10 上的正投影, 以及驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影有交叠的情况下:

可以将第二引线段 222 和第一屏蔽图案 31 设置于同一个驱动晶体管 T1 的栅极 c1

沿第一方向 X 的同一侧。也即，在第一方向 X 上，将第二引线段 222 和第一屏蔽图案 31 集中设置在驱动晶体管 T1 的栅极 c1 的一侧，相当于将第二引线段 222 和第一屏蔽图案 31 集中设置在与子像素驱动电路 Q 边缘区域对应的位置处。

进而，可以使第二引线段 222 和第一屏蔽图案 31 更好的规避子像素驱动电路 Q 内的其他晶体管，以及更好的规避驱动晶体管 T1 的栅极 c1 和驱动晶体管 T1 的第二极 b1，仅与驱动晶体管 T1 的第一极 a1 存在交叠的区域。

基于此，一方面，可以有利于增大第二引线段 222，与驱动晶体管 T1 的栅极 c1 和驱动晶体管 T1 的第二极 b1 之间的间距，降低第二引线段 222 与驱动晶体管 T1 的栅极 c1 形成的寄生电容，以及降低第二引线段 222 与驱动晶体管 T1 的第二极 b1 形成的寄生电容。如此，可以防止第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 栅极 c1 和驱动晶体管 T1 的第二极 b1 处电压的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性。另一方面，也可以有利于规划第一屏蔽图案 31 的布局，以使第一屏蔽图案 31 更大程度的遮挡驱动晶体管 T1 的第一极 a1，防止第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性。

综上所述，如此设置数据引线 22 的第二引线段 222、驱动晶体管 T1（驱动晶体管 T1 的第一极 a1、驱动晶体管 T1 的第二极 b1 和驱动晶体管 T1 的栅极 c1）和第一屏蔽图案 31 的相对位置，可以有利于降低数据引线 22 的第二引线段 222 与驱动晶体管 T1 形成的寄生电容，进而可以有利于防止数据引线 22 的第二引线段 222 引起驱动晶体管 T1 电位跳变的问题，以提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

在一些示例中，数据引线 22 的第二引线段 222 与驱动晶体管 T1（驱动晶体管 T1 的第一极 a1、驱动晶体管 T1 的第二极 b1 和驱动晶体管 T1 的栅极 c1）之间形成的寄生电容的电容值不大于 0.01fF。

示例性的，数据引线 22 的第二引线段 222 与驱动晶体管 T1 的第一极 a1 之间形成的寄生电容的电容值不大于 0.01fF。

示例性的，数据引线 22 的第二引线段 222 与驱动晶体管 T1 的第二极 b1 之间形成的寄生电容的电容值不大于 0.01fF。

示例性的，数据引线 22 的第二引线段 222 与驱动晶体管 T1 的栅极 c1 之间形成的寄生电容的电容值不大于 0.01fF。

如此设置，可以使数据引线 22 的第二引线段 222 与驱动晶体管 T1 之间形成的寄生电容的电容值较低，从而可以有利于防止数据引线 22 的第二引线段 222 引起驱动晶体管 T1 电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

上文结合附图介绍了第二引线段 222、第一屏蔽图案 31 和驱动晶体管 T1 的重叠关系，

在此基础上，下文将结合相关附图具体介绍第一屏蔽图案 31 与子像素驱动电路 Q 中多个晶体管之间的位置关系。

在一些实施例中，请结合图 5、图 7~图 14 所示，子像素驱动电路 Q 还包括写入子电路 101。写入子电路 101，与第一扫描信号线 G1、数据写入信号线 21 和第二节点 N2 耦接。写入子电路 101 被配置为，在写入阶段，在来自第一扫描信号线 G1 接收的第一扫描信号的控制下，将在数据写入信号线 21 处接收的数据信号传输至第二节点。

在一些示例中，写入子电路 101 包括数据写入晶体管 T2。数据写入晶体管 T2 的栅极 c2 和第一扫描信号线 G1 电连接，数据写入晶体管 T2 的第一极 a2 和数据写入信号线 21 电连接，数据写入晶体管 T2 的第二极 b2 和第二节点 N2 电连接。

由于驱动晶体管 T1 的第一极 a1 和第二节点 N2 电连接，数据写入晶体管 T2 的第二极 b2 和第二节点 N2 电连接，也即数据写入晶体管 T2 的第二极 b2 和驱动晶体管 T1 的第一极 a1 电连接。

基于上述子像素驱动电路 Q 中驱动晶体管 T1 和数据写入晶体管 T2 的连接关系，可以设置沿第二方向 Y 上，数据写入晶体管 T2 位于驱动晶体管 T1 的一侧。且至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间。

需要说明的是，沿第二方向 Y 上，数据写入晶体管 T2 位于驱动晶体管 T1 的一侧，可以理解，数据写入晶体管 T2 位于驱动晶体管 T1 沿第二方向 Y 上两侧区域的任意位置。也即，数据写入晶体管 T2 可以位于驱动晶体管 T1 沿第二方向 Y 上的正上方、斜上方、正下方或斜下方任一种。其中，图 5 以数据写入晶体管 T2 位于驱动晶体管 T1 的斜上侧为例进行示意。

由于驱动晶体管 T1 的第一极 a1 位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间，将第一屏蔽图案 31 设置在驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间，可以使第一屏蔽图案 31 更好遮挡驱动晶体管 T1 的第一极 a1，也即可以使第一屏蔽图案 31 更好的隔离驱动晶体管 T1 的第一极 a1 和数据引线 22 的第二引线 222，可以有利于防止数据引线 22 的第二引线 222 引起驱动晶体管 T1 的第一极 a1 电位跳变的问题，提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

在一些示例中，请结合图 5、图 7~图 14 所示，由于数据写入晶体管 T2 的第二极 b2 和驱动晶体管 T1 的第一极 a1 电连接，且数据写入晶体管 T2 和驱动晶体管 T1 沿第二方向 Y 排布，也即数据写入晶体管 T2 和驱动晶体管 T1 沿第二引线 222 的延伸方向排布。以及，数据写入晶体管 T2 的第二极 b2，位于数据写入晶体管 T2 的栅极 c2 靠近驱动晶体管 T1 的一侧。基于此，第二引线 222 在衬底基板 10 上的正投影，与数据写入晶体管 T2 的第二极 b2 在衬底基板 10 上的正投影可能存在交叠的区域。

如上结构，可以将至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1 和数据写

入晶体管 T2 的栅极 c2 之间, 可以使位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间的第一屏蔽图案 31 在衬底基板 10 上的正投影, 与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影有交叠, 且可以使位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间的第一屏蔽图案 31 在衬底基板 10 上的正投影, 与数据写入晶体管 T2 的第二极 b2 在衬底基板 10 上的正投影有交叠。

进而, 可以在第一屏蔽图案 31 隔离驱动晶体管 T1 的第一极 a1 和数据引线 22 的第二引线段 222 的情况下, 同时隔离数据写入晶体管 T2 的第二极 b2 和数据引线 22 的第二引线段 222, 以防止数据引线 22 的第二引线段 222 引起数据写入晶体管 T2 的第二极 b2 电位跳变, 而导致引起驱动晶体管 T1 的第一极 a1 电位跳变的问题, 有利于提高驱动晶体管 T1 的稳定性, 提高显示面板 100 的亮度均一性。

其中, “至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间”包括如下两种情况:

第一种: 部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间。也即, 可以基于子像素驱动电路 Q 各个膜层的空间位置, 扩展第一屏蔽图案 31, 使得其他位置处也可以设有部分第一屏蔽图案 31。图 5 以第一种为例进行示意。

第二种: 全部第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1 和数据写入晶体管 T2 的栅极 c2 之间。

在一些实施例中, 请结合图 5、图 7~图 14 所示, 子像素驱动电路 Q 还包括发光控制子线路 104。发光控制子线路 104, 与使能信号线 E1、第一电源信号线 VDD、第二节点 N2 和第四节点 N4 耦接。发光控制子线路 104 被配置为在来自使能信号线 E1 的使能信号的控制下, 与驱动晶体管 T1 配合, 向第四节点 N4 传输驱动信号。其中, 第四节点 N4 与发光单元 O 电连接。也即, 发光控制子线路 104 被配置为在来自使能信号线 E1 的使能信号的控制下, 与驱动晶体管 T1 配合, 向发光单元 O 传输驱动信号。

在一些示例中, 发光控制子线路 104 包括第一发光控制晶体管 T5 和第二发光控制晶体管 T6。第一发光控制晶体管 T5 的栅极 c5 和使能信号线 E1 电连接, 第一发光控制晶体管 T5 的第一极 a5 和第二节点 N2 电连接, 第一发光控制晶体管 T5 的第二极 b5 和第一电源信号线 VDD 电连接。第二发光控制晶体管 T6 的栅极 c6 和使能信号线 E1 电连接, 第二发光控制晶体管 T6 的第一极 a6 和第三节点 N3 电连接, 第二发光控制晶体管 T6 的第二极 b6 和第四节点 N4 电连接。

由于驱动晶体管 T1 的第一极 a1 和第二节点 N2 电连接, 数据写入晶体管 T2 的第二极 b2 和第二节点 N2 电连接, 以及第一发光控制晶体管 T5 的第一极 a5 和第二节点 N2 电连接。也即, 驱动晶体管 T1 的第一极 a1、数据写入晶体管 T2 的第二极 b2 和第一发光控制晶体管 T5 的第一极 a5 三者电连接于同一第二节点 N2。

基于上述子像素驱动电路 Q 中数据写入晶体管 T2、第一发光控制晶体管 T5 和驱动晶体管 T1 连接关系。可以设置沿第二方向 Y 上，第一发光控制晶体管 T5 位于驱动晶体管 T1 远离数据写入晶体管 T2 的一侧，且至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1、数据写入晶体管 T2 的栅极 c2 和第一发光控制晶体管 T5 的栅极 c5 三者之间。

需要说明的是，沿第二方向 Y 上，第一发光控制晶体管 T5 位于驱动晶体管 T1 远离数据写入晶体管 T2 的一侧，可以理解为，第一发光控制晶体管 T5 位于驱动晶体管 T1 远离数据写入晶体管 T2 的一侧区域的任意位置。也即，在数据写入晶体管 T2 位于驱动晶体管 T1 的斜上方时，第一发光控制晶体管 T5 可以位于驱动晶体管 T1 沿第二方向 Y 上的正下方或斜下方任一种。其中，图 5 以第一发光控制晶体管 T5 位于驱动晶体管 T1 的斜上侧为例进行示意。

而由于驱动晶体管 T1 的第一极 a1、数据写入晶体管 T2 的第二极 b2 和第一发光控制晶体管 T5 的第一极 a5 三者电连接于同一第二节点 N2，可以设置驱动晶体管 T1 的第一极 a1、数据写入晶体管 T2 的第二极 b2 和第一发光控制晶体管 T5 的第一极 a5 三者电连接于同一第二节点 N2，位于数据写入晶体管 T2 的栅极 c2、第一发光控制晶体管 T5 的栅极 c5 和驱动晶体管 T1 的栅极 c1 三者之间围绕形成的区域处，以便于实现驱动晶体管 T1 的第一极 a1、数据写入晶体管 T2 的第二极 b2 和第一发光控制晶体管 T5 的第一极 a5 三者相互电连接。

基于上述数据写入晶体管 T2、第一发光控制晶体管 T5 和驱动晶体管 T1 的相对位置关系，可以将第一屏蔽图案 31 设置在数据写入晶体管 T2 的栅极 c2、第一发光控制晶体管 T5 的栅极 c5 和驱动晶体管 T1 的栅极 c1 三者之间围绕形成的区域处。进而，可以使第一屏蔽图案 31 在衬底基板 10 上的正投影，与隔离驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影有交叠，以利用第一屏蔽图案 31 更好的隔离驱动晶体管 T1 的第一极 a1 和数据引线 22 的第二引线段 222，可以有利于防止数据引线 22 的第二引线段 222 引起驱动晶体管 T1 的第一极 a1 电位跳变的问题，提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

在一些示例中，由于驱动晶体管 T1 的第一极 a1、数据写入晶体管 T2 的第二极 b2 和第一发光控制晶体管 T5 的第一极 a5 三者电连接于同一第二节点 N2，且沿第二方向 Y 上，数据写入晶体管 T2、驱动晶体管 T1 和第一发光控制晶体管 T5 依次排布，也即，数据写入晶体管 T2、驱动晶体管 T1 和第一发光控制晶体管 T5 沿第二引线段 222 的延伸方向排布。

基于此，第二引线段 222 在衬底基板 10 上的正投影，与数据写入晶体管 T2 的第二极 b2 在衬底基板 10 上的正投影可能存在交叠的区域，以及第二引线段 222 在衬底基板 10 上的正投影，与第一发光控制晶体管 T5 的第一极 a5 在衬底基板 10 上的正投影可能存在交

叠的区域。

示例性的，数据写入晶体管 T2 的第二极 b2，位于数据写入晶体管 T2 的栅极 c2 靠近驱动晶体管 T1 的一侧，以及第一发光控制晶体管 T5 的第一极 a5，位于第一发光控制晶体管 T5 的栅极 c5 靠近驱动晶体管 T1 的一侧。

基于此，将至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1、数据写入晶体管 T2 的栅极 c2 和第一发光控制晶体管 T5 的栅极 c5 三者之间时，可以使第一屏蔽图案 31 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影有交叠的情况下，还可以使第一屏蔽图案 31 在衬底基板 10 上的正投影，与数据写入晶体管 T2 的第二极 b2 在衬底基板 10 上的正投影有交叠，以及可以使第一屏蔽图案 31 在衬底基板 10 上的正投影，与第一发光控制晶体管 T5 的第一极 a5 在衬底基板 10 上的正投影有交叠。

进而，可以在第一屏蔽图案 31 隔离驱动晶体管 T1 的第一极 a1 和数据引线 22 的第二引线段 222 的情况下，隔离数据写入晶体管 T2 的第二极 b2 和数据引线 22 的第二引线段 222，以及隔离第一发光控制晶体管 T5 的第一极 a5 数据引线 22 的第二引线段 222。以防止数据引线 22 的第二引线段 222 引起数据写入晶体管 T2 的第二极 b2 电位跳变，而导致引起驱动晶体管 T1 的第一极 a1 电位跳变的问题，以及，防止数据引线 22 的第二引线段 222 引起第一发光控制晶体管 T5 的第一极 a5 电位跳变，而导致引起驱动晶体管 T1 的第一极 a1 电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均匀性。

其中，“至少部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1、数据写入晶体管 T2 的栅极 c2 和第一发光控制晶体管 T5 的栅极 c5 三者之间”包括如下两种情况：

第一种：部分第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1、数据写入晶体管 T2 的栅极 c2 和第一发光控制晶体管 T5 的栅极 c5 三者之间。也即，可以基于子像素驱动电路 Q 各个膜层的空间位置，扩展第一屏蔽图案 31，使得其他位置处也可以设有部分第一屏蔽图案 31。图 5 以第一种为例进行示意。

第二种：全部第一屏蔽图案 31 位于驱动晶体管 T1 的栅极 c1、数据写入晶体管 T2 的栅极 c2 和第一发光控制晶体管 T5 的栅极 c5 三者之间。

上文结合相关附图具体介绍第一屏蔽图案 31 与子像素驱动电路 Q 中多个晶体管之间的位置关系，下文将结合相关附图介绍数据引线 22 中第一引线段 221 与子像素驱动电路 Q 的位置关系。

在一些实施例中，请结合图 5、图 7~图 14 所示，子像素驱动电路 Q 还包括第一复位子电路 103，与第一复位信号线 R1、第一初始化信号线 V1 和第一节点 N1。第一复位子电路 103 被配置为，在初始化阶段，在来自第一复位信号线 R1 接收的第一复位信号的控制下，将在第一初始化信号线 V1 处接收的第一初始化信号传输至第一节点 N1，对第一节点

N1 进行复位，有利于保证第一节点 N1 的电压的稳定性。

在一些示例中，第一复位子电路 103 包括第一复位晶体管 T4。第一复位晶体管 T4 的栅极 c4 和第一复位信号线 R1 电连接，第一复位晶体管 T4 的第一极 a4 和第一节点 N1 电连接，第一复位晶体管 T4 的第二极 b4 和第一初始化信号线 V1 电连接。

由于，第一复位晶体管 T4 的第一极 a4 和第一节点 N1 电连接，且驱动晶体管 T1 的栅极 c1 和第一节点 N1 电连接。也即，第一复位晶体管 T4 的第一极 a4 和驱动晶体管 T1 的栅极 c1 电连接。

基于上述子像素驱动电路 Q 各个晶体管的连接情况，可以设置沿第二方向 Y 上，一个像素电路单元 P 内一个子像素驱动电路 Q 中的第一复位晶体管 T4 位于数据写入晶体管 T2 远离驱动晶体管 T1 的一侧，且经过同一个像素电路单元 P 的第一引线段 221 的至少部分位于第一复位晶体管 T4 远离数据写入晶体管 T2 的一侧。

如图 5 所示，将数据引线 22 的第一引线段 221 的至少部分位于第一复位晶体管 T4 远离数据写入晶体管 T2 的一侧，相当于将数据引线 22 的第一引线段 221 布局于子像素驱动电路 Q 的最上方边缘区域或最下方边缘区域，以使数据引线 22 的第一引线段 221 可以更好的规避驱动晶体管 T1，以及子像素驱动电路 Q 中其他晶体管。其中，图 5 以数据引线 22 的第一引线段 221 布局于子像素驱动电路 Q 的最上方为例进行示意。

如此设置，可以有利于增大第一引线段 221 与子像素驱动电路 Q 中驱动晶体管 T1 之间的间距，以及也可以增大第一引线段 221 与子像素驱动电路 Q 中其他晶体管之间的间距。如此，可以降低第一引线段 221 与子像素驱动电路 Q 中驱动晶体管 T1，以及中其他晶体管之间形成的寄生电容，从而可以改善数据引线 22 的第一引线段 221 传输的数据写入信号发生跳变时，对子像素驱动电路 Q 中驱动晶体管 T1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，并且，也可以有利于降低第一引线段 221 引起子像素驱动电路 Q 中其他晶体管电位跳变的问题，从而有利于提高显示面板 100 的亮度均一性。

在一些示例中，数据引线 22 的第一引线段 221 与驱动晶体管 T1（驱动晶体管 T1 的第一极 a1、驱动晶体管 T1 的第二极 b1 和驱动晶体管 T1 的栅极 c1）之间形成的寄生电容的电容值不大于 0.01fF。

如此设置，可以使数据引线 22 的第一引线段 221 与驱动晶体管 T1 之间形成的寄生电容的电容值较低，从而可以有利于防止数据引线 22 的第一引线段 221 引起驱动晶体管 T1 电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

需要说明的是，“经过”可以理解为第一引线段 221 在衬底基板 10 上的正投影与像素电路单元 P 在衬底基板 10 上的正投影有交叠。

在一些实施例中，请结合图 5、图 7~图 14 所示，在将数据引线 22 的第一引线段 221

的至少部分位于第一复位晶体管 T4 远离数据写入晶体管 T2 的一侧，也即将数据引线 22 的第一引线段 221 布局于子像素驱动电路 Q 的最上方或最下方的基础上，可以设置沿第一方向 X 上，第一引线段 221 包括主体部 221A 和避让部 221B，避让部 221B 相对于主体部 221A 向远离驱动晶体管 T1 的一侧凸出，以使避让部 221B 位于第一复位晶体管远离数据写入晶体管 T2 的一侧。

可以理解的是，将第一引线段 221 布局于子像素驱动电路 Q 的最上方边缘区域或最下方边缘区域时，也需要设置第一引线段 221 尽量靠近子像素驱动电路 Q 的内部，可以使第一引线段 221 和子像素驱动电路 Q 集中设置，便于其他相邻子像素驱动电路 Q 的布局。而由于第一复位晶体管 T4 也位于该边缘区域，可能存在第一引线段 221 在衬底基板 10 上的正投影，与第一复位晶体管 T4 在衬底基板 10 上的正投影有交叠的情况。

基于此，可以设置第一引线段 221 包括主体部 221A 和避让部 221B，避让部 221B 相对于主体部 221A 向远离驱动晶体管 T1 的一侧凸出，利用避让部 221B 避让第一复位晶体管 T4，以增加第一引线段 221 和第一复位晶体管 T4 之间的间距，并且也相当于增加了第一引线段 221 和驱动晶体管 T1 之间的间距，可以有利于防止数据引线 22 的第一引线段 221 引起驱动晶体管 T1 和第一复位晶体管 T4 电位跳变的问题，有利于提高显示面板 100 的亮度均一性。

上文结合相关附图主要以一个像素驱动电源 P 包括 1 个子像素驱动短路 Q 为例进行介绍，下文将结合相关附图以一个像素驱动电源 P 包括 2 个子像素驱动短路 Q 为例进行介绍。

图 15 为根据另一些实施例的像素驱动单元的膜层结构图。其中，图 15 以一个像素驱动单元 P 包括 2 个子像素驱动电路 Q 为例进行示意。

在一些实施例中，请参阅图 15 所示，一个像素电路单元 P 包括沿第一方向 X 上排布的两个子像素驱动电路 Q，两个子像素驱动电路 Q 分别为第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2。与第一子像素驱动电路 Q1 对应的第二引线段 222，和与第二子像素驱动电路 Q2 对应的第二引线段 222 相邻。

也即，将与第一子像素驱动电路 Q1 对应的第二引线段 222 布局于第一子像素驱动电路 Q1 靠近第二子像素驱动电路 Q2 的边缘区域，以及将与第二子像素驱动电路 Q2 对应的第二引线段 222 布局于第二子像素驱动电路 Q2 靠近第一子像素驱动电路 Q1 的边缘区域。

如此设置，可以有利于第二引线段 222 规避子像素驱动电路 Q 内驱动晶体管 T1 之间的间距，也即可以有利于增加第二引线段 222 与其对应子像素驱动电路 Q 内驱动晶体管 T1 之间的间距。从而可以防止第二引线段 222 与其对应子像素驱动电路 Q 内驱动晶体管 T1 之间形成寄生电容，从而可以有利于防止数据引线 22 的第二引线段 222 引起驱动晶体管 T1 电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均

一性。

可以理解的是，在另一些实施例中，也可以设置与第一子像素驱动电路 Q1 对应的第二引线段 222 布局于第一子像素驱动电路 Q1 最远离第二子像素驱动电路 Q2 的边缘区域，以及将与第二子像素驱动电路 Q2 对应的第二引线段 222 布局于第二子像素驱动电路 Q2 最远离第一子像素驱动电路 Q1 的边缘区域。

如此设置，也可以有利于第二引线段 222 规避子像素驱动电路 Q 内驱动晶体管 T1 之间的间距，也即可以有利于增加第二引线段 222 与其对应子像素驱动电路 Q 内驱动晶体管 T1 之间的间距。从而可以防止第二引线段 222 与其对应子像素驱动电路 Q 内驱动晶体管 T1 之间形成寄生电容，从而可以有利于防止数据引线 22 的第二引线段 222 引起驱动晶体管 T1 电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均匀性。

需要说明的是，与第一子像素驱动电路 Q1 对应的第二引线段 222，可以为在沿垂直衬底基板 10 的方向上，与第一子像素驱动电路 Q1 有交叠的第二引线段 222。同理，与第二子像素驱动电路 Q2 对应的第二引线段 222，可以为在沿垂直衬底基板 10 的方向上，与第二子像素驱动电路 Q2 有交叠的第二引线段 222。

在一些实施例中，请参阅图 15 所示，在与第一子像素驱动电路 Q1 对应的第二引线段 222，和与第二子像素驱动电路 Q2 对应的第二引线段 222 相邻的情况下，可以设置同一个像素电路单元 P 内：第一子像素驱动电路 Q1 中的第一屏蔽图案 31，与第二子像素驱动电路 Q2 中的第一屏蔽图案 31 相邻设置。

如此设置，不仅可以利用第一屏蔽图案 31 改善第二引线段 222 引发驱动晶体管 T 电压跳变的问题，还可以将第一屏蔽图案 31 也布局于子像素驱动电路 Q 的边缘区域，规避子像素驱动电路 Q 中各个晶体管，增加第一屏蔽图案 31 的布局空间。

在一些实施例中，请参阅图 15 所示，在同一个像素电路单元 P 内：第一子像素驱动电路 Q1 中的第一屏蔽图案 31，与第二子像素驱动电路 Q2 中的第一屏蔽图案 31 相邻设置的情况下，可以设置第一子像素驱动电路 Q1 中的第一屏蔽图案 31 和第二子像素驱动电路 Q2 中的第一屏蔽图案 31 电连接，且第一子像素驱动电路 Q1 中的第一屏蔽图案 31 和第二子像素驱动电路 Q2 中的第一屏蔽图案 31 同层设置。

也即，可以使第一子像素驱动电路 Q1 中的第一屏蔽图案 31 和第二子像素驱动电路 Q2 中的第一屏蔽图案 31 采用同一道制图工艺形成。由此，可以简化显示面板 100 的工艺制程。

此外，由于第一屏蔽图案 31 需要被配置为具有恒压信号，将第一子像素驱动电路 Q1 中的第一屏蔽图案 31 和第二子像素驱动电路 Q2 中的第一屏蔽图案 31 电连接后，仅需对第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2 中，一个子像素驱动电路 Q 中的第一

屏蔽图案 31 传输恒压信号时,另一个子像素驱动电路 Q 中的第一屏蔽图案 31 也会具有恒压信号,可以有利于信号的传输。

在一些实施例中,请参阅图 15 所示,在同一个像素驱动单元 P 内:沿第一方向 X 上,第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2 对称。如此设置,可以有利于提高显示面板 100 的规整度,以及有利于简化显示面板 100 的制作难度。

在一些示例中,可以设置同一个像素驱动单元 P 中的第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2 沿第一方向 X 镜像对称,可以有利于提高显示面板 100 的规整度,以及有利于简化显示面板 100 的制作难度。

此外,第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2 对称的情况下,可以使第一子像素驱动电路 Q1 和第二子像素驱动电路 Q2 内对称且相邻设置的各个结构,可以采用同一道制图工艺形成。由此,可以简化显示面板 100 的工艺制程。例如,存储电容 Cst (返回图 7 所示),需要与第一电压端 VDD 电连接的极板,可以采用同一道制图工艺形成,有利于简化显示面板 100 的制作难度。

图 16 为根据又一些实施例的像素驱动单元的膜层结构图。

在一些实施例中,请参阅图 16 所示,由于第一引线段 221 沿第一方向 X 延伸,而数据写入信号线 21 沿第二方向延伸,可能存在第一引线段 221 在衬底基板 10 上的正投影,与数据写入信号线 21 在衬底基板 10 上的正投影部分交叠的情况,于该第一引线段 221 并非是与该数据写入信号线 21 电连接的数据引线 22 的部分,所以该第一引线段 221 传递的数据写入信号,与该数据写入信号线 21 传递的数据写入信号可能不同,进而第一引线段 221 和数据写入信号线 21 之间形成的寄生电容,会导致影响第一引线段 221 传递的数据写入信号和数据写入信号线 21 传递的数据写入信号,进而会导致影响显示面板 100 的亮度均匀性。

基于此,显示面板 100 中屏蔽层 30 还可以包括至少一个第二屏蔽图案 32,第二屏蔽图案 32 被配置为具有恒压信号。将第二屏蔽图案 32 设置在第一引线段 221 和数据写入信号线 21 之间,且第二屏蔽图案 32 在衬底基板 10 上的正投影、第一引线段 221 在衬底基板 10 上的正投影,以及数据写入信号线 21 在衬底基板 10 上的正投影三者之间有交叠。

如上结构,可以利用第二屏蔽图案 32 隔离第一引线段 221 和数据写入信号线 21,利用第二屏蔽图案 32 降低第一引线段 221 和数据写入信号线 21 彼此之间的影响,有利于提高显示面板 100 的亮度均匀性。

需要说明的是,此时数据写入信号线 21 可以设置于第三金属走线层,第二屏蔽图案 32 则可以设置于第二金属走线层,以使第二屏蔽图案 32 设置在第一引线段 221 和数据写入信号线 21 之间。但是,本公开实施例不限制于此。

图 17 为图 15 中第一半导体层的膜层图,图 18 为图 15 中第一栅金属层的膜层图,图

19 为图 15 中第一半导体和第一栅金属层的膜层图, 图 20 为图 15 中第二栅金属层的膜层图, 图 21 为图 15 中第一走线金属层的膜层图, 图 22 为图 15 中第二走线金属层的膜层图。

在一些实施例中, 请结合图 7、图 15、图 17~图 22 所示, 显示面板 100 中驱动电路层 20 包括多个金属层。多个金属层内设有子像素驱动电路 Q 和多条信号线。子像素驱动电路 Q 的结构可以返回图 7 所示。其中, 多个金属层包括层叠设置在衬底基板 10 上的第一半导体层 POLY1、第一栅金属层 Gate1、第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2。

第一半导体层 POLY1 位于衬底基板 10 上, 第一半导体层 POLY1 包括驱动晶体管 T1 的第一极 a1 和驱动晶体管 T1 的第二极 b1。

在一些示例中, 第一半导体层 POLY1 的材料可以包括非晶硅、单晶硅或多晶硅半导体材料。

第一栅金属层 Gate1 位于第一半导体层 POLY1 远离衬底基板 10 一侧。第一栅金属层 Gate1 包括驱动晶体管 T1 栅极 c1。

示例性的, 第一栅金属层 Gate1 的材料包括导电金属。该导电金属可以包括铝、铜、钼中的至少一种, 本公开不限于此。

示例性的, 第一半导体层 POLY1 和第一栅金属层 Gate1 之间设有第一栅绝缘层, 第一栅绝缘层使第一半导体层 POLY1 和第一栅金属层 Gate1 电绝缘。

例如, 第一栅绝缘层的材料包括氮化硅、氮氧化硅和氧化硅的无机绝缘材料中的任一种。第一栅绝缘层的材料可以包括二氧化硅, 本公开不限于此。

上述以第一半导体层 POLY1 和第一栅金属层 Gate1 形成子像素驱动电路 Q 中驱动晶体管 T1 为例。然而, 第一半导体层 POLY1 和第一栅金属层 Gate1 还用于形成子像素驱动电路 Q 中的部分晶体管。其中, 部分晶体管可以包括数据写入晶体管 T2、第一发光控制晶体管 T5、第二发光控制晶体管 T6、第二复位晶体管 T7。在“8T1C”子像素驱动电路 Q 的情况下: 部分晶体管还包括第三复位晶体管 T8。

此外, 第一半导体层 POLY1 和第一栅金属层 Gate1 还可以用于形成部分信号线。部分信号线包括第一初始化信号线 V1、使能信号线 E1 和第一扫描信号线 G1 和第二复位信号线 R2。

在一些示例中, 位于第一栅金属层 Gate1 上的第一扫描信号线 G1, 可以包括第一部分, 第一扫描信号线 G1 的第一部分可以复用为数据写入晶体管 T2 的栅极 c2。

在一些示例中, 位于第一栅金属层 Gate1 上的第二复位信号线 R2, 可以包括第一部分, 第二复位信号线 R2 的第一部分可以复用为第二复位晶体管 T7 的栅极 c7。

在一些示例中, 位于第一栅金属层 Gate1 上的使能信号线 E1 可以包括第一部分和第二部分。其中, 使能信号线 E1 的第一部分可以复用为第一发光控制晶体管 T5 的栅极, 以

及使能信号线 E1 的第二部分可以复用为第二发光控制晶体管 T6 的栅极。

需要说明的是,第一半导体层 POLY1 在衬底基板 10 上的正投影与第一栅金属层 Gate1 在衬底基板 10 上的正投影具有交叠。其中,第一半导体层 POLY1 中被第一栅金属层 Gate1 覆盖的部分构成各个晶体管的沟道部,第一半导体层 POLY1 中未被第一栅金属层 G1 覆盖的部分为导电部,构成各晶体管的第一极或第二极的一部分。

第二栅金属层 Gate2 位于第一栅金属层 Gate1 远离第一半导体 POLY1 的一侧。

示例性的,第二栅金属层 Gate2 可以与第一栅金属层 Gate1 材料可以相同。可以理解的是,在另一些示例中,第二栅金属层 Gate2 可以与第一栅金属层 Gate1 材料可以不同。本公开的实施例对此不做限制。

示例性的,第二栅金属层 Gate2 可以与第一栅金属层 Gate1 之间设有第二栅绝缘层。第二栅绝缘层使第二栅金属层 Gate2 和第一栅金属层 Gate1 电绝缘。

例如,第二栅绝缘层的材料包括氮化硅、氮氧化硅和氧化硅的无机绝缘材料中的任一种。第二栅绝缘层的材料可以包括二氧化硅,本公开不限于此。

在一些实施例中,子像素驱动电路 Q 还包括存储电容 Cst,存储电容 Cst 的第一极板 S1 与驱动晶体管 T1 的栅极 c1 电连接,存储电容 Cst 的第二极板 S2 与第一电源信号线 VDD 电连接。

存储电容 Cst 的第一极板 S1 可以位于第一栅金属层 Gate1,且存储电容 Cst 的第二极板 S2 位于第二栅金属层 Gate2。存储电容 Cst 的第一极板 S1 在衬底基板 10 上的正投影,与存储电容 Cst 的第二极板 S2 在衬底基板 10 上的正投影至少部分交叠,以形成存储电容 Cst。

其中,位于第一栅金属层 Gate1 上的存储电容 Cst 的第一极板 S1 可以复用为驱动晶体管 T1 的栅极 c1。基于此,无需单独另设驱动晶体管 T1 的栅极 c1,可以有利于简化子像素驱动电路 Q 的制作工艺。并且,利用存储电容 Cst 的第一极板 S1 可以复用为驱动晶体管 T1 的栅极 c1,还可以实现存储电容 Cst 的第一极板 S1 与驱动晶体管 T1 的栅极 c1 直接电连接,无需单独另设连接部,也可以有利于子像素驱动电路 Q 的布局。

此外,第二栅金属层 Gate2 还可以用于形成部分信号线。部分信号线包括第一复位信号线 R1 和第二扫描信号线 G2。

在一些示例中,位于第二栅金属层 Gate2 的第一复位信号线 R1 可以包括第一部分。第一复位信号线 R1 的第一部分可以复用为第一复位晶体管 T4 的栅极 c4。

在一些示例中,位于第二栅金属层 Gate2 的第二扫描信号线 G2 可以包括第一部分。第二扫描信号线 G2 的第一部分可以复用为补偿晶体管 T3 的栅极 c3。

第一走线金属层 SD1 位于第二栅金属层 Gate2 远离第一栅金属层 Gate1 的一侧。

示例性的,第一走线金属层 SD1 的材料包可以为钛 (Ti)-铝 (Al)-钛 (Ti) 多层层状

复合材料。基于此，第一走线金属层 SD1 的方阻约为 $0.05\text{m}\Omega/\square$ 。

示例性的，第一走线金属层 SD1 和第二栅金属层 Gate2 之间设有第一平坦化层（英文全称：Planarization Layer，英文简称 PLN）。第一平坦化层可以使第一走线金属层 SD1 和第二栅金属层 Gate2 电绝缘。

示例性的，第一平坦化层的材料一般为有机材料。例如，第一平坦化层的材料可包括聚酰亚胺（英文全称：Polyimide，英文简称：PI）、丙烯酸基聚合物或硅基聚合物中至少一种。

此外，第一走线金属层 SD1 还可以用于形成部分信号线。部分信号线包括第二初始化信号线 V2。

第二走线金属层 SD2 位于第一走线金属层 SD1 远离第一栅金属层 Gate1 的一侧。

在一些示例中，第二走线金属层 SD2 的材料可以与第一走线金属层 SD1 的材料相同。可以理解的是，第二走线金属层 SD2 的材料可以与第一走线金属层 SD1 的材料不同。本公开的实施例对此不做限制。

示例性的，第二走线金属层 SD2 和第一走线金属层 SD1 之间设有第二平坦化层。第二平坦化层使第二走线金属层 SD2 和第一走线金属层 SD1 电绝缘。

示例性的，第二平坦化层材料一般为有机材料。例如，第二平坦化层的材料可包括聚酰亚胺（英文全称：Polyimide，英文简称：PI）、丙烯酸基聚合物或硅基聚合物中至少一种。

基于上述显示面板 100 中驱动电路层 20 的结构可知，驱动晶体管 T1 主要形成在第一半导体层 POLY1 和第一栅金属层 Gate1。并且，第一金属走线层 SD1 和第二走线金属层 SD2 驱动晶体管 T1 的间距，相对于第二栅金属层 Gate2，与驱动晶体管 T1 的间距会更大。进而，将数据引线 22 设置于第一金属走线层 SD1 和第二走线金属层 SD2，可以使数据引线 22 和驱动晶体管 T1 之间的间距较大，有利于降低数据引线 22 和驱动晶体管 T1 之间形成的寄生电容，降低数据引线 22 引发驱动晶体管 T1 电位跳变的情况，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

示例性的，第一走线金属层 SD1 可以包括数据引线 22 的沿第一方向 X 延伸的数据引线 22 的第一引线段 221。第二走线金属层 SD2 包括沿第二方向 Y 延伸的数据引线 22 的第二引线段 222。

其中，将第二引线段 222 设置于第二走线金属层 SD2，相对于将第二引线段 222 设置于第一走线金属层 SD1 可以增大第二引线段 222 和驱动晶体管 T1 之间的间距，也即可以增大第二引线段 222 和驱动晶体管 T1 的第一极 a1 之间的间距，降低第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100

的亮度均一性。

示例性的，如上设置可以使第二引线段 222 与驱动晶体管 T1 的栅极 c1 之间的最小间距大于或等于 $6\mu\text{m}$ ，以及可以使第二引线段 222 与驱动晶体管 T1 的第一极 a1 之间的最小间距大于或等于 $18\mu\text{m}$ 。

当第二引线段 222 与驱动晶体管 T1 的栅极 c1 之间的最小间距等于或趋近于 $6\mu\text{m}$ ，第二引线段 222 与驱动晶体管 T1 的第一极 a1 之间的最小间距等于或趋近于 $18\mu\text{m}$ 时，可以使第二引线段 222 与驱动晶体管 T1 的栅极 c1 间距较大，以及使第二引线段 222 与驱动晶体管 T1 的第一极 a1 之间的间距较大。从而，可以增大第二引线段 222 和驱动晶体管 T1 的第一极 a1 之间的间距，降低第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

其中，第二引线段 222 与驱动晶体管 T1 之间的间距越大越好，但是由于显示面板 100 轻薄化等空间需求，可以在适当的程度内尽量调节第二引线段 222 与驱动晶体管 T1 的间距最大化，以便于更好的降低第二引线段 222 对驱动晶体管 T1 的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

此外，由于第一金属走线层 SD1 和第二走线金属层 SD2 的材料，与第二栅金属层 Gate2 的材料的区别，可以使第一金属走线层 SD1 和第二走线金属层 SD2 的方阻不大于第二栅金属层 Gate2 的方阻，进而将数据引线 22 设置于方阻较小的第一金属走线层 SD1 和第二走线金属层 SD2 中，还可以有利于降低数据引线 22 上的 RC 阻抗，降低数据引线 22 对数据写入信号电压的传输损耗，以防止利用数据引线 22 将数据写入信号传输至数据写入信号线 21 时，导致数据写入信号线 21 接收到的数据写入信号的电压降低，进而还可以有利于使各个子像素驱动电路 Q 接收的来自数据写入信号线 21 的数据写入信号大致相等，有利于提高显示面板 100 的亮度均一性。

其中，上述以数据引线 22 设置于第一金属走线层 SD1 和第二走线金属层 SD2 为例进行介绍。然而，第一金属走线层 SD1 和第二走线金属层 SD2 还可以用于形成其余部分信号线。其余部分信号线包括第一电源信号线 VDD 和数据写入信号线 21 等。

示例性的，像素电路单元 P 还包括第一电源信号线 VDD。第一电源信号线 VDD 位于第二走线金属层 SD2。第一电源信号线 VDD 被配置为，向像素驱动电路 Q 提供恒压电源信号。

基于上述显示面板 100 中驱动电路层 20 的结构可知，驱动晶体管 T1 主要形成在第一半导体层 POLY1 和第一栅金属层 Gate1，以及数据引线 22 的第二引线段 222 形成在第二金属走线层 SD2。由此可知，第二引线段 222 与驱动晶体管 T1 之间至少包括第二栅金属层 Gate2 和第一走线金属层 SD1。

进而,可以将第一屏蔽图案 31 设置于第二栅金属层 Gate2 和/或第一走线金属层 SD1。其中,对于第一屏蔽图案 31 的膜层位置可以包括以下几种情况:

第一种:第一屏蔽图案 31 设置于第二栅金属层 Gate2。

第二种:第一屏蔽图案 31 设置于第一走线金属层 SD1。

第三种:第一屏蔽图案 31 设置于第二栅金属层 Gate2 和第一走线金属层 SD1。也即,第一屏蔽图案 31 的一部分设置于第二栅金属层 Gate2,第一屏蔽图案 31 的另一部分设置于第一走线金属层 SD1。此时,位于第二栅金属层 Gate2 的第一屏蔽图案 31,需与位于第一走线金属层 SD1 的第一屏蔽图案 31 电连接。

基于此,可以根据第二引线段 222 和驱动晶体管 T1 之间夹设的金属层(第二栅金属层 Gate2 和第一走线金属层 SD1)的布局空间情况,将第一屏蔽图案 31 设置于其内,既可以利用第一屏蔽图案 31 隔离第二引线段 222 和驱动晶体管 T1,改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题,提高显示面板 100 的亮度均一性。又可以充分利用第二引线段 222 和驱动晶体管 T1 之间夹设的金属层的空间,无需单独另设金属膜层形成第一屏蔽图案 31,也有利于显示面板 100 的轻薄化。

在一些实施例中,可以设置屏蔽层 30 与第一电源信号线 VDD 电连接,以使屏蔽层 30 具有恒压信号。基于此,无需单独另设恒压信号线以使屏蔽层 30 具有恒压信号,可以有利于简化显示面板 100 的内部结构。

图 23 为根据一些实施例中子像素驱动电路中第二栅金属层的膜层图。

在一些实施例中,结合图 15、图 17~图 19、图 21~图 23 所示,存储电容 Cst 的第二极板 S2 包括第一分部 F1。沿垂直衬底基板 10 的方向上,第一分部 F1、驱动晶体管 T1 的第一极 a1 和第二引线段 222 有交叠,第一分部 F1 复用为第一屏蔽图案 31。

基于存储电容 Cst 的第二极板 S2 位于第二栅金属层 Gate2,且第二栅金属层 Gate2 位于第一栅金属层 Gate1 和第二走线金属层 SD2 之间,可以在形成第二栅金属层 Gate2 形成第一屏蔽图案 31。

基于此,可以在第二栅金属层 Gate2 形成存储电容 Cst 的第二极板 S2 时,将存储电容 Cst 的第二极板 S2 外扩形成存储电容 Cst 的第二极板 S2 的第一分部 F1。其中沿垂直衬底基板 10 的方向上,第一分部 F1、驱动晶体管 T1 的第一极 a1 和第二引线段 222 有交叠,也即将存储电容 Cst 的第二极板 S2 外扩至驱动晶体管 T1 的第一极 a1 和第二引线段 222 之间。

进而,可以利用存储电容 Cst 的第二极板 S2 的第一分部 F1,隔离驱动晶体管 T1 的第一极 a1 和第二引线段 222,以改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题,有利于提高驱动晶体管 T1 的稳定性,提高显示面板 100 的均一性。

另外,由于存储电容 Cst 的第二极板 S2 需与第一电源信号线 VDD 电连接,进而无需

单独利用设置第一屏蔽图案（存储电容 Cst 的第二极板 S2 的第一分部 F1）与第一电源信号线 VDD 电连接，有利于简化布局。

在一些实施例中，结合图 15、图 17~图 22 所示，在一个像素驱动单元 P 包括 2 个子像素驱动电路 Q 时，2 个子像素驱动电路 Q 内的存储电容 Cst 的第二极板 S2 均需要与第一电源信号线 VDD 电连接。也即，2 个子像素驱动电路 Q 内的存储电容 Cst 的第二极板 S2 获取的信号相同。

基于此，可以设置 2 个子像素驱动电路 Q 内的存储电容 Cst 的第二极板 S2 电连接，也即也可以使 2 个子像素驱动电路 Q 内的存储电容 Cst 的第二极板 S2 的第一分部 F1 电连接。

此时，还可以有利于增大第一分部 F1 的尺寸，也即有利于增大第一屏蔽图案 31 的尺寸，可以有利于使第一屏蔽图案 31 可以更好的隔离驱动晶体管 T1 的第一极 a1 和第二引线 222，有利于提高驱动晶体管 T1 的稳定性。

除此之外，在另一些实施例中，如图 24 所示，图 24 为根据另一些实施例中子像素驱动电路中第二栅金属层的膜层图，以及结合 15、图 17~图 19、图 21 和图 22 所示，也可以在第二栅金属层 Gate2 设置独立于存储电容 Cst 的第一屏蔽图案 31。第一屏蔽图案 31 位于存储电容 Cst 的第二极板 S2 靠近驱动晶体管 T1 的第一极 a1 的一侧，以使第一屏蔽图案 31 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第一极 a1 在衬底基板 10 上的正投影有交叠。

基于此，可以充分利用第二栅金属层 Gate2 上的空间，在与驱动晶体管 T1 的第一极 a1 对应的位置处设有第一屏蔽图案 31，以利用第一屏蔽图案 31 隔离驱动晶体管 T1 的第一极 a1 和第二引线 222，以改善第二引线 222 导致驱动晶体管 T1 电位跳变的问题，有利于提高显示面板 100 的亮度均一性。

此外，位于第二栅金属层 Gate2 的第一屏蔽图案 31 可以利用位于第一走线金属层 SD1 的导电块连接位于第二走线金属层 SD2 上的第一电源信号线 VDD，以使第一屏蔽图案 31 具有恒压电位。

可以理解的是，位于第二栅金属层 Gate2 的第一屏蔽图案 31，也可以直接利用过孔与位于第二走线金属层 SD2 上的第一电源信号线 VDD，以使第一屏蔽图案 31 具有恒压电位。本公开实施例不限制于此。

在一些实施例中，结合图 15、图 17~图 22 所示，位于第二栅金属层 Gate2 的存储电容 Cst 的第二极板 S2，需要与位于第二走线金属层 SD2 第一电源信号线 VDD 电连接。

由于第二栅金属层 Gate2 和第一电源信号线 VDD 之间至少包括第二栅绝缘层、第一走线金属层 SD1 和第一平坦化层。第二栅金属层 Gate2 和第一电源信号线 VDD 之间间隔膜层较多，如直接将第二栅金属层 Gate2 和第一电源信号线 VDD 之间膜层刻蚀形成一个

连通孔,以使存储电容 Cst 的第二极板 S2 和第一电源信号线 VDD 电连接,会导致连接孔深度过深,制作工艺较难,容易导致出现盲孔的问题。

基于此,可以在位于第二栅金属层 Gate2 和第一电源信号线 VDD 之间的第一走线金属层 SD1 形成一个第一连接部 PAD1。第一连接部 PAD1 在衬底基板 10 上的正投影,与存储电容 Cst 的第二极板 S2 在衬底基板 10 上的正投影有交叠,以及第一连接部 PAD1 在衬底基板 10 上的正投影,与第一电源信号线 VDD 在衬底基板 10 上的正投影有交叠。

进而,可以利用分段打孔工艺,分别在第二栅绝缘层和第一平坦化层形成过孔,以使第一连接部 PAD1 的一端可以通过第二栅绝缘层上的过孔与存储电容 Cst 的第二极板 S2 电连接,以及第一连接部 PAD1 的另一端可以通过第一平坦化层上的过孔与第一电源信号线 VDD 电连接,以实现存储电容 Cst 的第二极板 S2 和第一电源信号线 VDD 电连接。利用分段打孔工艺,还可以减少减小过孔的深度,有利于降低打孔工艺的难度,提高显示面板 100 的良品率。

此外,由于第一连接部 PAD1 与第一电源信号线 VDD 电连接,可以使第一连接部 PAD1 具有恒压信号。

基于此,可以将第一连接部 PAD1 布局于,第二引线段 222 和驱动晶体管 T1 之间,进而可以将第一连接部 PAD1 复用为第一屏蔽图案 31。进而,可以利用第一连接部 PAD1 隔离驱动晶体管 T1 的第一极 a1 和第二引线段 222,以改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题,有利于提高驱动晶体管 T1 的稳定性,提高显示面板 100 的均一性。

并且,由于可以直接利用第一连接部 PAD1 复用为第一屏蔽图案 31,无需单独在显示面板 100 中制作第一屏蔽图案 31,有利于简化显示面板 100 的制作工艺。

在一些实施例中,结合图 15、图 17~图 22 所示,在第二栅金属层 Gate2 上的存储电容 Cst 的第二极板 S2 包括第一分部 F1 和第一走线金属层 SD1 上设有第一连接部 PAD1 时,可以利用第一连接部 PAD1 与存储电容 Cst 的第二极板 S2 的第一分部 F1 电连接,以使存储电容 Cst 的第二极板 S2 利用第一连接部 PAD1 接收来自第一电源信号线 VDD 的恒压电源信号。

此时,存储电容 Cst 的第二极板 S2 的第一分部 F1 和第一连接部 PAD1 共同复用为第一屏蔽图案 31。可以利用存储电容 Cst 的第二极板 S2 的第一分部 F1 和第一连接部 PAD1 隔离驱动晶体管 T1 的第一极 a1 和第二引线段 222,以改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题,有利于提高驱动晶体管 T1 的稳定性,提高显示面板 100 的均一性。

在一些实施例中,结合图 15、图 17~图 22 所示,一个子像素驱动电路 Q 还包括第一发光控制晶体管 T5,第一发光控制晶体管 T5 的第二极 b5 与第一电源信号线 VDD 电连

接。

由于第一发光控制晶体管 T5 的第二极 b5 位于第一半导体层 POLY1，第一电源信号线 VDD 位于第二金属走线层 SD2，第一发光控制晶体管 T5 的第二极 b5 与第一电源信号线 VDD 之间包括较多的膜层，如直接将第一半导体层 POLY1 和第二金属走线层 SD2 之间膜层刻蚀形成一个连通孔，以使第一发光控制晶体管 T5 的第二极 b5 与第一电源信号线 VDD 电连接，会导致连接孔深度过深，制作工艺较难，容易导致出现盲孔的问题。

基于此，可以在位于第一半导体层 POLY1 和第二金属走线层 SD2 之间的第一走线金属层 SD1 形成第一转接部 PAD2。可以采用分段打孔工艺，以使第一转接部 PAD2 电连接第一发光控制晶体管 T5 的第二极 b5 和第一电源信号线 VDD。利用分段打孔工艺，还可以减少减小过孔的深度，有利于降低打孔工艺的难度，提高显示面板 100 的良品率。

此外，由于第一转接部 PAD2 与第一电源信号线 VDD 电连接，可以使第一转接部 PAD2 具有恒压信号。

基于此，可以将第一转接部 PAD2 布局于，第二引线段 222 和驱动晶体管 T1 之间，进而可以将第一转接部 PAD2 复用为第一屏蔽图案 31。进而，可以利用第一转接部 PAD2 隔离驱动晶体管 T1 的第一极 a1 和第二引线段 222，以改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题，有利于提高驱动晶体管 T1 的稳定性，提高显示面板 100 的均一性。

在一些实施例中，还可以使第一转接部 PAD2 与第一走线金属层 SD1 的第一连接部 PAD1 电连接，以形成第一屏蔽图案 31。以及，第一转接部 PAD2 和第一连接部 PAD1 可以采用同一道制图工艺形成，有利于简化显示面板 100 的制作工艺。

并且，将第一转接部 PAD2 和第一连接部 PAD1 以形成第一屏蔽图案 31，有利于增大第一屏蔽图案 31 的尺寸，可以使第一屏蔽图案 31 更好的隔离驱动晶体管 T1 和第二引线段 222，以提高驱动晶体管 T1 的稳定性。

图 25 为根据又一些实施例的像素驱动单元的膜层结构图。

在一些实施例中，请参阅图 25 所示，驱动电路层 20 除叠层设置于衬底基板 10 上的第一半导体层 POLY1、第一栅金属层 Gate1、第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2 以外还可以包括第三走线金属层 SD3。第三走线金属层 SD3 位于第二走线金属层 SD2 远离第一走线金属层 SD1 的一侧。

示例性的，第三走线金属层 SD3 的材料包可以为钛 (Ti)-铝 (Al)-钛 (Ti) 多层层状复合材料。基于此，第三走线金属层 SD3 的方阻约为 $0.05\text{m}\Omega/\square$ 。

示例性的，第三走线金属层 SD3 和第二走线金属层 SD2 之间包括第三平坦化层。第三平坦化层用于使第三走线金属层 SD3 和第二走线金属层 SD2 电绝缘。

示例性的，第三平坦化层的材料一般为有机材料。例如，第三平坦化层的材料可包括

聚酰亚胺（英文全称：Polyimide，英文简称：PI）、丙烯酸基聚合物或硅基聚合物中至少一种。

在显示面板 100 的驱动电路层 20 包括第三走线金属层 SD3 时，可以将数据引线 22 的第二引线段 222 设置于第三走线金属层 SD3。将数据引线 22 的第二引线段 222 设置于第三走线金属层 SD3，相对于将第二引线段 222 设置于第二走线金属层 SD2，可以有利于增大第二引线段 222 与驱动晶体管 T1 的第一极 a1 之间的间距，降低第二引线段 222 向数据写入信号线 21 传输的数据写入信号发生跳变时，对驱动晶体管 T1 的第一极 a1 电位的影响，从而有利于提高子像素驱动电路 Q 中驱动晶体管 T1 的稳定性，提高显示面板 100 的亮度均一性。

基于上述显示面板 100 中驱动电路层 20 的结构可知，驱动晶体管 T1 主要形成在第一半导体层 POLY1 和第一栅金属层 Gate1，以及数据引线 22 的第二引线段 222 形成在第三金属走线层 SD3。由此可知，第二引线段 222 与驱动晶体管 T1 之间至少包括第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2。

进而，可以将第一屏蔽图案 31 设置于第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2 中至少一层。其中，对于第一屏蔽图案 31 的膜层位置可以包括以下几种情况：

第一种：第一屏蔽图案 31 设置于第二栅金属层 Gate2。

第二种：第一屏蔽图案 31 设置于第一走线金属层 SD1。

第三种：第一屏蔽图案 31 设置于第二走线金属层 SD2。

第四种：第一屏蔽图案 31 设置于第二栅金属层 Gate2 和第一走线金属层 SD1。

第五种：第一屏蔽图案 31 设置于第二栅金属层 Gate2 和第二走线金属层 SD2。

第六种：第一屏蔽图案 31 设置于第一走线金属层 SD1 和第二走线金属层 SD2。

第七种：第一屏蔽图案 31 设置于第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2。

其中，当第一屏蔽图案 31 分布于两层或三层时，不同膜层上的第一屏蔽图案 31 可以相互电连接。

基于此，可以根据第二引线段 222 和驱动晶体管 T1 之间夹设的金属层（第二栅金属层 Gate2、第一走线金属层 SD1 和第二走线金属层 SD2）的布局空间情况，将第一屏蔽图案 31 设置于其内，既可以利用第一屏蔽图案 31 隔离第二引线段 222 和驱动晶体管 T1，改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题，提高显示面板 100 的亮度均一性。又可以充分利用第二引线段 222 和驱动晶体管 T1 之间夹设的金属层的空间，无需单独另设金属膜层形成第一屏蔽图案 31，也有利于显示面板 100 的轻薄化。

除此之外，上述实施例针对不同膜层上的部件可以复用为第一屏蔽图案 31 的方案同

样适用于本实施例中，在此不再赘述。

需要说明的是，图 25 中除第二金属走线层 SD2，其他膜层结构图与图 15 所示子像素驱动电路 Q 的膜层拆分图是相同的，而对于第二走线金属层 SD2 的区别也仅在于将图 15 所示第二走线金属层 SD2 中的第二引线段 222 移动至第三走线金属层 SD3。

图 26 为图 15 中第二半导体层的膜层图，图 27 为图 15 中第三栅金属层的膜层图，图 28 为图 15 中第二栅金属层、第二半导体层第三栅金属层的膜层图。

在一些实施例中，结合图 15、图 17~图 22 以及图 26~图 28 所示，驱动电路层 20 还可以包括第二半导体层 IGZO 和第三栅金属层 Gate3。子像素驱动电路 Q 中的补偿晶体管 T3 和第一复位晶体管 T4 可以氧化物薄膜晶体管。补偿晶体管 T3 的栅极 c3 包括补偿晶体管 T3 的顶栅 c31 和补偿晶体管 T3 的底栅 c32，以及第一复位晶体管 T4 的栅极 c4 包括第一复位晶体管 T4 的顶栅 c41 和第一复位晶体管 T4 的底栅 c42。

其中，补偿晶体管 T3 的底栅 c32 和第一复位晶体管 T4 的底栅 c42 位于第二栅金属层 Gate2。

第二半导体层 IGZO 位于第二栅金属层 Gate2 远离第一栅金属层 Gate1 的一侧。第二半导体层 IGZO 包括补偿晶体管 T3 的第一极 a3、补偿晶体管 T3 的第二极 b3、第一复位晶体管 T4 的第一极 a4 和第一复位晶体管 T4 的第二极 b4。

第三栅金属层 Gate3 位于第二半导体层 IGZO 远离第二栅金属层 Gate2 的一侧。第二栅金属层 Gate2 包括第一复位晶体管 T4 和第一复位晶体管 T4 的顶栅 c41。

无论第二引线段 222 位于第二走线金属层 SD2，还是第二引线段 222 位于第三走线金属层 SD3，第三栅金属层 Gate3 均位于第二引线段 222 所在膜层和第一半导体层 POLY1 之间。进而，可以在第三栅金属层 Gate3 形成第一屏蔽图案 31，以利用第三栅金属层 Gate3 形成第一屏蔽图案 31 隔离第二引线段 222 和驱动晶体管 T1，改善第二引线段 222 引发驱动晶体管 T1 的电位跳变的问题，提高显示面板 100 的亮度均一性。又可以充分利用第二引线段 222 和驱动晶体管 T1 之间夹设的金属层的空间，无需单独另设金属膜层形成第一屏蔽图案 31，也有利于显示面板 100 的轻薄化。

除此之外，也可以有其他部分第一屏蔽图案 31 形成在第二引线段 222 和驱动晶体管 T1 之间夹设的其他膜层中，本公开对此不做限定。

在一些实施例中，结合图 15、图 21 和图 27 所示，由于第一亚像素区域、第二亚像素区域和第三亚像素区域分别发射三基色光，不同颜色亚像素区域内的发光单元 O（返回图 7 所示）的发光效率可能不同，容易导致显示面板 100 的色彩显示不均衡。

基于此，一个子像素驱动电路 Q 可以对应设置两条第二初始化信号线 V2，两条第二初始化信号线 V2 分别为第一个第二初始化信号线 V2 和第二个第二初始化信号线 V2。其中，第一个第二初始化信号线 V2 提供的第二初始化信号和第二个第二初始化信号线 V2 提

供的第二初始化信号不同。

由此，可以根据不同颜色亚像素区域内的发光单元 O 的发光效率，选择与不同的第二初始化信号线 V2 电连接。也即，可以使不同颜色亚像素区域内子像素驱动电路 Q 电连接的发光单元 O，与不同的第二初始化信号线 V2 电连接，以利用不同的第二初始化信号对发光单元 O 进行复位，以使不同颜色亚像素区域发出的光线亮度大致相同，以提高显示面板 100 的显示效果。

在一些示例中，两条第二初始化信号线 V2 中的第一个第二初始化信号线 V2 可以形成于第一走线金属层 SD1，而两条第二初始化信号线 V2 中的第二个第二初始化信号线 V2 可以形成于第三栅金属层 Gate3。但是，本公开实施例不限制于此，也可以将两条第二初始化信号线 V2 中的第二个第二初始化信号线 V2 形成于其他有设置位置的膜层。

上述实施例以发光单元 O 与位于第一走线金属层 SD1 的第一个第二初始化信号线 V2 电连接为例进行示意。

在上面的一些实施例中，对“8T1C”像素驱动电路的膜层结构进行了介绍，主要介绍了屏蔽层 30 遮挡驱动晶体管 T1 的第一极，可以理解的是，在另一些实施例中，当第二引线段 222 在衬底基板 10 上的正投影，与驱动晶体管 T1 的第二极在衬底基板 10 上的正投影有交叠时，也可以将屏蔽层 30 对应移动至驱动晶体管 T1 的第二极和第二引线段 222 之间。

此外，如果第二引线段 222 与驱动晶体管 T1 的栅极距离较近的情况，也可以将屏蔽层 30 设置于驱动晶体管 T1 的栅极上靠近第二引线段 222 的一侧。本公开对此不做限定。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种显示面板，包括显示区，所述显示区包括中间区域和两个边缘区域，沿第一方向，所述中间区域位于两个边缘区域之间；

所述显示面板包括衬底基板和位于所述衬底基板一侧的驱动电路层；

所述驱动电路层包括：

多个像素电路单元，在所述显示区内呈多行多列排布；一个像素电路单元包括至少一个子像素驱动电路，子像素驱动电路包括驱动晶体管；

多条数据写入信号线，位于所述显示区，且沿第一方向排列、沿第二方向延伸，所述第二方向与所述第一方向交叉，一条数据写入信号线连接一系列子像素驱动电路；

多条数据引线，所述数据引线包括第一引线段和第二引线段，所述第一引线段的一端与位于所述边缘区域的一条数据写入信号线电连接，所述第一引线段的另一端与所述第二引线段的一端电连接；所述第一引线段沿第一方向延伸，所述第二引线段沿第二方向延伸，所述第二引线段位于所述中间区域；所述第二引线段在所述衬底基板上的正投影，与至少一个所述驱动晶体管的第一极在所述衬底基板上的正投影至少部分交叠；

屏蔽层，所述屏蔽层被配置为具有恒压信号；所述屏蔽层包括至少一个第一屏蔽图案，第一屏蔽图案位于所述驱动晶体管的第一极与所述第二引线段之间，且所述第一屏蔽图案在所述衬底基板上的正投影、所述驱动晶体管的第一极在所述衬底基板上的正投影，以及所述第二引线段在所述衬底基板上的正投影三者之间有交叠。

2、根据权利要求1所述的显示面板，其中，所述第一屏蔽图案在所述衬底基板上的正投影，覆盖所述驱动晶体管的第一极在所述衬底基板上的正投影。

3、根据权利要求1或2所述的显示面板，其中，沿所述第一方向，所述第二引线段和所述第一屏蔽图案位于所述驱动晶体管的栅极的同一侧。

4、根据权利要求1~3中任一项所述的显示面板，其中，所述子像素驱动电路还包括数据写入晶体管和第一复位晶体管；

所述数据写入晶体管的第一极和一条所述数据写入信号线电连接，所述数据写入晶体管的第二极和所述驱动晶体管的第一极电连接；所述第一复位晶体管的第一极和所述驱动晶体管的栅极电连接；

沿所述第二方向上，一个所述像素电路单元内一个所述子像素驱动电路中的所述第一复位晶体管位于所述数据写入晶体管远离所述驱动晶体管的一侧，且经过同一个所述像素电路单元的第一引线段的至少部分位于所述第一复位晶体管远离所述数据写入晶体管的一侧。

5、根据权利要求4所述的显示面板，其中，沿所述第一方向上，所述第一引线段包括主体部和避让部，所述避让部相对于主体部向远离所述驱动晶体管的一侧凸出；其中，所述避让部位于所述第一复位晶体管远离所述数据写入晶体管的一侧。

6、根据权利要求 1~5 中任一项所述的显示面板，其中，所述像素电路单元包括沿所述第一方向上排布的两个子像素驱动电路，所述两个子像素驱动电路分别为第一子像素驱动电路和第二子像素驱动电路；

与所述第一子像素驱动电路对应的所述第二引线段，和与所述第二子像素驱动电路对应的所述第二引线段相邻；

且第一子像素驱动电路中的第一屏蔽图案，与所述第二子像素驱动电路中的第一屏蔽图案相邻设置。

7、根据权利要求 6 所述的显示面板，其中，所述第一子像素驱动电路中的第一屏蔽图案和所述第二子像素驱动电路中的第一屏蔽图案电连接，且所述第一子像素驱动电路中的第一屏蔽图案和所述第二子像素驱动电路中的第一屏蔽图案同层设置。

8、根据权利要求 6 或 7 所述的显示面板，其中，沿所述第一方向上，所述第一子像素驱动电路和所述第二子像素驱动电路对称。

9、根据权利要求 1~8 中任一项所述的显示面板，其中，所述第一引线段在所述衬底基板上的正投影，与所述数据写入信号线在所述衬底基板上的正投影部分交叠；

所述屏蔽层还包括至少一个第二屏蔽图案，所述第二屏蔽图案位于所述第一引线段和所述数据写入信号线之间，且所述第二屏蔽图案在所述衬底基板上的正投影、所述第一引线段在所述衬底基板上的正投影，以及所述数据写入信号线在所述衬底基板上的正投影三者之间有交叠。

10、根据权利要求 1~9 中任一项所述的显示面板，其中，所述驱动电路层还包括层叠设置于所述衬底基板上的第一半导体层、第一栅金属层、第二栅金属层、第一走线金属层，和第二走线金属层；

所述驱动晶体管的第一极位于所述第一半导体层；所述第一引线段位于所述第一走线金属层，所述第二引线段位于所述第二走线金属层；

所述第一屏蔽图案位于所述第二栅金属层和/或第一走线金属层。

11、根据权利要求 1~9 中任一项所述的显示面板，其中，所述驱动电路层还包括叠层设置于所述衬底基板上的第一半导体层、第一栅金属层、第二栅金属层、第一走线金属层、第二走线金属层，和第三走线金属层；

所述驱动晶体管的第一极位于所述第一半导体层，所述第一引线段位于所述第一走线金属层，所述第二引线段位于所述第三走线金属层；

所述第一屏蔽图案位于所述第二栅金属层、第一走线金属层和所述第二走线金属层中至少一层。

12、根据权利要求 10 或 11 所述的显示面板，其中，所述驱动电路层还包括第三栅金属层，所述第三栅金属层位于所述第二栅金属层和所述第一走线金属层之间；

至少部分所述第一屏蔽图案位于所述第三栅金属层。

13、根据权利要求 10~12 中任一项所述的显示面板，其中，所述像素电路单元还包括位于所述第二走线金属层的第一电源信号线，所述第一电源信号线被配置为，向所述像素驱动电路提供恒压电源信号；其中，所述第一电源信号线和所述屏蔽层电连接。

14、根据权利要求 12 所述的显示面板，其中，所述子像素驱动电路还包括存储电容，所述存储电容的第一极板与所述驱动晶体管的栅极电连接，所述存储电容的第二极板与第一电源信号线电连接；

所述存储电容的第一极板位于所述第一栅金属层，且所述存储电容的第一极板复用为所述驱动晶体管的栅极，所述存储电容的第二极板位于所述第二栅金属层。

15、根据权利要求 14 所述的显示面板，其中，所述存储电容的第二极板包括第一分部；沿垂直所述衬底基板的方向上，所述第一分部、所述驱动晶体管的第一极和所述第二引线段有交叠，所述第一分部复用为所述第一屏蔽图案。

16、根据权利要求 14 或 15 所述的显示面板，其中，所述第一走线金属层还包括第一连接部，所述第一连接部用于电连接所述存储电容的第二极和所述第一电源信号线，所述第一连接部复用为所述第一屏蔽图案。

17、根据权利要求 14~16 中任一项所述的显示面板，其中，所述一个子像素驱动电路还包括第一发光控制晶体管，所述第一发光控制晶体管的第一极和所述驱动晶体管的第一极电连接，所述第一发光控制晶体管的第二极与第一电源信号线电连接；

所述第一走线金属层还包括第一转接部，所述第一转接部用于电连接所述第一发光控制晶体管的第二极和第一电源信号线，所述第一转接部复用为所述第一屏蔽图案。

18、根据权利要求 1~17 中任一项所述的显示面板，还包括绑定区，所述绑定区位于所述显示区的一侧，所述绑定区包括连接引线，所述数据引线的另一端与所述连接引线电连接。

19、一种显示装置，包括权利要求 1~18 中任一项所述的显示面板。