

一种控制方法、半导体存储器和电子设备

相关申请的交叉引用

本公开基于申请号为 202210307454.8、申请日为 2022 年 03 月 25 日的中国专利申请，以及申请号为 202210498332.1、申请日为 2022 年 05 月 09 日的中国专利申请提出，并要求上述两个中国专利申请的优先权，上述两个中国专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及半导体技术领域，尤其涉及一种控制方法、半导体存储器和电子设备。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，至少存在数据引脚和数据掩码引脚。其中，数据引脚具有数据写入和数据读出的双重功能，数据掩码引脚用于接收写数据的输入掩码信号，用于在写操作期间屏蔽不需要的输入数据，仅支持数据写入功能。在第 5 版内存标准（或称为 DDR5）中，一些测试模式需要对数据掩码引脚或者数据引脚的阻抗进行测试。

发明内容

本公开提供了一种控制方法、半导体存储器和电子设备，明确了预设测试模式中对数据掩码引脚的控制方法，避免电路处理错误。

第一方面，本公开实施例提供了一种控制方法，应用于半导体存储器，半导体存储器包括数据掩码引脚，且数据掩码引脚用于接收写数据的输入掩码信号；该方法包括：

在半导体存储器处于预设测试模式时，若数据掩码引脚被选中为测试对象，则通过第一模式寄存器控制数据掩码引脚的阻抗为第一阻抗参数；或者，若数据掩码引脚并非为测试对象，则通过第二模式寄存器控制数据掩码引脚的阻抗为第二阻抗参数；

其中，半导体存储器还包括至少一个数据引脚，数据引脚用于接收或输出数据，第一模式寄存器用于指示至少一个数据引脚在输出驱动状态时的阻抗为第一阻抗参数，第二模式寄存器用于指示至少一个数据引脚在终结状态时的阻抗为第二阻抗参数。

第二方面，本公开实施例提供了一种半导体存储器，半导体存储器包括第一模式寄存器、第二模式寄存器、数据掩码引脚和第一驱动电路，且第一驱动电路分别与第一模式寄存器、第二模式寄存器和数据掩码引脚连接；其中，

数据掩码引脚，配置为接收写数据的输入掩码信号；

第一驱动电路，配置为在半导体存储器处于预设测试模式时，若数据掩码引脚被选中为测试对象，则根据第一模式寄存器控制数据掩码引脚的阻抗为第一阻抗参数；或者，

若数据掩码引脚并非为测试对象，则根据第二模式寄存器控制数据掩码引脚的阻抗为第二阻抗参数；

其中，半导体存储器还包括至少一个数据引脚，数据引脚用于接收或输出数据，第一模式寄存器用于指示至少一个数据引脚在输出驱动状态时的阻抗为第一阻抗参数，第二模式寄存器用于指示至少一个数据引脚在终结状态时的阻抗为第二阻抗参数。

第三方面，本公开实施例提供了一种电子设备，该电子设备包括如第二方面所述的半导体存储器。

本公开实施例提供了一种控制方法、半导体存储器和电子设备，在半导体存储器处于预设测试模式时，允许与数据引脚相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚 DM 的阻抗，对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路，保证预设测试模式与数据掩码引脚适配，在预设测试模式下能够测试数据掩码引脚的阻抗，避免出现电路处理错误。

附图说明

- 图 1 为本公开实施例提供的一种控制方法的流程示意图；
- 图 2 为本公开实施例提供的另一种控制方法的流程示意图；
- 图 3 为本公开实施例提供的一种半导体存储器的结构示意图；
- 图 4A 为本公开实施例提供的一种半导体存储器的局部结构示意图一；
- 图 4B 为本公开实施例提供的一种半导体存储器的局部结构示意图二；

图 5 为本公开实施例提供的第一译码模块的结构示意图；
图 6 为本公开实施例提供的第一驱动电路的结构示意图；
图 7 为本公开实施例提供的第一驱动电路的详细结构示意图一；
图 8 为本公开实施例提供的第一驱动电路的详细结构示意图二；
图 9 为本公开实施例提供的第二驱动电路的结构示意图；
图 10 为本公开实施例提供的第二驱动电路的详细结构示意图一；
图 11 为本公开实施例提供的第二驱动电路的详细结构示意图二；
图 12 为本公开实施例提供的一种电子设备的组成结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

以下为本公开实施例中涉及到的专业名词解释以及部分名词的对应关系：

动态随机存取存储器（Dynamic Random Access Memory，DRAM）

同步动态随机存取存储器（Synchronous Dynamic Random Access Memory，SDRAM）

双倍数据速率内存（Double Data Rate SDRAM，DDR）

第 5 代 DDR 标准（DDR5 Specification，DDR5 SPEC）

数据引脚（DQ Pin，DQ）

数据掩码引脚（Data Mask Pin，DM）

封装后输出驱动测试模式（Package Output Driver Test Mode，PODTM）

模式寄存器（Mode Register，MR）

操作码（Operand，OP）

DDR5 SPEC 规定了一个新的测试模式，称为 PODTM，用于在芯片封装后，通过主机使能一个数据引脚 DQ 或数据掩码引脚 DM 的输出驱动电路（Output Driver），同时其他数据引脚 DQ 或数据掩码引脚 DM 处于终结状态，从而测试所使能的数据引脚 DQ 或数据掩码引脚 DM 在输出驱动状态的上拉阻抗是否符合预期。然而，由于原本并未定义数据掩码引脚 DM 的输出驱动状态，导致 PODTM 模式无法适配数据掩码引脚 DM，容易引发电路处理错误。

基于此，本公开实施例提供了一种控制方法，在半导体存储器处于预设测试模式时，允许与数据引脚 DQ 相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚 DM 的阻抗，对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路，保证预设测试模式与数据掩码引脚 DM 适配，在预设测试模式下能够测试数据掩码引脚的阻抗，避免出现电路处理错误。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 1，其示出了本公开实施例提供的一种控制方法的流程示意图。如图 1 所示，该方法可以包括：

S101：在半导体存储器处于预设测试模式时，若数据掩码引脚被选中为测试对象，则通过第一模式寄存器控制数据掩码引脚的阻抗为第一阻抗参数；或者，若数据掩码引脚并非为测试对象，则通过第二模式寄存器控制数据掩码引脚的阻抗为第二阻抗参数。

需要说明的是，本公开实施例提供的控制方法应用于半导体存储器。半导体存储器包括数据掩码引脚 DM 和至少一个数据引脚 DQ。其中，数据引脚 DQ 用于接收或输出数据，兼具写（Write）功能或者读（Read）功能，存在终结状态和输出驱动状态；数据掩码引脚 DM 用于接收写数据的输入掩码信号，仅具有 Write 功能，存在终结状态。

在本公开实施例中，预设测试模式是指 DDR5 中引入的 PODTM 模式，PODTM 模式用于在封装后测试数据掩码引脚或者至少一个数据引脚的阻抗。更具体地，PODTM 模式允许主机测试数据掩码引脚 DM 或者数据引脚 DQ 的上拉阻抗。

在数据掩码引脚 DM 被选中作为 PODTM 模式中的测试对象时，允许第一模式寄存器控制数据掩码引脚 DM 的阻抗为第一阻抗参数。在这里，由于第一模式寄存器用于指示数据引脚 DQ 在输出驱动状态的上拉（Pull-up）阻抗，所以使得主机能够测试数据掩码引脚 DM 与输出驱动相关的上

拉阻抗,而无需定义数据掩码引脚 DM 的输出驱动状态。

在数据掩码引脚 DM 并非为 PODTM 中的测试对象时,允许第二模式寄存器控制数据掩码引脚 DM 的阻抗为第二阻抗参数。在这里,由于第二模式寄存器用于指示在终结状态的阻抗,能够避免数据掩码引脚 DM 对被选中的测试对象的测试结果造成影响。

这样,在半导体存储器处于预设测试模式时,允许第一模式寄存器和第二模式寄存器直接定义数据掩码引脚 DM 的阻抗,对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路,保证预设测试模式与数据掩码引脚 DM 适配,在预设测试模式下能够测试数据掩码引脚的阻抗,避免出现电路处理错误。

在一些实施例中,该方法还包括:

在半导体存储器处于预设测试模式时,若数据引脚被选中为测试对象,则通过第一模式寄存器控制数据引脚的阻抗为第一阻抗参数;或者,若数据引脚并非为测试对象,则通过第二模式寄存器控制数据引脚的阻抗为第二阻抗参数。

这样,在数据引脚 DQ 被选中作为 PODTM 模式中的测试对象时,通过第一模式寄存器控制数据引脚 DQ 的上拉输出驱动阻抗,从而获得该数据引脚 DQ 的测试结果;在数据引脚 DQ 并非作为 PODTM 模式中的测试对象时,通过第二模式寄存器控制数据引脚 DQ 处于终结状态,避免该数据引脚 DQ 对被选中的测试对象的测试结果造成影响。

在一些实施例中,通过第三模式寄存器,确定半导体存储器进入预设测试模式且选中测试对象;或者,通过第三模式寄存器,确定半导体存储器并非进入预设测试模式。

应理解,每个模式寄存器都各自具有多个操作码位,以提供相应的控制功能。在本公开实施例中,将第一模式寄存器中与本公开实施例相关的操作码称为第一操作码,将第二模式寄存器中与本公开实施例相关的操作码称为第二操作码,将第三模式寄存器中与本公开实施例相关的操作码称为第三操作码。

也就是说,在本公开实施例中,通过第三模式寄存器中的第三操作码,确定半导体存储器是否进入 PODTM 模式,并在进入 PODTM 模式的情况下从数据掩码引脚 DM 和至少一个数据引脚 DQ 中选择测试对象;然后,通过第一模式寄存器中的第一操作码,控制被选中的测试对象的阻抗为第一阻抗参数(本质为上拉输出驱动阻抗),通过第二模式寄存器中的第二操作码,控制未选中的引脚的阻抗为第二阻抗参数(本质为终结阻抗),从而获得测试对象的阻抗测试结果。对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路,保证预设测试模式与数据掩码引脚 DM 适配,在预设测试模式下能够测试数据掩码引脚的阻抗,避免出现电路处理错误。

在一些实施例中,第一模式寄存器的标准编号为 5,第一操作码是指第一模式寄存器中存储的第 2 位~第 1 位操作码,表示为 MR5 OP[2:1];第二模式寄存器的标准编号为 34,第二操作码是指第二模式寄存器中存储的第 2 位~第 0 位操作码,表示为 MR34 OP[2:0];第三模式寄存器的标准编号为 61,第三操作码是指第三模式寄存器中存储的第 4 位~第 0 位操作码,表示为 MR61 OP[4:0]。在这里,标准编号是指 DDR5 中的模式寄存器编号。

以下结合表 1~表 3 分别对第三操作码 MR61 OP[4:0]、第一操作码 MR5 OP[2:1]和第二操作码 MR34 OP[2:0]进行具体说明。

如表 1 所示,MR61 OP[4:0]用于确定是否进入 PODTM (Package Output Driver Test Mode) 模式,并确定被选中的引脚。应理解,对于不同位的半导体存储器而言,数据掩码引脚 DM 和数据引脚 DQ 的数量是不同的。对于 4 位 (X4) 存储器,存在 1 个低位数据掩码引脚(表示为 DML)和 4 个低位数据引脚 DQ (分别称为 DQL0~DQL3);对于 8 位 (X8) 存储器而言,存在 1 个低位数据掩码引脚(表示为 DML)和 8 个低位数据引脚 DQ (分别称为 DQL0~DQL7);对于 16 位 (X16) 存储器而言,存在 1 个低位数据掩码引脚(表示为 DML)、1 个高位数据掩码引脚(表示为 DMU)、8 个低位数据引脚 DQ(分别称为 DQL0~DQL8)和 8 个高位数据引脚 DQ(分别称为 DQU0~DQU8)。

如果 MR61 OP[4:0]=00000_B,说明半导体存储器并非处于 PODTM 模式;如果 MR61 OP[4:0]的取值为表 1 中除 00000_B之外的其他组合形式,说明半导体存储器处于 PODTM 模式。具体地,如果 MR61 OP[4:0]=00001_B,说明测试对象为低位数据掩码引脚 DML,如果 MR61 OP[4:0]=00010_B,说明测试对象为高位数据掩码引脚 DMU(仅对 16 位存储器有效)。如果 MR61 OP[4:0]=10000_B,说明测试对象为第 0 位数据引脚 DQL0,其他可参照理解,不一一进行解释。

表 1

模式寄存器及操作码位	功能	参数说明
MR61 OP[4:0]	Package Output Driver Test Mode	00000 _B : Package Test Disabled(Default) 00001 _B : Package Test DML 00010 _B : Package Test DMU(X16 only) 10000 _B : Package Test DQL0 10001 _B : Package Test DQL1 10010 _B : Package Test DQL2 10011 _B : Package Test DQL3 10100 _B : Package Test DQL4 (X8 and X16 Only) 10101 _B : Package Test DQL5 (X8 and X16 Only) 10110 _B : Package Test DQL6 (X8 and X16 Only) 10111 _B : Package Test DQL7 (X8 and X16 Only) 11000 _B : Package Test DQU0 (X16 Only) 11001 _B : Package Test DQU1 (X16 Only) 11010 _B : Package Test DQU2 (X16 Only) 11011 _B : Package Test DQU3 (X16 Only) 11100 _B : Package Test DQU4 (X16 Only) 11101 _B : Package Test DQU5 (X16 Only) 11110 _B : Package Test DQU6 (X16 Only) 11111 _B : Package Test DQU7 (X16 Only)

- 如表 2 所示, MR5 OP[2:1]用于确定数据引脚 DQ 的上拉输出驱动阻抗 (Pull-up Output Driver Impedance), 所以在 PODTM 模式中通过 MR5 OP[2:1]控制被选中的引脚的阻抗为第一阻抗参数。
- 如果 MR5 OP[2:1]=00_B, 说明上拉输入驱动阻抗应当为 RZQ/7, 即 34 欧姆; 如果 MR5 OP[2:1]=01_B, 说明上拉输入驱动阻抗应当为 RZQ/6, 即 40 欧姆; 如果 MR5 OP[2:1]=10_B, 说明上拉输入驱动阻抗应当为 RZQ/5, 即 48 欧姆. 在这里, RZQ 为标准阻值 240 欧姆。

表 2

模式寄存器及操作码位	功能	参数说明
MR5 OP[2:1]	Pull-up Output Driver Impedance	00 _B : RZQ/7(34) 01 _B : RZQ/6(40) 10 _B : RZQ/5(48)

- 如表 3 所示, MR34 OP[2:0] 用于确定数据引脚 DQ 或者数据掩码引脚 DM 的终结阻抗 (RTT_PARK), 所以在 PODTM 模式中通过 MR34 OP[2:0]控制未选中的引脚的阻抗为第二阻抗参数。
- 如果 MR5 OP[2:0]=001_B, 说明终结阻抗为 RZQ, 即 240 欧姆; 如果 MR5 OP[2:0]=010_B, 说明终结阻抗为 RZQ/2, 即 120 欧姆, 其他可参照理解, 不一一进行解释。

表 3

模式寄存器及操作码位	功能	参数说明
MR34 OP[2:0]	RTT_PARK	000 _B : RTT_OFF default 001 _B : RZQ (240) 010 _B : RZQ/2(120) 011 _B : RZQ/3(80) 100 _B : RZQ/4(60) 101 _B : RZQ/5(48) 110 _B : RZQ/6(40) 111 _B : RZQ/7(34)

- 另外, 表 1~表 3 中未经解释的部分皆可参照 DDR5 SPEC 进行理解。
- 从以上可以看出, 在 DRAM 处于 PODTM 模式时, 允许主机 (Host) 单独开启 DRAM 中单个引脚的输出驱动电路, 同时控制其他引脚处于终结状态, 从而对封装后的 DRAM 进行特性测试。为了开启 PODTM 模式, 主机通过设置 MR61.OP[4:0]来选择数据掩码引脚 DM 或数据引脚 DQ 成为目

标测试对象,主机还通过设置 MR5 OP[2:1]=00_B 控制目标测试对象的输出驱动电路的上拉阻抗值为 34 欧姆,同时 DRAM 中其余的数据掩码引脚 DM 或者数据引脚 DQ 的阻抗状态由 MR34 OP[2:0]来定义为 RTT_PARK。请注意,数据掩码引脚 DM 是否使能由 MR5 OP[5]定义。另外,若数据掩码引脚 DM 被选择作为 PODTM 模式中的目标测试对象,则 DRAM 应当根据 MR5 OP[2:1]设置数据掩码引脚 DM 的阻抗。

为了实现以上机制,以下示例性的提供具体的信号处理方法。

如图 2 所示,在一些实施例,在确定半导体存储器进入预设测试模式的情况下,该方法还包括:

S201: 获取第一模式寄存器中的第一操作码、第二模式寄存器中的第二操作码以及第三模式寄存器中的第三操作码。

S202: 对第三操作码进行译码处理,得到第一测试标志信号;其中,第一测试标志信号指示数据掩码引脚是否为测试对象。

S203: 根据第一测试标志信号,选择第一操作码和第二操作码的其中之一控制数据掩码引脚的阻抗。

在一些实施例,在确定半导体存储器进入预设测试模式的情况下,在步骤 S201 之后,该方法还包括:

S204: 对第三操作码进行译码处理,得到至少一个第二测试标志信号;其中,一个第二测试标志信号指示一个数据引脚是否为测试对象。

S205: 根据第二测试标志信号,选择第一操作码和第二操作码的其中之一控制对应的数据引脚的阻抗。

应理解,步骤 S202 和步骤 S204 的执行顺序并无先后之分,同时,步骤 S203 在步骤 S202 之后执行,步骤 S205 在步骤 S204 之后执行。

需要说明的是,第一测试标志信号是针对数据掩码引脚 DM 引入的内部标志信号,以指示数据掩码引脚 DM 是否为 PODTM 模式中的测试对象;第二测试标志信号是针对数据引脚 DQ 引入的内部标志信号,以指示数据引脚 DQ 是否为 PODTM 模式中的测试对象。第一测试标志信号和第二测试标志信号均是根据 MR61 OP[4:0]译码得到,具体参见前述的表 1。

在一些实施例,对于数据掩码引脚 DM,该方法还包括:

确定第一非测试态控制信号和第二阻抗控制信号;

在半导体存储器处于预设测试模式时,根据第一测试标志信号,基于第一操作码和第二操作码的其中之一确定第一阻抗控制信号;或者,在半导体存储器并非处于预设测试模式时,基于第一非测试态控制信号确定第一阻抗控制信号;

根据半导体存储器的工作状态,选择第一阻抗控制信号和第二阻抗控制信号之一控制数据掩码引脚的阻抗。

需要说明的是,虽然数据掩码引脚 DM 和数据引脚 DQ 的功能有所区别,但是为了便于工业制造,数据掩码引脚 DM 和数据引脚 DQ 均采用相似的信号控制原理和电路结构。具体地,每个引脚均可视为具有读相关属性和写相关属性,每个引脚最终的阻抗是由读相关属性对应的信号和写相关属性对应的信号两者中的有效信号进行控制,以使得每个引脚在不同的工作场景下分别支持读功能(Read 功能)和写功能(Write 功能)(虽然 DM 的读功能并不启用)。

在一种情况下,第一非测试态控制信号用于指示数据掩码引脚在除预设测试状态之外的阻抗,第二阻抗控制信号用于指示数据引脚在输出驱动状态的阻抗。在这里,数据掩码引脚在除预设测试状态之外的阻抗可以包括正常写入时的阻抗和非读非写时的阻抗,均属于写相关属性。

此时,第一非测试态控制信号可以理解为写相关属性对应的信号,第二阻抗控制信号可以理解为读相关属性对应的信号。这样,在 PODTM 模式中,根据第一操作码或者第二操作码之一确定 PODTM 模式对应的第一阻抗控制信号;或者在非 PODTM 模式中,根据第一非测试态控制信号确定写相关属性对应的第一阻抗控制信号;然后,根据半导体存储器的工作状态,利用 PODTM 模式或写相关属性对应的第一阻抗控制信号或者读相关属性对应的第二阻抗控制信号控制数据掩码引脚的阻抗。具体来说,半导体存储器的工作状态可以包括写状态、读状态、非读非写状态和预设测试模式(PODTM 模式)。其中,(1)在半导体存储器处于写状态或者非读非写状态或者预设测试模式时,利用第一阻抗控制信号控制数据掩码引脚的阻抗;(2)在半导体存储器处于读状态时,利用第二阻抗控制信号控制数据掩码引脚的阻抗。

这样,通过将数据掩码引脚 DM 在 PODTM 模式中的信号控制策略合并到写相关属性的信号控制策略中,实现 PODTM 模式的阻抗控制。

在另一种情况下,第一非测试态控制信号用于指示数据引脚在输出驱动状态的阻抗,第二阻抗控制信号用于指示数据掩码引脚在除预设测试状态之外的阻抗。

此时,第一非测试态控制信号可以理解为读相关属性对应的信号,第二阻抗控制信号可以理解为写相关属性对应的信号。这样,在 PODTM 模式中,根据第一操作码或者第二操作码之一确定 PODTM 模式对应的第一阻抗控制信号;或者在非 PODTM 模式中,根据第一非测试态控制信号确定读相关属性对应的第一阻抗控制信号;然后,根据半导体存储器的工作状态,利用 PODTM 模式

或读相关属性对应的第一阻抗控制信号或者写相关属性对应的第二阻抗控制信号控制数据掩码引脚的阻抗。具体来说,半导体存储器的工作状态可以包括写状态、读状态、非读非写状态和预设测试模式(PODTM模式)。其中,(1)在半导体存储器处于写状态或者非读非写状态时,利用第二阻抗控制信号控制数据掩码引脚的阻抗;(2)在半导体存储器处于读状态或者预设测试模式时,利用第一阻抗控制信号控制数据掩码引脚的阻抗。

这样,通过将数据掩码引脚 DM 在 PODTM 模式中的信号控制策略合并到读属性相关的信号控制策略中,实现 PODTM 模式的阻抗控制。

类似地,以下示例性的提供数据引脚 DQ 的具体信号控制方式。

在一些实施例中,对于数据引脚 DQ,该方法还包括:

10 确定第三非测试态控制信号、第四阻抗控制信号和第五阻抗控制信号;

在半导体存储器处于预设测试模式时,根据第二测试标志信号,基于第一操作码和第二操作码的其中之一确定第三阻抗控制信号;或者,在半导体存储器并非处于预设测试模式时,基于第三非测试态控制信号确定第三阻抗控制信号;

15 根据半导体存储器的工作状态,选择第三阻抗控制信号和第五阻抗控制信号控制数据引脚的阻抗,或者,选择第四阻抗控制信号和第五阻抗控制信号控制数据引脚的阻抗。

因此,在一种情况下,第三非测试态控制信号用于指示对应的数据引脚在终结状态的阻抗,第四阻抗控制信号和第五阻抗控制信号共同用于指示对应的数据引脚在输出驱动状态的阻抗。具体来说,半导体存储器的工作状态可以包括写状态、读状态、非读非写状态和预设测试模式(PODTM模式)。其中,(1)在半导体存储器处于写状态或者非读非写状态或者预设测试模式时,利用第三阻抗控制信号和第五阻抗信号控制数据引脚的阻抗;(2)在半导体存储器处于读状态时,利用第四阻抗控制信号和第五阻抗控制信号控制数据引脚的阻抗。

这样,通过将数据引脚在 PODTM 模式中的信号控制策略合并到写相关属性的信号控制策略中,实现 PODTM 模式的阻抗控制。

25 在另一种情况下,在第三非测试态控制信号和第五阻抗控制信号共同用于指示对应的数据引脚在输出驱动状态的阻抗,第四阻抗控制信号用于指示对应的数据引脚在终结状态的阻抗。具体来说,半导体存储器的工作状态可以包括写状态、读状态、非读非写状态和预设测试模式(PODTM模式)。其中,(1)在半导体存储器处于写状态或者非读非写状态时,利用第四阻抗控制信号和第五阻抗信号控制数据引脚的阻抗;(2)在半导体存储器处于读状态或者预设测试模式时,利用第三阻抗控制信号和第五阻抗控制信号控制数据引脚的阻抗。

30 这样,通过将数据引脚在 PODTM 模式中的信号控制策略合并到读属性相关的信号控制策略中,实现 PODTM 模式的阻抗控制。

应理解,Write 功能仅涉及对上拉阻抗(作为终结阻抗)进行控制,Read 功能同时涉及对上拉阻抗和下拉阻抗进行控制。由于数据掩码引脚 DM 仅启用 Write 功能而不启用 Read 功能,所以数据掩码引脚 DM 仅涉及上拉阻抗的控制信号,其下拉阻抗的控制信号会设置为固定电平信号,以关闭下拉阻抗的功能。另外,由于数据引脚 DQ 同时支持 Write 功能和 Read 功能,所以数据引脚 DQ 会涉及上拉阻抗的控制信号和下拉阻抗的控制信号。

35 所以,对于数据掩码引脚 DM 来说,其读相关属性仅涉及一种信号(第一非测试态控制信号或者第二阻抗控制信号),用于实现对上拉阻抗的控制;对于数据引脚 DQ 来说,其读相关属性涉及两种信号(第三非测试态控制信号+第五阻抗控制信号,或者,第四阻抗控制信号+第五阻抗控制信号),分别实现对上拉阻抗和下拉阻抗的控制。

40 本公开实施例提供了一种控制方法,在半导体存储器处于预设测试模式时,允许与数据引脚 DQ 相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚 DM 的阻抗,对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路,保证预设测试模式与数据掩码引脚 DM 适配,在预设测试模式下能够测试数据掩码引脚的阻抗,避免出现电路处理错误。

45 在本公开的一实施例中,参见图 3,其示出了本公开实施例提供的一种半导体存储器 30 的结构示意图。如图 3 所示,该半导体存储器 30 包括第一模式寄存器 301、第二模式寄存器 302、数据掩码引脚 310 和第一驱动电路 311,且第一驱动电路 311 分别与第一模式寄存器 301、第二模式寄存器 302 和数据掩码引脚 310 连接;其中,

50 数据掩码引脚 310,配置为接收写数据的输入掩码信号;

第一驱动电路 311,配置为在半导体存储器 30 处于预设测试模式时,若数据掩码引脚 310 被选中为测试对象,则根据第一模式寄存器 301 控制数据掩码引脚 310 的阻抗为第一阻抗参数;或者,若数据掩码引脚 310 并非为测试对象,则根据第二模式寄存器 302 控制数据掩码引脚 310 的阻抗为第二阻抗参数。

55 在这里,半导体存储器 30 还包括至少一个数据引脚,数据引脚用于接收或输出数据,第一模式寄存器 301 用于指示至少一个数据引脚在输出驱动状态时的阻抗为第一阻抗参数,第二模式寄存器 302 用于指示至少一个数据引脚在终结状态时的阻抗为第二阻抗参数。

这样,在半导体存储器 30 处于预设测试模式时,允许第一模式寄存器 301 和第二模式寄存器

302 直接定义数据掩码引脚 310 的阻抗, 对数据掩码引脚 310 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路, 保证预设测试模式与数据掩码引脚 310 适配, 在预设测试模式下能够测试数据掩码引脚的阻抗, 避免出现电路处理错误。

5 在一些实施例中, 如图 4A 所示, 半导体存储器 30 还包括至少一个第二驱动电路 321, 且每一第二驱动电路 321 与第一模式寄存器 301、第二模式寄存器 302 和一个数据引脚 320 连接; 其中,

第二驱动电路 321, 配置为在半导体存储器 30 处于预设测试模式时, 若对应的数据引脚 320 被选中为测试对象, 则通过第一模式寄存器 301 控制对应的数据引脚 320 的阻抗为第一阻抗参数; 或者, 若对应的数据引脚 320 并非为测试对象, 则通过第二模式寄存器 302 控制对应的数据引脚 320 的阻抗为第二阻抗参数。

10 应理解, 图 4A 中仅示出了一个数据引脚 320 进行示意, 半导体存储器 30 中实际存在更多的数据引脚。本公开实施例对于数据掩码引脚 310 和数据引脚 320 的数量均不作限定。

需要说明的是, 预设测试模式可以为 PODTM 模式, 允许主机测试数据掩码引脚或数据引脚的上拉阻抗。

15 在一些实施例中, 如图 4B 所示, 半导体存储器 30 还包括第三模式寄存器 303 和第一译码模块 304; 其中,

第一模式寄存器 301, 配置为存储并输出第一操作码;

第二模式寄存器 302, 配置为存储并输出第二操作码;

第三模式寄存器 303, 配置为存储并输出第三操作码; 其中, 第三操作码用于指示半导体存储器 30 是否进入预设测试模式;

20 第一译码模块 304, 配置为接收第三操作码, 对第三操作码进行译码, 输出第一测试标志信号;

其中, 第一测试标志信号用于指示数据掩码引脚 310 是否为测试对象;

第一驱动电路 311, 还配置为接收第一测试标志信号、第一操作码和第二操作码; 并在半导体存储器 30 进入预设测试模式的情况下, 根据第一测试标志信号, 选择第一操作码和第二操作码的其中之一控制数据掩码引脚 310 的阻抗。

25 在一些实施例中, 如图 4B 所示, 第一译码模块 304, 还配置为对第三操作码进行译码处理, 输出至少一个第二测试标志信号; 其中, 一个第二测试标志信号用于指示一个数据引脚是否为测试对象;

30 第二驱动电路 321, 还配置为接收对应的第二测试标志信号、第一操作码和第二操作码; 并在半导体存储器 30 进入预设测试模式的情况下, 根据第二测试标志信号, 选择第一操作码和第二操作码的其中之一控制数据引脚 320 的阻抗。

需要说明的是, 第一测试标志信号是针对数据掩码引脚 310 引入的内部标志信号, 以指示数据掩码引脚 310 是否为 PODTM 模式中的测试对象; 第二测试标志信号是针对数据引脚 320 引入的内部标志信号, 以指示数据引脚 320 是否为 PODTM 模式中的测试对象。第一测试标志信号和第二测试标志信号均是根据第三操作码译码得到。

35 这样, 在本公开实施例中, 通过第三模式寄存器中的第三操作码, 确定半导体存储器 30 是否进入 PODTM 模式, 并在进入 PODTM 模式的情况下从数据掩码引脚和至少一个数据引脚中选择测试对象; 然后, 通过第一模式寄存器中的第一操作码, 控制被选中的测试对象的阻抗为第一阻抗参数 (本质为上拉输出驱动阻抗), 通过第二模式寄存器中的第二操作码, 控制未选中的测试对象的阻抗为第二阻抗参数 (本质为终结阻抗), 从而获得测试对象的阻抗测试结果。对数据掩码引脚来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路, 保证预设测试模式与数据掩码引脚适配, 在预设测试模式下能够测试数据掩码引脚的阻抗, 避免出现电路处理错误。

40 需要说明的是, 第一模式寄存器的标准编号为 5, 第一操作码是指第一模式寄存器中存储的第 2 位~第 1 位操作码, 表示为 MR5 OP[2:1]; 第二模式寄存器的标准编号为 34, 第二操作码是指第二模式寄存器中存储的第 2 位~第 0 位操作码, 表示为 MR34 OP[2:0]; 第三模式寄存器的标准编号为 61, 第三操作码是指第三模式寄存器中存储的第 4 位~第 0 位操作码, 表示为 MR61 OP[4:0]。

45 如图 5 所示, 以 8 位 (X8) 的半导体存储器 30 为例, 第一译码模块 304 用于接收第三操作码 MR61 OP[4:0], 译码得到第一测试标志信号 PODTM_DM_EN、第二测试标志信号 PODTM_DQ0_EN~PODTM_DQ7_EN。在这里, 第二测试标志信号 PODTM_DQ0_EN~PODTM_DQ7_EN 分别用于指示数据引脚 DQL0~DQL7 是否为 PODTM 中的测试对象。应理解, 第一译码模块 304 中的逻辑电路是根据前述的表 1 进行设计的。

以下示例性的提供第一驱动电路 311 的具体结构说明。

50 在本公开实施例中, 半导体存储器 30, 还配置为确定第一非测试态控制信号、第二阻抗控制信号和第一校准信号 ZQ1_CODE[N-1:0]。

如图 6 所示, 第一驱动电路 311 可以包括:

55 第一信号处理模块 41, 配置为接收第一测试标志信号 PODTM_DM_EN、第一操作码 MR5 OP[2:1]、第二操作码 MR34 OP[2:0]和第一非测试态控制信号; 并在半导体存储器 30 处于预设测试模式时, 根据第一测试标志信号 PODTM_DM_EN, 基于第一操作码 MR5 OP[2:1]和第二操作码 MR34 OP[2:0]的其中之一输出第一阻抗控制信号; 或者, 在半导体存储器 30 并非处于预设测试模式时,

基于第一非测试态控制信号输出第一阻抗控制信号。

第一逻辑模块 42, 配置为接收第一阻抗控制信号、第二阻抗控制信号和第一校准信号 ZQ1_CODE[N-1:0]; 并对第一阻抗控制信号、第二阻抗控制信号和第一校准信号 ZQ1_CODE[N-1:0] 进行选择 and 逻辑组合, 输出第一目标信号 PU1_MAIN_CODE;

第一驱动模块 43, 包括多个第一阻抗单元, 配置为接收第一目标信号 PU1_MAIN_CODE, 利用第一目标信号 PU1_MAIN_CODE 对多个第一阻抗单元进行控制, 以控制数据掩码引脚 310 的阻抗。

应理解, 数据掩码引脚 310 仅支持 Write 功能, 不需要向外部输出数据, 终结状态时, 仅涉及电平上拉功能而不涉及电平下拉功能, 因此第一驱动电路 311 中仅存在控制电平上拉功能的第一阻抗控制信号和第二阻抗控制信号, 不涉及控制电平下拉功能的相关信号。另外, 每个第一阻抗单元的上拉阻值均应当是标准阻值。但是, 随着实际工作环境中的温度、电压等环境参数的变化, 第一阻抗单元的阻值也会存在相应的变化。因此, 第一校准信号 ZQ1_CODE[N-1:0] 用于将每个第一阻抗单元的阻值校准到标准阻值。在这里, 所有的第一阻抗单元均共用第一校准信号 ZQ1_CODE[N-1:0]。

需要说明的是, 第一阻抗控制信号和第二阻抗控制信号分别对应两种属性, 即写相关属性和读相关属性。应理解, 在非 PODTM 模式中, 根据实际的工作状态, 第一阻抗控制信号和第二阻抗控制信号的两者之一是有效的, 其与第一校准信号 ZQ1_CODE[N-1:0] 进行组合后得到第一目标信号 PU1_MAIN_CODE; 另外, 在 PODTM 模式中, 第二阻抗控制信号是无效的, 由第一阻抗控制信号和第一校准信号 ZQ1_CODE[N-1:0] 进行组合后得到第一目标信号 PU1_MAIN_CODE。在这里, 第一阻抗控制信号和第二阻抗控制信号中的有效信号用于开启或关闭第一阻抗单元的电平上拉功能, 第一校准信号 ZQ1_CODE[N-1:0] 用于在开启第一阻抗单元的电平上拉功能时, 将该第一阻抗单元的阻值校准至标准阻值。

在一些实施例, 如图 6 所示, 第一信号处理模块 41 包括:

第二译码模块 411, 配置为接收第一操作码 MR5 OP[2:1], 并对第一操作码 MR5 OP[2:1] 进行译码, 输出第一译码信号 RONpu_CODE[M: 0];

第三译码模块 412, 配置为接收第二操作码 MR34 OP[2:0], 并对第二操作码 MR34 OP[2:0] 进行译码, 输出第二译码信号 RTT_CODE[M:0];

第一选择模块 413, 配置为接收第一测试标志信号 PODTM_DM_EN、第一译码信号 RONpu_CODE[M: 0] 和第二译码信号 RTT_CODE[M:0]; 并根据第一测试标志信号 PODTM_DM_EN, 选择第一译码信号 RONpu_CODE[M: 0] 和第二译码信号 RTT_CODE[M:0] 的其中之一输出第一测试态控制信号;

第二选择模块 414, 配置为接收测试使能信号 PODTM_EN、第一测试态控制信号和第一非测试态控制信号; 并根据测试使能信号 PODTM_EN, 选择第一测试态控制信号和第一非测试态控制信号的其中之一输出第一阻抗控制信号。

应理解, 第二译码模块 411 中的逻辑电路是根据前述的表 2 进行设计的, 即第一译码信号用于表征驱动阻抗 Ron 的阻值 (第一阻抗参数), 第三译码模块 412 中的逻辑电路是根据前述的表 3 进行设计的, 即第二译码信号用于表征终结阻抗 RTT 的阻值 (第二阻抗参数)。另外, M 为正整数, 其具体取值需要根据实际工作场景进行确定。

需要说明的是, 测试使能信号 PODTM_EN 用于指示半导体存储器是否处于预设测试模式 PODTM, 其同样根据第三控制码 MR61 OP[4:0] 进行译码, 如前述的表 1, 在 MR61 OP[4:0] 的取值为表 1 中除 00000B 之外的其他组合形式时, 说明示半导体存储器处于预设测试模式 PODTM, 则测试使能信号 PODTM_EN 处于第一电平状态 (例如逻辑 “1”); 在 MR61 OP[4:0]=00000B 时, 说明示半导体存储器并非处于预设测试模式 PODTM, 则测试使能信号 PODTM_EN 处于第二电平状态 (例如逻辑 “0”)。或者, 也可以理解为, 若第一测试标志信号或者第二测试标志信号中存在一个信号处于第一电平状态, 则测试使能信号 PODTM_EN 处于第一电平状态, 若第一测试标志信号和第二测试标志信号均处于第二电平状态, 则测试使能信号 PODTM_EN 处于第二电平状态。

对于图 6 所示的第一驱动电路 311, 根据第一非测试态控制信号和第二阻抗控制信号的定义不同, 可以存在两种具体的实施方式。

在一种实施方式中, 第一非测试态控制信号用于指示数据掩码引脚在除预设测试状态之外的阻抗, 第二阻抗控制信号用于指示数据引脚在输出驱动状态的阻抗。也就是说, 通过将数据掩码引脚在 PODTM 模式中的信号控制策略合并到写相关属性的信号控制策略中, 以实现 PODTM 模式的阻抗控制。

相应的, 如图 7 所示, 第一阻抗控制信号用 ODT_MUX[M:0] 表示, 第二阻抗控制信号用 IMPpu_CODE[M: 0] 表示。特别地, 相比于图 6, 图 7 中的第一驱动电路 311 还包括第一预处理模块 44 和第二预处理模块 45, 第一预处理模块 44 用于对第一操作码 MR5 OP[2:1] 进行译码得到第二阻抗控制信号 IMPpu_CODE[M: 0], 第二预处理模块 45 用于根据涉及 RTT_WR 的 MR34[5:3]、涉及 RTT_NOM_WR 的 MR35[2:0]、涉及 RTT_NOM_RD 的 MR35[5:3]、涉及 RTT_PARK 的 MR34[2:0]、涉及 DQS_RTT_PARK 的 MR33[5:3] 确定第一非测试态控制信号, 以上信号的具体含义请参见 DDR5 SPEC 的规定, 且该部分信号不影响不公开实施例的实施, 因此不作赘述。另外, 在后续说明中, 如果半导体存储器 30 处于 PODTM 模式, 则测试使能信号 PODTM_EN 为逻辑 “1”, 如果半导体存

存储器 30 并非处于 PODTM 模式, 则测试使能信号 PODTM_EN 为逻辑“0”; 若数据掩码引脚 310 为 PODTM 模式的测试对象, 则第一测试标志信号 PODTM_DM_EN 为逻辑“1”, 若数据掩码引脚 310 并非为 PODTM 模式的测试对象, 则第一测试标志信号 PODTM_DM_EN 为逻辑“0”。

以下分为三种工作场景对图 7 的工作原理进行说明。

5 工作场景一: 半导体存储器 30 进入 PODTM 模式且数据掩码引脚 310 为测试对象。此时, 由于第一测试标志信号 PODTM_DM_EN 为逻辑“1”, 第一选择模块 413 将第一译码信号 RONpu_CODE[M: 0]进行输出, 得到第一测试态控制信号; 由于测试使能信号 PODTM_EN 为逻辑“1”, 第二选择模块 414 将第一选择模块 413 确定的第一测试态控制信号进行输出, 得到第一阻抗控制信号 ODT_MUX[M:0]。如前述, PODTM 模式中的第二阻抗控制信号 IMPpu_CODE[M:0]是无效的, 所以第一逻辑模块 42 实际上会将第一阻抗控制信号 ODT_MUX[M:0]和第一校准信号 ZQ1_CODE[N-1:0]进行逻辑组合得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。在这里, 第二阻抗控制信号 IMPpu_CODE[M:0]的无效可以通过至少两种方式实现: 在第一预处理模块 44 中增加相应的信号阻断逻辑, 或者第一逻辑模块 42 中增加相应的信号阻断逻辑。

15 从以上可以看出, 对于工作场景一, 数据掩码引脚 310 的阻抗实际上是由第一操作码 MR5 OP[2:1]控制的。

工作场景二: 半导体存储器 30 进入 PODTM 模式且数据掩码引脚 310 并非为测试对象。此时, 由于第一测试标志信号 PODTM_DM_EN 为逻辑“0”, 第一选择模块 413 将第二译码信号 RTT_CODE[M: 0]进行输出, 得到第一测试态控制信号; 由于测试使能信号 PODTM_EN 为逻辑“1”, 第二选择模块 414 将第一选择模块 413 确定的第一测试态控制信号进行输出, 得到第一阻抗控制信号 ODT_MUX[M:0]。如前述, PODTM 模式中的第二阻抗控制信号 IMPpu_CODE[M:0]是无效的, 所以第一逻辑模块 42 实际上将第一阻抗控制信号 ODT_MUX[M:0]和第一校准信号 ZQ1_CODE[N-1:0]进行逻辑组合得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。

25 从以上可以看出, 对于工作场景二, 数据掩码引脚 310 的阻抗实际上是由第二操作码 MR34 OP[2:0]控制的。

工作场景三: 半导体存储器 30 未进入 PODTM 模式。此时, 由于测试使能信号 PODTM_EN 为逻辑“0”, 第二选择模块 414 将第二预处理模块 45 确定的第一非测试态控制信号进行输出, 得到第一阻抗控制信号 ODT_MUX[M:0]; 同时第一预处理模块 44 输出第二阻抗控制信号 IMPpu_CODE[M:0]。由于数据掩码引脚 310 仅支持 Write 功能, 非 PODTM 模式中的第二阻抗控制信号 IMPpu_CODE[M:0]无效且第一阻抗控制信号 ODT_MUX[M:0]有效, 所以第一逻辑模块 42 将第一阻抗控制信号 ODT_MUX[M:0]与第一校准信号 ZQ1_CODE[N-1:0]进行组合后得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。

30 从以上可以看出, 对于工作场景三, 数据掩码引脚 310 的阻抗是由第二预处理模块 45 控制的, 具体取决于实际工作状态。

35 在另一种实施方式中, 第一非测试态控制信号用于指示数据引脚在输出驱动状态的阻抗, 第二阻抗控制信号用于指示数据掩码引脚在除预设测试状态之外的阻抗。也就是说, 通过将数据掩码引脚在 PODTM 模式中的信号控制策略合并到读相关属性的信号控制策略中, 以实现 PODTM 模式的阻抗控制。

40 相应的, 如图 8 所示, 第一阻抗控制信号用 IMPpu_CODE[M: 0]表示, 第二阻抗控制信号用 ODT_CTRL[M:0]表示。特别地, 相比于图 6, 图 8 中的半导体存储器 30 也包括第一预处理模块 44 和第二预处理模块 45, 第一预处理模块 44 用于对第一操作码 MR5 OP[2:1]进行译码得到第一非测试态控制信号, 第二预处理模块 45 用于根据涉及 RTT_WR MR34[5:3]、涉及 RTT_NOM_WR 的 MR35[2:0]、涉及 RTT_NOM_RD 的 MR35[5:3]、涉及 RTT_PARK 的 MR34[2:0]、涉及 DQS_RTT_PARK 的 MR33[5:3]确定第二阻抗控制信号。

45 类似地, 以下分为三种工作场景对图 8 的工作原理进行说明。

工作场景一: 半导体存储器 30 进入 PODTM 模式且数据掩码引脚 310 为测试对象。此时, 由于第一测试标志信号 PODTM_DM_EN 为逻辑“1”, 第一选择模块 413 将第一译码信号 RONpu_CODE[M: 0]进行输出, 得到第一测试态控制信号; 由于测试使能信号 PODTM_EN 为逻辑“1”, 第二选择模块 414 将第一选择模块 413 确定的第一测试态控制信号进行输出, 得到第一阻抗控制信号 IMPpu_CODE[M: 0]。如前述, PODTM 模式中的第二阻抗控制信号 ODT_CTRL[M:0]是无效的, 所以第一逻辑模块 42 实际上会将第一阻抗控制信号 IMPpu_CODE[M:0]和第一校准信号 ZQ1_CODE[N-1:0]进行逻辑组合得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。

55 这样, 对于工作场景一, 数据掩码引脚 310 的阻抗仍然是由第一操作码 MR5 OP[2:1]控制的。

工作场景二: 半导体存储器 30 进入 PODTM 模式且数据掩码引脚 310 并非为测试对象。此时, 由于第一测试标志信号 PODTM_DM_EN 为逻辑“0”, 第一选择模块 413 将第二译码信号 RTT_CODE[M: 0]进行输出, 得到第一测试态控制信号; 由于测试使能信号 PODTM_EN 为逻辑“1”, 第二选择模块 414 将第一选择模块 413 确定的第一测试态控制信号进行输出, 得到第一阻抗控制信

号 IMPpu_CODE[M: 0]。如前述, PODTM 模式中的第二阻抗控制信号 ODT_CTRL 是无效的, 所以第一逻辑模块 42 实际上会将第一阻抗控制信号 IMPpu_CODE[M: 0]和第一校准信号 ZQ1_CODE[N-1:0]进行逻辑组合得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。

5 这样, 对于工作场景二, 数据掩码引脚 310 的阻抗仍然是由第二操作码 MR34 OP[2:0]控制的。

工作场景三: 半导体存储器 30 未进入 PODTM 模式。此时, 由于测试使能信号 PODTM_EN 为逻辑“0”, 第二选择模块 414 将第一预处理模块 44 确定的第一非测试态控制信号进行输出, 得到第一阻抗控制信号 IMPpu_CODE[M: 0]。同时第二预处理模块 45 输出第二阻抗控制信号 ODT_CTRL[M:0]。如前述, 由于数据掩码引脚 DM 仅支持 Write 功能, 非 PODTM 模式中的第一阻抗控制信号 IMPpu_CODE[M:0]无效且第二阻抗控制信号 ODT_CTRL[M:0]有效, 所以第一逻辑模块 42 将第二阻抗控制信号 ODT_CTRL[M:0]与第一校准信号 ZQ1_CODE[N-1:0]进行组合后得到第一目标信号 PU1_MAIN_CODE, 进而控制数据掩码引脚 310 的阻抗。

10 这样, 对于工作场景三, 数据掩码引脚 310 的阻抗也是由第二预处理模块 45 控制的, 具体取决于实际工作状态。

15 还需要说明的是, 在图 7 和图 8 中, 信号通路上标记有“f”符号用于表示此处实际存在多条信号通路, 仅画出一条进行示意。换句话说, MR34 OP[2:0]、MR5 OP[2:1]、RONpu_CODE[M: 0]、RTT_CODE[M: 0]、IMPpu_CODE[M: 0]、ZQ1_CODE[N-1:0]、ODT_CTRL[M: 0]、ODT_MUX[M: 0]、PU1_MAIN_CODE 中的每一信号均包含多个子信号, 每个子信号均有各自的信号通路。

以下结合图 7 或图 8 对第一驱动电路 311 中的信号处理过程进行说明。

20 在一些实施例中, 如图 7 或者图 8 所示, 第一译码信号 RONpu_CODE[M: 0]、第二译码信号 RTT_CODE[M:0]、第一测试态控制信号、第一非测试态控制信号和第一阻抗控制信号均包括 (M+1) 位信号, 表示为 [M:0], 第一选择模块 413 包括 (M+1) 个第一数据选择器, 第二选择模块 414 包括 (M+1) 个第二数据选择器; 其中, 一个第一数据选择器的输入端分别接收第一译码信号 RONpu_CODE[M: 0]的一位子信号和第二译码信号 RTT_CODE[M:0]的一位子信号, 一个第一数据选择器的输出端用于输出第一测试态控制信号的一位子信号, 所有的第一数据选择器的控制端均接收第一测试标志信号 PODTM_DM_EN; 一个第二数据选择器的输入端接收第一测试态控制信号的一位子信号和第一非测试态控制信号的一位子信号, 一个第二数据选择器的输出端用于输出第一阻抗控制信号的一位子信号, 所有的第二数据选择器的控制端均接收测试使能信号 PODTM_EN; 其中, M 为正整数。

30 需要说明的是, 第一测试态控制信号表示为第一测试态控制信号 [M:0], 第一非测试态控制信号表示为第一非测试态控制信号 [M:0], 第一阻抗控制信号表示为第一阻抗控制信号 [M:0]。这样, 第 1 个第一数据选择器分别接收 RONpu_CODE[0]、RTT_CODE[0]和 PODTM_DM_EN, 并根据 PODTM_DM_EN 选择 RONpu_CODE[0]和 RTT_CODE[0]的其中之一输出第一测试态控制信号 [0], 第 1 个第二数据选择器分别接收第一测试态控制信号 [0]、第一非测试态控制信号 [0]和 PODTM_EN, 并根据 PODTM_EN 选择第一测试态控制信号 [0]和第一非测试态控制信号 [0]的其中之一输出第一阻抗控制信号 [0], 其他可进行参照理解。

35 在一些实施例中, 第二阻抗控制信号包括 (M+1) 位信号, 第一校准信号 ZQ1_CODE[N-1:0]包括 N 位信号。第一目标信号包括 A 组子信号, 且每组子信号包括 N 位信号, 第一目标信号中的第 1 组信号表示为 PU1_MAIN_CODE_1[N-1:0], 第一目标信号中的第 2 组信号表示为 PU1_MAIN_CODE_2[N-1:0].....第一目标信号中的第 A 组信号表示为 PU1_MAIN_CODE_A[N-1:0]。

40 第一驱动模块 43 包括 A 个第一阻抗单元, 且每个第一阻抗单元用于接收第一目标信号 PU1_MAIN_CODE 中的一组子信号; 其中, 如图 7 或者图 8 所示, 第一逻辑模块 42, 具体配置为根据第一阻抗控制信号和第二阻抗控制信号, 确定至少一个第一阻抗单元的电平上拉功能是否被启用; 以及, 在启用第 a 个第一阻抗单元的电平上拉功能情况下, 根据第一校准信号确定第一目标信号 PU1_MAIN_CODE 中的第 a 组子信号的电平状态, 以控制第 a 个第一阻抗单元的阻值为标准阻值; 或者, 在不启用第 a 个第一阻抗单元的电平上拉功能情况下, 确定第一目标信号 PU1_MAIN_CODE 中的第 a 组子信号均处于第一电平状态; 其中, a、N、A 均为整数, a 小于或等于 A, (M+1) 小于或等于 A。

45 应理解, 多个第一阻抗单元处于并联状态, 且每个第一阻抗单元可以提供标准阻值 RZQ。这样, 如果数据掩码引脚 310 的上拉阻抗需要调整为 RZQ/2, 则开启 2 个第一阻抗单元的电平上拉功能, 关闭其余的第一阻抗单元的电平上拉功能; 如果数据掩码引脚 310 的上拉阻抗需要调整为 RZQ/3, 则启用 3 个第一阻抗单元的电平上拉功能, 关闭其余的第一阻抗单元的电平上拉功能, 其他情况请参照理解。

50 应理解, 对于第一逻辑模块 42 来说, 第一阻抗控制信号和第二阻抗控制信号两者之中仅存在一个有效信号。在 $M+1 \leq A$ 的情况下, 该有效信号中的一位子信号控制一个或者多个第一阻抗单元的电平上拉功能是否被启用。

55 示例性地, 在 $M+1=A=7$ 的情况下, 假设第一阻抗控制信号和第二阻抗控制信号两者之中的有效信号为 IMPpu_CODE[6:0], 那么 IMPpu_CODE[0]控制第 1 个第一阻抗单元、IMPpu_CODE[1]控

制第 2 个第一阻抗单元 ... IMPpu_CODE[6] 控制第 7 个第一阻抗单元。具体地, 假设 IMPpu_CODE[6:0]=1111111, 第一目标信号中的每组子信号 (共 7 组) 的电平值均与第一校准信号的电平值是对应相同的, 以使得 7 个第一阻抗单元的上拉阻值均为 RZQ, 从而数据掩码引脚 310 的上拉阻抗为 RZQ/7; 假设 IMPpu_CODE[6:0]=1111000, 第一目标信号中第 1 组子信号~第 3 组子信号各自的电平值均为第一电平状态, 且第 4 组子信号~第 7 组子信号中每组子信号的电平值均与第一校准信号的电平值是对应相同的, 以使得第 1 个第一阻抗单元~第 3 个第一阻抗单元均为断开状态, 且第 4 个第一阻抗单元~第 7 个第一阻抗单元的上拉阻值均为 RZQ, 从而数据掩码引脚 310 的上拉阻抗为 RZQ/4。其他情况可参照理解。

示例性地, 在 $M+1=4$, $A=7$ 的情况下, 假设第一阻抗控制信号和第二阻抗控制信号两者之中的有效信号为 IMPpu_CODE[3:0], IMPpu_CODE[0] 控制第 1 个第一阻抗单元、IMPpu_CODE[1] 控制第 2 个第一阻抗单元和第 3 个第一阻抗单元, IMPpu_CODE[2] 控制第 4 个第一阻抗单元和第 5 个第一阻抗单元, IMPpu_CODE[3] 控制第 6 个第一阻抗单元和第 7 个第一阻抗单元。具体地, 假设 IMPpu_CODE[3:0]=1111, 第一目标信号中的每组子信号的电平值均与第一校准信号的电平值是相同的, 以使得 7 个第一阻抗单元的上拉阻值为 RZQ, 从而数据掩码引脚 310 的上拉阻抗为 RZQ/7; 假设 IMPpu_CODE[3:0]=1100, 第一目标信号中第 1 组子信号~第 3 组子信号各自的电平值均为第一电平状态, 且第 4 组子信号~第 7 组子信号中每组子信号的电平值均与第一校准信号的电平值是对应相同的, 以使得第 1 个第一阻抗单元~第 3 个第一阻抗单元均为断开状态, 且第 4 个第一阻抗单元~第 7 个第一阻抗单元的上拉阻值均为 RZQ, 从而数据掩码引脚 310 的上拉阻抗为 RZQ/4。其他情况可参照理解。

在此基础上, 如果启用某个第一阻抗单元的电平上拉功能, 则利用第一校准信号将该第一阻抗单元的上拉阻值校准到标准阻值; 反之, 如果不启用该第一阻抗单元的电平上拉功能, 则利用处于第一电平状态的固定信号断开第一阻抗单元的相关电路。

在一些实施例, 如图 7 或者图 8 所示, 每个第一阻抗单元均包括 N 个第一开关管 (例如如图 7 或者图 8 中的第一开关管 431)、N 个第二开关管 (例如如图 7 或者图 8 中的第二开关管 432) 和 2N 个第一电阻 (例如如图 7 或者图 8 中的第一电阻 433), 第 a 个第一阻抗单元中第 n 个第一开关管的控制端与第一目标信号中的第 a 组子信号中的第 n 个子信号连接, 一个第一开关管的第一端与一个第一电阻的第一端连接, 一个第一开关管的第二端与一个电源信号连接; 一个第二开关管的控制端与地信号 VSS 连接, 一个第二开关管的第一端与地信号 VSS 连接, 一个第二开关管的第二端与一个第一电阻的第一端连接, 2N 个第一电阻的第二端均与数据掩码引脚连接。n 小于或等于 N。特别地, 第二开关管的控制端所连接的信号需要根据具体的电路逻辑确定, 主要用于控制第二开关管处于不导通状态。

需要说明的是, 在图 7 或者图 8 中, 以第 1 个第一阻抗单元为例, 第 1 个第一阻抗单元用于接收第一目标信号中的第一组子信号 PU1_MAIN_CODE_1[N-1:0], 且 PU1_MAIN_CODE_1[N-1:0] 包括 PU1_MAIN_CODE_1[0]、PU1_MAIN_CODE_1[1]、...、PU1_MAIN_CODE_1[N-1] 这 N 个子信号, 每一个子信号用于对应控制一个第一开关管的工作状态, 以控制该第一阻抗单元以标准阻值执行电平上拉功能或者不执行电平上拉功能。

另外, 在图 7 或者图 8 中, 第 1 个第一阻抗单元示出了 3 个第一开关管 (仅对一个第一开关管 431 进行了标号)、3 个第二开关管 (仅对一个第二开关管 432 进行了标号) 和 6 个第一电阻 (仅对一个第一电阻 433 进行了标号), 但实际场景中, 第一开关管/第二开关管/第一电阻的数量均可以更多或者更少。

应理解, 数据掩码引脚 310 仅支持数据写入功能, 提供终结阻抗, 所以不需要执行电平下拉功能。因此, 所有的第二开关管的第一端均接地信号 VSS, 相当于所有的第二开关管均不导通。

以下示例性的提供第二驱动电路 321 的具体结构说明。应理解, 第二驱动电路 321 中的某些信号和第一驱动电路 311 中的某些信号虽然名称不同, 但信号的来源和波形基本相同, 因此采用了相同的英文名称。

在本公开实施例中, 半导体存储器 30, 还配置为确定第三非测试态控制信号、第四阻抗控制信号、第五阻抗控制信号、第二校准信号 ZQ2_CODE[N-1:0] 和第三校准信号 ZQ3_CODE[N-1:0]。

如图 9 所示, 第二驱动电路 321 可以包括:

第二信号处理模块 51, 配置为接收第二测试标志信号 PODTM_DQ_EN (例如前述的 PODTM_DQ0_EN、或 PODTM_DQ1_EN、...、或 PODTM_DQ7_EN)、第一操作码 MR5 OP[2:1]、第二操作码 MR34 OP[2:0] 和第三非测试态控制信号; 并在半导体存储器 30 处于预设测试模式时, 根据第二测试标志信号 PODTM_DQ_EN, 基于第一操作码 MR5 OP[2:1] 和第二操作码 MR34 OP[2:0] 的其中之一输出第三阻抗控制信号; 或者, 在半导体存储器 30 并非处于预设测试模式时, 基于第三非测试态控制信号输出第三阻抗控制信号;

第二逻辑模块 521, 配置为接收第三阻抗控制信号、第四阻抗控制信号和第二校准信号 ZQ2_CODE[N-1:0]; 并对第三阻抗控制信号、第四阻抗控制信号和第二校准信号 ZQ2_CODE[N-1:0] 进行选择 and 逻辑组合, 输出第二目标信号 PU2_MAIN_CODE;

第三逻辑模块 522, 配置为接收第五阻抗控制信号和第三校准信号 ZQ3_CODE[N-1:0]; 并对

第五阻抗控制信号和第三校准信号 ZQ3_CODE[N-1:0]进行逻辑组合处理, 输出第三目标信号 PD_MAIN_CODE;

第二驱动模块 53, 包括多个第二阻抗单元, 配置为接收第二目标信号 PU2_MAIN_CODE 和第三目标信号 PD_MAIN_CODE; 并利用第二目标信号 PU2_MAIN_CODE 和第三目标信号 PD_MAIN_CODE 对多个第二阻抗单元进行控制, 以控制对应的数据引脚 320 的阻抗。

需要说明的是, 每一个数据引脚 320 均对应各自的第二驱动电路 321, 本公开实施例仅以一个第二驱动电路 321 为例进行解释。

应理解, 数据引脚 320 支持 Write 功能和 Read 功能, 同时涉及电平上拉功能和电平下拉功能, 因此第二驱动电路 321 中不仅存在控制电平上拉功能的第三阻抗控制信号和第四阻抗控制信号, 还存在控制电平下拉功能的第五阻抗控制信号。

需要说明的是, 第二校准信号 ZQ2_CODE[N-1:0]用于校准上拉阻值, 即第二校准信号 ZQ2_CODE[N-1:0]用于将每个第二阻抗单元的上拉阻值校准到标准阻值。第三校准信号 ZQ3_CODE[N-1:0]用于校准下拉阻值, 即第三校准信号 ZQ3_CODE[N-1:0]用于将每个第二阻抗单元的下拉阻值校准到标准阻值。

另外, 由于第一校准信号 ZQ1_CODE[N-1:0]和第二校准信号 ZQ2_CODE[N-1:0]均用于校准上拉阻值, 在部分实施例中, 可认为第一阻抗单元和第二阻抗单元的偏差在误差允许的范围内, 因此第一校准信号 ZQ1_CODE[N-1:0]和第二校准信号 ZQ2_CODE[N-1:0]可以是相同的信号。

还需要说明的是, 对于第二驱动电路 321 来说, 通过第二逻辑模块 521 将第三阻抗控制信号和第四阻抗控制信号之中的有效信号与第二校准信号 ZQ2_CODE[N-1:0]进行组合, 形成用于控制第二阻抗单元 53 的电平上拉功能的第二目标信号 PU2_MAIN_CODE。该部分电路的电路结构和信号处理过程均可参照第一驱动电路 311 进行对应理解, 在此不作赘述。

除此之外, 第二驱动电路 321, 还通过第三逻辑模块 522 将第五阻抗控制信号与第三校准信号 ZQ3_CODE[N-1:0]进行组合, 形成用于控制第二阻抗单元 53 的电平下拉功能的第三目标信号 PD_MAIN_CODE。

在一些实施例中, 如图 9 所示, 第二信号处理模块 51 可以包括:

第四译码模块 511, 配置为接收第一操作码 MR5 OP[2:1], 并对第一操作码 MR5 OP[2:1]进行译码, 输出第三译码信号 RONpu_CODE[M: 0];

第五译码模块 512, 配置为接收第二操作码 MR34 OP[2:0], 并对第二操作码 MR34 OP[2:0]进行译码, 输出第四译码信号 RTT_CODE[M:0];

第三选择模块 513, 配置为接收第二测试标志信号 PODTM_DQ_EN、第三译码信号 RONpu_CODE[M: 0]和第四译码信号 RTT_CODE[M:0]; 并根据第二测试标志信号, 选择第三译码信号 RONpu_CODE[M: 0]和第四译码信号 RTT_CODE[M:0]的其中之一输出第三测试态控制信号;

第四选择模块 514, 配置为接收测试使能信号 PODTM_EN、第三测试态控制信号和第三非测试态控制信号; 并根据测试使能信号 PODTM_EN, 选择第三测试态控制信号和第三非测试态控制信号的其中之一输出第三阻抗控制信号; 其中, 测试使能信号 PODTM_EN 用于指示半导体存储器 30 是否处于预设测试模式。

对于图 9 所示的第二驱动电路 321, 根据第三非测试态控制信号和第四阻抗控制信号的定义不同, 可以存在两种具体的实施方式。

在一种实施例中, 第三非测试态控制信号用于指示对应的数据引脚在终结状态的阻抗, 第四阻抗控制信号和第五阻抗控制信号共同用于指示对应的数据引脚在输出驱动状态的阻抗。也就是说, 通过将数据引脚在 PODTM 模式中的信号控制策略合并到写相关属性的信号控制策略中, 以实现 PODTM 模式的阻抗控制。

相应的, 如图 10 所示, 第三阻抗控制信号用 ODT_MUX[M:0]表示, 第四阻抗控制信号用 IMPpu_CODE[M: 0]表示, 第五阻抗控制信号用 IMPpd_CODE[M: 0]表示。特别地, 相比于图 9, 图 10 中的第二驱动电路 321 还包括第三预处理模块 54 和第四预处理模块 55, 第三预处理模块 54 用于对第一操作码 MR5 OP[2:1]进行译码得到第四阻抗控制信号 IMPpu_CODE[M: 0], 第四预处理模块 55 用于根据涉及 RTT_WR 的 MR34[5:3]、涉及 RTT_NOM_WR 的 MR35[2:0]、涉及 RTT_NOM_RD 的 MR35[5:3]、涉及 RTT_PARK 的 MR34[2:0]、涉及 DQS_RTT_PARK 的 MR33[5:3]确定第三非测试态控制信号。另外, 在后续说明中, 如果半导体存储器 30 处于 PODTM 模式, 则测试使能信号 PODTM_EN 为逻辑“1”, 如果半导体存储器 30 并非处于 PODTM 模式, 则测试使能信号 PODTM_EN 为逻辑“0”; 若对应的数据引脚 320 为 PODTM 模式的测试对象, 则对应的第一测试标志信号 PODTM_DQ_EN 为逻辑“1”, 若对应的数据引脚 320 并非为 PODTM 模式的测试对象, 则对应的第一测试标志信号 PODTM_DQ_EN 为逻辑“0”。

图 10 中的第二驱动电路 321 与图 7 中的第一驱动电路 311 的工作原理大致相同, 可参照前述对图 7 的说明进行对应理解, 本公开实施例不作赘述。另外, 图 10 中的第二驱动电路 321 还多出了对电平下拉阻抗的控制部分, 即第三逻辑模块 522, 其信号处理原理请参见后续说明。应理解, 由于数据引脚 320 支持 Write 功能和 Read 功能, 所以在非 PODTM 模式下, 需要根据实际工作要求确定第三阻抗控制信号有效或者第四阻抗控制信号有效, 进而利用有效的信号与第二校准信号

ZQ2_CODE[M:0]进行逻辑组合,得到第二目标信号 PU2_MAIN_CODE。

在另一种实施例中,第三非测试态控制信号和第五阻抗控制信号共同用于指示对应的数据引脚在输出驱动状态的阻抗,第四阻抗控制信号用于指示对应的数据引脚在终结状态的阻抗。也就是说,通过将数据引脚在 PODTM 模式中的信号控制策略合并到读相关属性的信号控制策略中,以实现 PODTM 模式的阻抗控制。

相应的,如图 11 所示,第三阻抗控制信号用 IMPpu_CODE[M: 0]表示,第四阻抗控制信号用 ODT_CTRL[M:0]表示,第五阻抗控制信号用 IMPpd_CODE[M: 0]表示。特别地,相比于图 9,图 11 中的半导体存储器 30 也包括第三预处理模块 54 和第四预处理模块 55,第三预处理模块 54 用于对第一操作码 MR5 OP[2:1]进行译码得到第三非测试态控制信号,第四预处理模块 55 用于根据涉及 RTT_WR 的 MR34[5:3]、涉及 RTT_NOM_WR 的 MR35[2:0]、涉及 RTT_NOM_RD 的 MR35[5:3]、涉及 RTT_PARK 的 MR34[2:0]、涉及 DQS_RTT_PARK 的 MR33[5:3]确定第四阻抗控制信号。

图 11 中的第二驱动电路 321 与图 8 中的第一驱动电路 311 的工作原理大致相同,可参照前述对图 8 的说明进行对应理解,本公开实施例不作赘述。另外图 11 中的第二驱动电路 321 还多出了对电平下拉阻抗的控制部分,即第三逻辑模块 522,其信号处理原理请参见后续说明。

以下结合图 10 或图 11 对第二驱动电路 321 中的信号处理过程进行说明。

在一些实施例中,第三译码信号 RONpu_CODE[M: 0]、第四译码信号 RTT_CODE[M:0]、第三测试态控制信号、第三非测试态控制信号和第三阻抗控制信号均包括 (M+1) 位信号,第三选择模块 513 包括 (M+1) 个第三数据选择器,第四选择模块 514 包括 (M+1) 个第四数据选择器;其中,一个第三数据选择器的输入端接收第三译码信号 RONpu_CODE[M: 0]的一位子信号和第四译码信号 RTT_CODE[M:0]的一位子信号,一个第三数据选择器的输出端用于输出第三测试态控制信号的一位子信号,所有的第三数据选择器的控制端均接收第二测试标志信号 PODTM_DQ_EN;一个第四数据选择器的输入端接收第三测试态控制信号的一位子信号和第三非测试态控制信号的一位子信号,一个第四数据选择器的输出端用于输出第三阻抗控制信号的一位子信号,所有的第四数据选择器的控制端均接收测试使能信号 PODTM_EN。

需要说明的是,第三测试态控制信号表示为第三测试态控制信号[M:0],第三非测试态控制信号表示为第三非测试态控制信号[M:0],第三阻抗控制信号表示为第三阻抗控制信号[M:0]。这样,第 1 个第三数据选择器分别接收 RONpu_CODE[0]、RTT_CODE[0]和 PODTM_DQ_EN,并根据 PODTM_DQ_EN 选择 RONpu_CODE[0]和 RTT_CODE[0]的其中之一输出第三测试态控制信号[0],第 1 个第四数据选择器分别接收第三测试态控制信号[0]、第三非测试态控制信号[0]和 PODTM_EN,并根据 PODTM_EN 选择第三测试态控制信号[0]和第三非测试态控制信号[0]的其中之一输出第三阻抗控制信号[0],其他可进行参照理解类推。

在一些实施例中,第四阻抗控制信号包括 (M+1) 位信号,第二校准信号 ZQ2_CODE[N-1:0]和第三校准信号 ZQ3_CODE[N-1:0]均包括 N 位信号,第二目标信号 PU2_MAIN_CODE 和第三目标信号 PD_MAIN_CODE 均包括 A 组子信号,且每组子信号均包括 N 位信号。第二驱动模块 53 包括 A 个第二阻抗单元,且每个第二阻抗单元用于接收第二目标信号 PU2_MAIN_CODE 中的一组子信号和第三目标信号 PD_MAIN_CODE 中的一组子信号;其中,第二逻辑模块 521,具体配置为根据第三阻抗控制信号和第四阻抗控制信号,确定至少一个第二阻抗单元的电平上拉功能是否被启用;以及在启用第 a 个第二阻抗单元的电平上拉功能情况下,根据第二校准信号 ZQ2_CODE[N-1:0]确定第二目标信号 PU2_MAIN_CODE 中的第 a 组子信号的电平状态,以控制第 a 个第二阻抗单元的阻值为标准阻值;或者,在不启用第 a 个第二阻抗单元的电平上拉功能的情况下,确定第二目标信号 PU2_MAIN_CODE 中的第 a 组子信号均处于第一电平状态;第三逻辑模块 522,具体配置为根据第五阻抗控制信号,确定至少一个第二阻抗单元的电平下拉功能是否被启用;以及,在启用第 a 个第二阻抗单元的电平下拉功能的情况下,根据第三校准信号 ZQ3_CODE[N-1:0]确定第三目标信号 PD_MAIN_CODE 中的第 a 组子信号的电平状态,以控制第 a 个第二阻抗单元的阻值为标准阻值;或者,在不启用第 a 个第二阻抗单元的电平下拉功能的情况下,确定第三目标信号 PD_MAIN_CODE 中的第 a 组子信号均处于第二电平状态。

需要说明的是,通过第二逻辑模块 521 将第三阻抗控制信号和第四阻抗控制信号之中的有效信号与第二校准信号 ZQ2_CODE[N-1:0]进行组合,得到第二目标信号 PU2_MAIN_CODE,进而控制第二阻抗单元的电平上拉功能。第二逻辑模块 521 与第一逻辑模块 42 的结构和功能大致相同,其工作原理可参见前述对第一逻辑模块 42 的说明,在此不作赘述。

第三逻辑模块 522 用于对第五阻抗控制信号 IMPpd_CODE[M:0]与第三校准信号 ZQ3_CODE[N-1:0]进行组合,得到第三目标信号 PD_MAIN_CODE,进而控制第二阻抗单元的电平下拉功能。类似地,第五阻抗控制信号 IMPpd_CODE[M:0]的一位子信号控制一个或者多个第二阻抗单元的电平下拉功能是否被启用。在此基础上,如果启用某个第二阻抗单元功能的电平下拉功能,则利用第三校准信号 ZQ3_CODE[N-1:0]将该第二阻抗单元的下拉阻值校准到标准阻值,从而执行电平下拉功能;反之,如果不启用该第二阻抗单元的电平下拉功能,则利用处于第二电平状态的固定信号断开第二阻抗单元的相关电路。

在一些实施例中,每个第二阻抗单元均包括 N 个第三开关管(例如图 10 或者图 11 中的第三

开关管 531)、N 个第四开关管(例如图 10 或者图 11 中的第四开关管 532)和 2N 个第二电阻(例如图 10 或者图 11 中的第二电阻 533),第 a 个第二阻抗单元中的第 n 个第三开关管的控制端与第二目标信号中的第 a 组子信号中的第 n 个子信号连接,一个第三开关管的第一端与一个第二电阻的第一端连接,一个第三开关管的第二端与电源信号连接;第 a 个第二阻抗单元中第 n 个第四开关管的控制端与第三目标信号中的第 a 组子信号中第 n 个子信号连接,一个第四开关管的第一端与地信号连接,一个第四开关管的第二端与一个第二电阻的第一端连接,2N 个第二电阻的第二端均与对应的数据引脚连接。

需要说明的是,在图 10 或者图 11 中,以第 1 个第二阻抗单元为例,第 1 个第二阻抗单元用于接收第二目标信号中的第一组子信号 PU2_MAIN_CODE_1[N-1:0]和第三目标信号中的第一组子信号 PD_MAIN_CODE_1[N-1:0]。其中,PU2_MAIN_CODE_1[N-1:0]包括 PU2_MAIN_CODE_1[0]、PU2_MAIN_CODE_1[1].....PU2_MAIN_CODE_1[N-1]这些子信号,每一个子信号用于对应控制一个第三开关管的工作状态,以控制该第二阻抗单元以标准阻值执行电平上拉功能或者不执行电平上拉功能;PD_MAIN_CODE_1[N-1:0]包括 PD_MAIN_CODE_1[0]、PD_MAIN_CODE_1[1].....PD_MAIN_CODE_1[N-1]这些子信号,每一个子信号用于对应控制一个第四开关管的工作状态,以控制该第二阻抗单元以标准阻值执行电平下拉功能或者不执行电平下拉功能。

另外,在图 10 或者图 11 中,第 1 个第二阻抗单元示出了 3 个第三开关管(仅对一个第三开关管 531 进行了标号)、3 个第四开关管(仅对一个第四开关管 532 进行了标号)和 6 个第二电阻(仅对一个第二电阻 533 进行了标号),但实际场景中,第三开关管/第四开关管/第二电阻的数量均可以更多或者更少。

在前述内容中,第一电平状态为高电平状态,第二电平状态为低电平状态。高电平状态是指使 N 型沟道场效应管导通或者使 P 型沟道场效应管不导通的电平值,低电平状态是指使 N 型沟道场效应管不导通或者使 P 型沟道场效应管导通的电平值。

第一开关管和第三开关管均为 P 型沟道场效应管,第二开关管和第四开关管均为 N 型沟道场效应管;P 型沟道场效应管的控制端为栅极,P 型沟道场效应管的第二端为源极,P 型沟道场效应管的第一端为漏极,N 型沟道场效应管的控制端为栅极,N 型沟道场效应管的第二端为漏极,N 型沟道场效应管的第一端为源极;标准阻值均为 240 欧姆。

本公开实施例提供了一种半导体存储器,在半导体存储器处于预设测试模式时,允许与数据引脚相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚的阻抗,数据掩码引脚无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路,保证预设测试模式与数据掩码引脚适配,在预设测试模式下能够测试数据掩码引脚的阻抗,避免出现电路处理错误。

在本公开的又一实施例中,参见图 12,其示出了本公开实施例提供的一种电子设备 60 的组成结构示意图。如图 12 所示,电子设备 60 可以包括前述实施例任一项所述的半导体存储器 30。

在本公开实施例中,半导体存储器 30 可以为 DRAM 芯片。

进一步地,在一些实施例中,DRAM 芯片符合 DDR5 内存规格。

本公开实施例主要涉及半导体存储器对于数据掩码引脚和数据引脚的控制方法和相关控制电路。在半导体存储器处于预设测试模式时,允许与数据引脚相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚的阻抗,数据掩码引脚无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路,保证预设测试模式与数据掩码引脚适配,在预设测试模式下能够测试数据掩码引脚的阻抗,避免出现电路处理错误。

以上,仅为本公开的较佳实施例而已,并非用于限定本公开的保护范围。

需要说明的是,在本公开中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下,由语句“包括一个.....”限定的要素,并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

上述本公开实施例序号仅仅为了描述,不代表实施例的优劣。

本公开所提供的几个方法实施例中揭露的方法,在不冲突的情况下可以任意组合,得到新的方法实施例。

本公开所提供的几个产品实施例中揭露的特征,在不冲突的情况下可以任意组合,得到新的产品实施例。

本公开所提供的几个方法或设备实施例中揭露的特征,在不冲突的情况下可以任意组合,得到新的方法实施例或设备实施例。

以上,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以权利要求的保护范围为准。

工业实用性

- 5 本公开实施例提供了一种控制方法、半导体存储器和电子设备，在半导体存储器处于预设测试模式时，允许与数据引脚相关的第一模式寄存器和第二模式寄存器直接定义数据掩码引脚 DM 的阻抗，对数据掩码引脚 DM 来说无需针对预设测试模式来增加输出驱动状态的定义及相关控制电路，保证预设测试模式与数据掩码引脚适配，在预设测试模式下能够测试数据掩码引脚的阻抗，避免出现电路处理错误。

权利要求书

1、一种控制方法，应用于半导体存储器，所述半导体存储器包括数据掩码引脚，且所述数据掩码引脚用于接收写数据的输入掩码信号；所述方法包括：

5 在所述半导体存储器处于预设测试模式时，若所述数据掩码引脚被选中为测试对象，则通过第一模式寄存器控制所述数据掩码引脚的阻抗为第一阻抗参数；或者，

若所述数据掩码引脚并非为测试对象，则通过第二模式寄存器控制所述数据掩码引脚的阻抗为第二阻抗参数；

10 其中，所述半导体存储器还包括至少一个数据引脚，所述数据引脚用于接收或输出数据，所述第一模式寄存器用于指示至少一个所述数据引脚在输出驱动状态时的阻抗为第一阻抗参数，所述第二模式寄存器用于指示至少一个所述数据引脚在终结状态时的阻抗为第二阻抗参数。

2、根据权利要求1所述的控制方法，其中，在所述半导体存储器处于预设测试模式时，所述方法还包括：

若所述数据引脚被选中为测试对象，则通过所述第一模式寄存器控制所述数据引脚的阻抗为第一阻抗参数；或者，

15 若所述数据引脚并非为测试对象，则通过所述第二模式寄存器控制所述数据引脚的阻抗为第二阻抗参数。

3、根据权利要求1所述的控制方法，其中，所述方法还包括：

通过第三模式寄存器，确定所述半导体存储器进入预设测试模式且选中测试对象；或者，

通过所述第三模式寄存器，确定所述半导体存储器并非进入预设测试模式。

20 4、根据权利要求3所述的控制方法，其中，在确定所述半导体存储器进入预设测试模式的情况下，所述方法还包括：

获取所述第一模式寄存器中的第一操作码、所述第二模式寄存器中的第二操作码以及所述第三模式寄存器中的第三操作码；

25 对所述第三操作码进行译码处理，得到第一测试标志信号；其中，所述第一测试标志信号指示所述数据掩码引脚是否为测试对象；

根据所述第一测试标志信号，选择所述第一操作码和所述第二操作码的其中之一控制所述数据掩码引脚的阻抗。

5、根据权利要求4所述的控制方法，其中，所述方法还包括：

确定第一非测试态控制信号和第二阻抗控制信号；

30 在所述半导体存储器处于预设测试模式时，根据所述第一测试标志信号，基于所述第一操作码和所述第二操作码的其中之一确定第一阻抗控制信号；或者，在所述半导体存储器并非处于预设测试模式时，基于所述第一非测试态控制信号确定第一阻抗控制信号；

根据所述半导体存储器的工作状态，选择所述第一阻抗控制信号和所述第二阻抗控制信号之一控制所述数据掩码引脚的阻抗；

35 其中，所述第一非测试态控制信号用于指示所述数据掩码引脚在除预设测试状态之外的阻抗，所述第二阻抗控制信号用于指示所述数据引脚在输出驱动状态的阻抗；或者，所述第一非测试态控制信号用于指示所述数据引脚在输出驱动状态的阻抗，所述第二阻抗控制信号用于指示所述数据掩码引脚在除预设测试状态之外的阻抗。

6、根据权利要求4所述的控制方法，其中，在确定所述半导体存储器进入预设测试模式的情况下，所述方法还包括：

40 对所述第三操作码进行译码处理，得到至少一个第二测试标志信号；其中，一个所述第二测试标志信号指示一个所述数据引脚是否为测试对象；

根据所述第二测试标志信号，选择所述第一操作码和第二操作码的其中之一控制对应的所述数据引脚的阻抗。

45 7、根据权利要求6所述的控制方法，其中，所述方法还包括：

确定第三非测试态控制信号、第四阻抗控制信号和第五阻抗控制信号；

在所述半导体存储器处于预设测试模式时，根据所述第二测试标志信号，基于所述第一操作码和所述第二操作码的其中之一确定第三阻抗控制信号；或者，在所述半导体存储器并非处于预设测试模式时，基于所述第三非测试态控制信号确定第三阻抗控制信号；

50 根据所述半导体存储器的工作状态，选择所述第三阻抗控制信号和所述第五阻抗控制信号控制所述数据引脚的阻抗，或者，选择所述第四阻抗控制信号和所述第五阻抗控制信号用于控制所述数据引脚的阻抗；

其中，所述第三非测试态控制信号用于指示对应的所述数据引脚在终结状态的阻抗，所述第四阻抗控制信号和所述第五阻抗控制信号共同用于指示对应的所述数据引脚在输出驱动状态的阻抗；

55 或者，所述第三非测试态控制信号和所述第五阻抗控制信号共同用于指示对应的所述数据引脚在输出驱动状态的阻抗，所述第四阻抗控制信号用于指示对应的所述数据引脚在终结状态的阻抗。

8、根据权利要求4所述的控制方法，其中，所述预设测试模式是指PODTM模式，所述PODTM模式用于在封装后测试所述数据掩码引脚或者至少一个所述数据引脚的阻抗；

所述第一模式寄存器的标准编号为5，所述第一操作码是指第一模式寄存器中存储的第2位~第1位操作码；所述第二模式寄存器的标准编号为34，所述第二操作码是指第二模式寄存器中存储的第2位~第0位操作码；所述第三模式寄存器的标准编号为61，所述第三操作码是指第三模式寄存器中存储的第4位~第0位操作码。

9、一种半导体存储器，所述半导体存储器包括第一模式寄存器、第二模式寄存器、数据掩码引脚和第一驱动电路，且所述第一驱动电路分别与所述第一模式寄存器、所述第二模式寄存器和所述数据掩码引脚连接；其中，

所述数据掩码引脚，配置为接收写数据的输入掩码信号；

所述第一驱动电路，配置为在所述半导体存储器处于预设测试模式时，若所述数据掩码引脚被选中为测试对象，则根据所述第一模式寄存器控制所述数据掩码引脚的阻抗为第一阻抗参数；或者，若所述数据掩码引脚并非为测试对象，则根据所述第二模式寄存器控制所述数据掩码引脚的阻抗为第二阻抗参数；

其中，所述半导体存储器还包括至少一个数据引脚，所述数据引脚用于接收或输出数据，所述第一模式寄存器用于指示至少一个所述数据引脚在输出驱动状态时的阻抗为第一阻抗参数，所述第二模式寄存器用于指示至少一个所述数据引脚在终结状态时的阻抗为第二阻抗参数。

10、根据权利要求9所述的半导体存储器，其中，所述半导体存储器还包括至少一个第二驱动电路，且每一所述第二驱动电路与所述第一模式寄存器、所述第二模式寄存器和一个所述数据引脚连接；其中，

所述第二驱动电路，配置为在所述半导体存储器处于预设测试模式时，若对应的所述数据引脚被选中为测试对象，则通过所述第一模式寄存器控制所述数据引脚的阻抗为第一阻抗参数；或者，若对应的所述数据引脚并非为测试对象，则通过所述第二模式寄存器控制所述数据引脚的阻抗为第二阻抗参数。

11、根据权利要求10所述的半导体存储器，其中，所述半导体存储器还包括第三模式寄存器和第一译码模块；其中，

所述第一模式寄存器，配置为存储并输出第一操作码；

所述第二模式寄存器，配置为存储并输出第二操作码；

所述第三模式寄存器，配置为存储并输出第三操作码；其中，所述第三操作码用于指示所述半导体存储器是否进入预设测试模式；

所述第一译码模块，配置为接收第三操作码，对所述第三操作码进行译码，输出第一测试标志信号；其中，所述第一测试标志信号用于指示所述数据掩码引脚是否为测试对象；

所述第一驱动电路，还配置为接收所述第一测试标志信号、所述第一操作码和所述第二操作码；并在所述半导体存储器进入预设测试模式的情况下，根据所述第一测试标志信号，选择所述第一操作码和所述第二操作码的其中之一控制所述数据掩码引脚的阻抗。

12、根据权利要求11所述的半导体存储器，其中，所述半导体存储器，还配置为确定第一非测试态控制信号、第二阻抗控制信号和第一校准信号；其中，所述第一校准信号用于校准上拉阻值；

所述第一驱动电路包括：

第一信号处理模块，配置为接收所述第一测试标志信号、所述第一操作码、所述第二操作码和所述第一非测试态控制信号；并在所述半导体存储器处于预设测试模式时，根据所述第一测试标志信号，基于所述第一操作码和所述第二操作码的其中之一输出第一阻抗控制信号；或者，在所述半导体存储器并非处于预设测试模式时，基于所述第一非测试态控制信号输出第一阻抗控制信号；

第一逻辑模块，配置为接收所述第一阻抗控制信号、所述第二阻抗控制信号和所述第一校准信号；并对所述第一阻抗控制信号、所述第二阻抗控制信号和所述第一校准信号进行选择 and 逻辑组合，输出第一目标信号；

第一驱动模块，包括多个第一阻抗单元，配置为接收所述第一目标信号，利用所述第一目标信号对多个第一阻抗单元进行控制，以控制所述数据掩码引脚的阻抗；

其中，所述第一非测试态控制信号用于指示所述数据掩码引脚在除预设测试状态之外的阻抗，所述第二阻抗控制信号用于指示所述数据引脚在输出驱动状态的阻抗；或者，所述第一非测试态控制信号用于指示所述数据引脚在输出驱动状态的阻抗，所述第二阻抗控制信号用于指示所述数据掩码引脚在除预设测试状态之外的阻抗。

13、根据权利要求12所述的半导体存储器，其中，所述第一信号处理模块包括：

第二译码模块，配置为接收第一操作码，并对所述第一操作码进行译码，输出第一译码信号；

第三译码模块，配置为接收第二操作码，并对所述第二操作码进行译码，输出第二译码信号；

第一选择模块，配置为接收所述第一测试标志信号、所述第一译码信号和所述第二译码信号；并根据所述第一测试标志信号，选择所述第一译码信号和所述第二译码信号的其中之一输出第一测试态控制信号；

第二选择模块，配置为接收测试使能信号、所述第一测试态控制信号和所述第一非测试态控制

信号；并根据所述测试使能信号，选择所述第一测试态控制信号和所述第一非测试态控制信号的其中之一输出所述第一阻抗控制信号；其中，所述测试使能信号用于指示所述半导体存储器是否处于预设测试模式。

- 14、根据权利要求13所述的半导体存储器，其中，所述第一译码信号、所述第二译码信号、所述第一测试态控制信号、所述第一非测试态控制信号和所述第一阻抗控制信号均包括 $(M+1)$ 位信号，所述第一选择模块包括 $(M+1)$ 个第一数据选择器，所述第二选择模块包括 $(M+1)$ 个第二数据选择器；其中，

一个所述第一数据选择器的输入端分别接收所述第一译码信号的一位子信号和所述第二译码信号的一位子信号，一个所述第一数据选择器的输出端用于输出所述第一测试态控制信号的一位子信号，所有的第一数据选择器的控制端均接收所述第一测试标志信号；

一个所述第二数据选择器的输入端接收所述第一测试态控制信号的一位子信号和所述第一非测试态控制信号的一位子信号，一个所述第二数据选择器的输出端用于输出所述第一阻抗控制信号的一位子信号，所有的第二数据选择器的控制端均接收所述测试使能信号；

其中， M 为正整数。

- 15、根据权利要求14所述的半导体存储器，其中，所述第二阻抗控制信号包括 $(M+1)$ 位信号，所述第一校准信号包括 N 位信号，所述第一目标信号包括 A 组子信号，且每组子信号包括 N 位信号；

所述第一驱动模块包括 A 个第一阻抗单元，且每个所述第一阻抗单元用于接收所述第一目标信号中的一组子信号；其中，

20 所述第一逻辑模块，具体配置为根据所述第一阻抗控制信号和所述第二阻抗控制信号，确定至少一个所述第一阻抗单元的电平上拉功能是否被启用；以及，在启用第 a 个所述第一阻抗单元的电平上拉功能情况下，根据所述第一校准信号确定所述第一目标信号中的第 a 组子信号的电平状态，以控制第 a 个所述第一阻抗单元的阻值为标准阻值；或者，在不启用第 a 个所述第一阻抗单元的电平上拉功能情况下，确定所述第一目标信号中的第 a 组子信号均处于第一电平状态；

25 其中，每个所述第一阻抗单元均包括 N 个第一开关管、 N 个第二开关管和 $2N$ 个第一电阻，第 a 个所述第一阻抗单元中第 n 个第一开关管的控制端与所述第一目标信号中的第 a 组子信号中的第 n 个子信号连接，一个所述第一开关管的第一端与一个所述第一电阻的第一端连接，一个所述第一开关管的第二端与一个电源信号连接；一个所述第二开关管的控制端与地信号连接，一个所述第二开关管的第一端与地信号连接，一个所述第二开关管的第二端与一个所述第一电阻的第一端连接， $2N$ 个所述第一电阻的第二端均与所述数据掩码引脚连接；

其中， n 、 a 、 N 、 A 均为整数， n 小于或等于 N ， a 小于或等于 A ， $(M+1)$ 小于或等于 A 。

16、根据权利要求11所述的半导体存储器，其中，

所述第一译码模块，还配置为对所述第三操作码进行译码处理，输出至少一个第二测试标志信号；其中，一个所述第二测试标志信号用于指示一个所述数据引脚是否为测试对象；

- 35 所述第二驱动电路，还配置为接收对应的所述第二测试标志信号、所述第一操作码和所述第二操作码；并在所述半导体存储器进入预设测试模式的情况下，根据所述第二测试标志信号，选择所述第一操作码和所述第二操作码的其中之一控制所述数据引脚的阻抗。

17、根据权利要求16所述的半导体存储器，其中，所述半导体存储器，还配置为确定第三非测试态控制信号、第四阻抗控制信号、第五阻抗控制信号、第二校准信号和第三校准信号；其中，所述第二校准信号用于校准上拉阻值，所述第三校准信号用于校准下拉阻值；

所述第二驱动电路，包括：

第二信号处理模块，配置为接收所述第二测试标志信号、所述第一操作码、所述第二操作码和所述第三非测试态控制信号；并在所述半导体存储器处于预设测试模式时，根据所述第二测试标志信号，基于所述第一操作码和所述第二操作码的其中之一输出第三阻抗控制信号；或者，在所述半导体存储器并非处于预设测试模式时，基于所述第三非测试态控制信号输出第三阻抗控制信号；

第二逻辑模块，配置为接收所述第三阻抗控制信号、所述第四阻抗控制信号和所述第二校准信号；并对所述第三阻抗控制信号、所述第四阻抗控制信号和所述第二校准信号进行选择 and 逻辑组合，输出第二目标信号；

第三逻辑模块，配置为接收所述第五阻抗控制信号和所述第三校准信号；并对所述第五阻抗控制信号和所述第三校准信号进行逻辑组合处理，输出第三目标信号；

第二驱动模块，包括多个第二阻抗单元，配置为接收所述第二目标信号和所述第三目标信号；并利用所述第二目标信号和所述第三目标信号对多个所述第二阻抗单元进行控制，以控制对应的所述数据引脚的阻抗；

55 其中，所述第三非测试态控制信号用于指示对应的所述数据引脚在终结状态的阻抗，所述第四阻抗控制信号和所述第五阻抗控制信号共同用于指示对应的所述数据引脚在输出驱动状态的阻抗；或者，所述第三非测试态控制信号和所述第五阻抗控制信号共同用于指示对应的所述数据引脚在输出驱动状态的阻抗，所述第四阻抗控制信号用于指示对应的所述数据引脚在终结状态的阻抗。

18、根据权利要求17所述的半导体存储器，其中，所述第二信号处理模块包括：

第四译码模块,配置为接收所述第一操作码,对所述第一操作码进行译码,输出第三译码信号;
第五译码模块,配置为接收所述第二操作码,对所述第二操作码进行译码,输出第四译码信号;
第三选择模块,配置为接收所述第二测试标志信号、所述第三译码信号和所述第四译码信号;
并根据所述第二测试标志信号,选择所述第三译码信号和所述第四译码信号的其中之一输出第三测试态控制信号;

第四选择模块,配置为接收测试使能信号、所述第三测试态控制信号和所述第三非测试态控制信号;并根据所述测试使能信号,选择所述第三测试态控制信号和所述第三非测试态控制信号的其中之一输出所述第三阻抗控制信号;其中,所述测试使能信号用于指示所述半导体存储器是否处于预设测试模式。

19、根据权利要求18所述的半导体存储器,其中,所述第三译码信号、所述第四译码信号、所述第三测试态控制信号、所述第三非测试态控制信号和所述第三阻抗控制信号均包括(M+1)位信号,所述第三选择模块包括(M+1)个第三数据选择器,所述第四选择模块包括(M+1)个第四数据选择器;其中,

一个所述第三数据选择器的输入端接收所述第三译码信号的一位信号和所述第四译码信号的一位信号,一个所述第三数据选择器的输出端用于输出所述第三测试态控制信号的一位信号,所有的第三数据选择器的控制端均接收所述第二测试标志信号;

一个所述第四数据选择器的输入端接收所述第三测试态控制信号的一位信号和所述第三非测试态控制信号的一位信号,一个所述第四数据选择器的输出端用于输出所述第三阻抗控制信号的一位信号,所有的第四数据选择器的控制端均接收所述测试使能信号。

20、根据权利要求19所述的半导体存储器,其中,所述第四阻抗控制信号包括(M+1)位信号,所述第二校准信号和所述第三校准信号均包括N位信号,所述第二目标信号和所述第三目标信号均包括A组信号,且每组信号均包括N位信号;

所述第二驱动模块包括A个第二阻抗单元,且每个所述第二阻抗单元用于接收所述第二目标信号中的一组信号和所述第三目标信号中的一组信号;其中,

所述第二逻辑模块,具体配置为根据所述第三阻抗控制信号和所述第四阻抗控制信号,确定至少一个所述第二阻抗单元的电平上拉功能是否被启用;以及在启用第a个所述第二阻抗单元的电平上拉功能情况下,根据所述第二校准信号确定所述第二目标信号中的第a组信号的电平状态,以控制第a个所述第二阻抗单元的阻值为标准阻值;或者,在不启用第a个所述第二阻抗单元的电平上拉功能的情况下,确定所述第二目标信号中的第a组信号均处于第一电平状态;

所述第三逻辑模块,具体配置为根据所述第五阻抗控制信号,确定至少一个所述第二阻抗单元的电平下拉功能是否被启用;以及,在启用第a个所述第二阻抗单元的电平下拉功能的情况下,根据所述第三校准信号确定所述第三目标信号中的第a组信号的电平状态,以控制第a个所述第二阻抗单元的阻值为标准阻值;或者,在不启用第a个所述第二阻抗单元的电平下拉功能的情况下,确定所述第三目标信号中的第a组信号均处于第二电平状态;

其中,每个所述第二阻抗单元均包括N个第三开关管、N个第四开关管和2N个第二电阻,第a个所述第二阻抗单元中的第n个第三开关管的控制端与所述第二目标信号中的第a组信号中的第n个子信号连接,一个所述第三开关管的第一端与一个所述第二电阻的第一端连接,一个所述第三开关管的第二端与电源信号连接;第a个所述第二阻抗单元中第n个第四开关管的控制端与所述第三目标信号中的第a组信号中的第n个子信号连接,一个所述第四开关管的第一端与地信号连接,一个所述第四开关管的第二端与一个所述第二电阻的第一端连接,2N个所述第二电阻的第二端均与对应的所述数据引脚连接。

21、根据权利要求15-20任一项所述的半导体存储器,其中,

第一电平状态为高电平状态,第二电平状态为低电平状态;

第一开关管和第三开关管均为P型沟道场效应管,第二开关管和第四开关管均为N型沟道场效应管;

所述P型沟道场效应管的控制端为栅极,所述P型沟道场效应管的第二端为源极,所述P型沟道场效应管的第一端为漏极,所述N型沟道场效应管的控制端为栅极,所述N型沟道场效应管的第二端为漏极,所述N型沟道场效应管的第一端为源极;

标准阻值均为240欧姆。

22、一种电子设备,所述电子设备包括如权利要求9-21任一项所述的半导体存储器。