

写操作辅助电路

本申请要求于 2019 年 12 月 31 日提交中国专利局、申请号为 201911417706.7、发明名称为“写操作辅助电路”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及 SRAM 技术领域，尤其涉及一种写操作辅助电路。

背景技术

随着先进工艺的发展，工艺带来的工艺参数的变化，如随机掺杂波动等效应使得SRAM的设计愈发具有挑战性，其中，写操作的稳定性是SRAM设计中的一大难点。为提升写操作时的抗噪声能力，现有的一种方案是通过增加写辅助电路将SRAM的位线拉低至负值电压，依次来提高写操作的速度，增加写操作的稳定性。

现有技术中，写操作辅助电路通过电荷泵拉低位线的电压，电荷泵的驱动信号通常由外部的相应时序的驱动信号来驱动，对时序的要求较为严格。

发明内容

本发明实施例的目的是提供一种不依赖外部驱动信号的写操作辅助电路。

为实现上述目的，本发明实施例提供一种写操作辅助电路，包括：预充电电路、驱动信号电路、可编程延时电路、电荷泵、写驱动电路以及列选择器，其中：所述预充电电路，预充电信号输出端与所述驱

-2-

动信号电路的预充电信号输入端耦接,第一电压输出端与第一位线耦接,第二电压输出端与第二位线耦接;所述驱动信号电路,第一输入端与所述第一位线耦接,第二输入端与所述第二位线耦接,第一输出端与所述可编程延时电路的第一输入端耦接,第二输出端与所述可编程延时电路的第二输入端耦接;所述可编程延时电路,输出端与所述电荷泵的第一端耦接;所述电荷泵,第二端与所述写驱动电路的地端耦接;所述写驱动电路,第一输入端输入第一电平,第二输入端输入第二电平,第一输出端与所述列选择器的第一输入端耦接,第二输出端与所述列选择器的第二输入端耦接;所述第一电平与所述第二电平反相;所述列选择器,第一输出端与所述第一位线耦接,第二输出端与所述第二位线耦接。

可选的,所述预充电电路,包括:第一 PMOS 管、第二 PMOS 管以及第三 PMOS 管,其中:所述第一 PMOS 管,源极与电压源耦接,栅极与所述第二 PMOS 管的栅极、所述第三 PMOS 管的栅极耦接均耦接,漏极与所述第三 PMOS 管的源极耦接;所述第二 PMOS 管,源极与所述电压源耦接,栅极与所述第三 PMOS 管的栅极、所述第一 PMOS 管的栅极均耦接,漏极与所述第三 PMOS 管的漏极耦接;所述第三 PMOS 管,源极与所述第一 PMOS 管的漏极耦接,栅极与所述第一 PMOS 管的栅极、第二 PMOS 管的栅极均耦接,漏极与所述第二 PMOS 管的漏极耦接。

可选的,所述驱动信号电路包括:第一传输门、第二传输门、第一反相器以及第二反相器,其中:所述第一传输门,输入端与第一位线耦接,输出端与所述可编程延时电路的第一输入端耦接,第一电压输入端与所述第一反相器的输出端耦接,第二电压输入端与所述第二反相器的输出端耦接;所述第二传输门,输入端与第二位线耦接,输出端与所述可编程延时电路的第二输入端耦接,第一电压输入端与所述第一反相器的输出端耦接,第二电压输入端与所述第二反相器的输出端耦接;所述第一反相器,输入端与所述预充电电路的预充电信号输出端耦接,输出端与所述第二反相器的输入端耦接;所述第二反相

-3-

器，输出端与所述第一传输门的第二电压输入端、所述第二传输门的第二电压输入端耦接。

可选的，所述电荷泵包括：电容以及第一 NMOS 管，其中：所述电容，第一端为所述电荷泵的第一端，第二端为所述电荷泵的第二端；所述第一 NMOS 管，栅极与所述电容的第一端耦接，漏极与所述电容的第二端耦接，源极与地耦接。

可选的，所述可编程延时电路包括：与非门电路、第三反相器以及延时器，其中：所述与非门电路的第一输入端为所述可编程延时电路的第一输入端，所述与非门电路的第二输入端为所述可编程延时电路的第二输入端，所述与非门电路的输出端与所述第三反相器的输入端耦接；所述第三反相器的输出端与所述延时器的输入端耦接；所述延时器的输出端为所述可编程延时电路的输出端，与所述电荷泵的第一端耦接。

可选的，所述可编程延时电路还包括：第四反相器以及第五反相器，其中：所述第四反相器，输入端与所述延时器的输出端耦接，输出端与所述第五反相器的输入端耦接；所述第五反相器，输出端与所述电荷泵的第一端耦接。

可选的，所述第一位线的负载能力是所述延时器的负载能力的 N 倍；所述第二位线的负载能力是所述延时器的负载能力的 N 倍。

可选的，所述写驱动电路，包括：第六反相器以及第七反相器，其中：所述第六反相器，输入端输入第一电平，输出端为所述写驱动电路的第一输出端；所述第七反相器，输入端输入第二电平，输出端与所述写驱动电路的第二输出端；所述第六反相器、所述第七反相器的接地端与所述电荷泵的第二端耦接。

可选的，所述列选择器，包括第二 NMOS 管以及第三 NMOS 管，其中：所述第二 NMOS 管，源极为所述列选择器的第一输入端，栅极与所述第三 NMOS 管的栅极耦接且输入列选择信号，漏极为所述

-4-

列选择器的第一输出端；所述第三 NMOS 管，源极为所述列选择器的第二输入端，栅极与所述第二 NMOS 管的栅极耦接且输入所述列选择信号，漏极为所述列选择器的第二输出端。

与现有技术相比，本发明实施例的技术方案具有以下有益效果：

写驱动电路输出第一电平至第一位线，输出第二电平至第二位线，且第一电平与第二电平反相。由第一位线以及第二位线驱动电荷泵进行工作，因此，在对 SRAM 进行写操作时，无需使用外部的驱动信号来驱动电荷泵，无需具有严格时序要求的驱动信号。

进一步，可编程延时电路中设置第四反相器以及第五反相器，能够确保第三反相器输出信号的相位准确，并使得第三反相器的输出信号更加平缓。

附图说明

图 1 是本发明实施例中的一种写操作辅助电路的结构示意图；

图 2 是本发明实施例中的一种写操作辅助电路的工作时序图。

具体实施方式

如上所述，传统的写操作辅助电路能够提高 SRAM 写操作的稳定性。写操作辅助电路中的电荷泵由驱动信号来驱动，且驱动信号来自外设的控制电路或者由 Dummy 电路产生，以此来满足写操作的时序要求。因此，现有技术中，电荷泵在使用外部的驱动信号时，对驱动信号的时序要求较为严格。

在本发明实施例中，写驱动电路输出第一电平至第一位线，输出第二电平至第二位线，且第一电平与第二电平反相。由第一位线以及第二位线驱动电荷泵进行工作，因此，在对 SRAM 进行写操作时，无需使用外部的驱动信号来驱动电荷泵，无需具有严格时序要求的驱

动信号。

为使本发明的上述目的、特征和有益效果能够更为明显易懂，下面结合附图对本发明的具体实施例做详细的说明。

本发明实施例提供了一种写操作辅助电路，参照图 1，以下进行详细说明。

在本发明实施例中，写操作辅助电路可以包括预充电电路 11、驱动信号电路 12、可编程延时电路 13、电荷泵 14、写驱动电路 15 以及列选择器 16。

预充电电路 11 包括预充电信号输出端以及第一电压输出端、第二电压输出端，预充电电路 11 的预充电信号输出端可以输出预充电信号 PRE 至驱动信号电路 12 的预充电信号输入端，预充电电路 11 的第一电压输出端可以与第一位线 BL 耦接，预充电电路 11 的第二电压输出端可以与第二位线 BLB 耦接。

驱动信号电路 12 的预充电信号输入端可以接收预充电电路 11 输出的预充电信号 PRE，驱动信号电路 12 的第一输入端可以与可编程延时电路 13 的第一输入端耦接，驱动信号电路 12 的第二输入端可以与可编程延时电路 13 的第二输入端耦接。

可编程延时电路 13 的第一输入端可以与驱动信号电路 12 的第一输出端耦接，可编程延时电路 13 的第二输入端可以与驱动信号电路 12 的第二输出端耦接，可编程延时电路 13 的输出端可以与电荷泵 14 的第一端耦接。

电荷泵 14 的第一端可以与可编程延时电路 13 的输出端耦接，电荷泵 14 的第二端可以与写驱动电路 15 的地端耦接。

写驱动电路 15 的第一输入端可以输入第一电平，写驱动电路 15 的第二输入端可以输入第二电平，写驱动电路 15 的第一输出端可以与列选择器 16 的第一输入端耦接，写驱动电路 15 的第二输出端可以与列选择器 16 的第二输入端耦接。在本发明实施例中，第一电平与

第二电平反相。

列选择器 16 的第一输入端与写驱动电路 15 的第一输出端耦接，列选择器 16 的第二输入端与写驱动电路 15 的第二输出端耦接，列选择器 16 的第一输出端与第一位线 BL 耦接，列选择器 16 的第二输出端与第二位线 BLB 耦接。

下面对写操作电路中的每一个组成部分进行详细说明。

在本发明实施例中，预充电电路 11 可以由三个 PMOS 管组成，依次为第一 PMOS 管 P1、第二 PMOS 管 P2 以及第三 PMOS 管 P3，其中：

第一 PMOS 管 P1 的源极可以与预设的电压源 VDD 耦接，第一 PMOS 管 P1 的栅极可以与第二 PMOS 管 P2 的栅极、第三 PMOS 管 P3 的栅极均耦接，第一 PMOS 管 P1 的漏极与第三 PMOS 管 P3 的源极耦接；

第二 PMOS 管 P2 的源极可以与预设的电压源 VDD 耦接，第二 PMOS 管 P2 的栅极可以与第一 PMOS 管 P1 的栅极、第三 PMOS 管 P3 的栅极均耦接，第二 PMOS 管 P2 的漏极可以与第三 PMOS 管 P3 的漏极耦接；

第三 PMOS 管 P3 的源极可以与第一 PMOS 管 P1 的漏极耦接，第三 PMOS 管 P3 的栅极可以与第一 PMOS 管 P1 的栅极、第二 PMOS 管 P2 的栅极均耦接，第三 PMOS 管 P3 的漏极可以与第二 PMOS 管 P2 的漏极耦接。

需要说明的是，在本发明实施例中，第三 PMOS 管 P3 的作用是使得预充电电路 11 的第一电压输出端、第二电压输出端输出的电压相等。因此，第三 PMOS 管 P3 的漏极也可以与第一 PMOS 管 P1 的漏极耦接，第三 PMOS 管 P3 的源极与第二 PMOS 管 P2 的漏极耦接。

在具体实施中，驱动信号电路 12 可以包括第一传输门 PG1、第二传输门 PG2、第一反相器 INV1 以及第二反相器 INV2，其中：

第一传输门 PG1 的输入端可以与第一位线 BL 耦接, 第一传输门 PG1 的输出端可以与可编程延时电路 13 的第一输入端耦接, 第一传输门 PG1 的第一电压输入端可以与第一反相器 INV1 的输出端耦接, 第一传输门 PG1 的第二电压输入端可以与第二反相器 INV2 的输出端耦接;

第二传输门 PG2 的输入端可以与第二位线 BLB 耦接, 第二传输门 PG2 的输出端可以与可编程延时电路 13 的第二输入端耦接, 第二传输门 PG2 的第一电压输入端可以与第一反相器 INV1 的输出端耦接, 第二传输门 PG2 的第二电压输入端可以与第二反相器 INV2 的输出端耦接;

第一反相器 INV1 的输入端为驱动信号电路 12 的预充电信号输入端, 与预充电电路 11 的预充电信号输出端耦接; 第一反相器 INV1 的输出端与第二反相器 INV2 的输入端、第一传输门 PG1 的第一电压输入端以及第二传输门 PG2 的第二电压输入端耦接;

第二反相器 INV2 的输入端与第一反相器 INV1 的输出端耦接, 第二反相器 INV2 的输出端分别与第一传输门 PG1 的第二电压输入端、第二传输门 PG2 的第二电压输入端耦接。

在具体实施中, 第一传输门 PG1 实质上是用于传输第一位线 BL 上的信号, 第二传输门 PG2 实质上是用于传输第二位线 BLB 上的信号。在预充电信号 PRE 的控制下, 第一传输门 PG1 与第二传输门 PG2 导通或断开。当第一传输门 PG1 导通时, 第一位线 BL 上的信号经由第一传输门 PG1 输入至可编程延时电路 13 的第一输入端; 当第二传输门 PG2 导通时, 第二位线 BLB 上的信号经由第二传输门 PG2 输入至可编程延时电路 13 的第二输入端。

在实际应用中, 第一传输门 PG1 以及第二传输门 PG2 的具体结构可以参照现有的传输门, 本发明实施例不做赘述。

在具体实施中, 可编程延时电路 13 可以包括: 与非门电路

NAND1、第三反相器 INV3 以及延时器 Delay1，其中：

与非门电路 NAND1 的第一输入端为可编程延时电路 13 的第一输入端，与非门电路 NAND1 的第二输入端可以为可编程延时电路 13 的第二输入端，与非门电路 NAND1 的输出端与第三反相器 INV3 的输入端耦接；

第三反相器 INV3 的输入端与与非门电路 NAND1 的输出端耦接，第三反相器 INV3 的输出端与延时器 Delay1 的输出端耦接；

延时器 Delay1 的输出端为可编程延时电路 13 的输出端，与电荷泵 14 的第一端耦接。

在具体实施中，可编程延时电路 13 还可以包括第四反相器 INV4 以及第五反相器 INV5，其中：第四反相器 INV4 的输入端与延时器 Delay1 的输出端耦接，第四反相器 INV4 的输出端与第五反相器 INV5 的输入端耦接；第五反相器 INV5 的输出端与电荷泵 14 的第一端耦接。

也就是说，当可编程延时电路 13 包括第四反相器 INV4 以及第五反相器 INV5 时，第五反相器 INV5 的输出端作为可编程延时电路 13 的输出端。

在本发明实施例中，通过设置第四反相器 INV4 以及第五反相器 INV5，能够使得可编程延时电路 13 的输出信号相位正确，且输出信号的坡度较为平缓。

在具体实施中，可以根据实际的应用需求，对延时器 Delay1 的延时时长进行调整。具体而言，可以根据第一位线 BL 以及第二位线 BLB 的长度，对延时器 Delay1 的延时时长进行调整。通过采用可编程延时电路 13，可以适配全定制存储器与存储器编译器。

在具体实施中，电荷泵 14 可以包括电容 C1 以及第一 NMOS 管 M1，其中：

电容 C1 的第一端为电荷泵 14 的第一端，电容 C1 的第二端为电荷泵 14 的第二端；

第一 NMOS 管 M1 的栅极可以与电容 C1 的第一端耦接，第一 NMOS 管 M1 的漏极可以与电容 C1 的第二端耦接，第一 NMOS 管 M1 的源极可以与地耦接。

在具体实施中，写驱动电路 15 可以包括第六反相器 INV6 以及第七反相器 INV7。第六反相器 INV6 的输入端可以输入第一电平，第六反相器 INV6 的输出端为写驱动电路 15 的第一输出端；第七反相器 INV7 的输入端可以输入第二电平，第七反相器 INV7 的输出端为写驱动电路 15 的第二输出端；第六反相器 INV6 的接地端与第七反相器 INV7 的接地端均与电荷泵 14 的第二端耦接。

在本发明实施例中，第一电平与第二电平始终反相。当第一电平对应为高电平“1”时，第二电平对应为低电平“0”；当第一电平对应低电平“0”时，第二电平对应为高电平“1”。

本发明实施例中所提及的反相器，包括第一反相器~第七反相器，可以是由 MOS 管组成。例如，由 NMOS 管和/或 PMOS 管组成。具体的反相器的结构本发明实施例不做限制。

在具体实施中，列选择器 16 可以包括第二 NMOS 管 M2 以及第三 NMOS 管 M3，其中：

第二 NMOS 管 M2 的源极为列选择器 16 的第一输入端，第二 NMOS 管 M2 的栅极与第三 NMOS 管 M3 的栅极耦接且输入列选择信号，第二 NMOS 管 M2 的漏极为列选择器 16 的第一输出端；

第三 NMOS 管 M3 的源极为列选择器 16 的第二输入端，第三 NMOS 管 M3 的栅极与第二 NMOS 管 M2 的栅极耦接且输入列选择信号，第三 NMOS 管 M3 的漏极为列选择器 16 的第二输出端。

在本发明实施例中，第三反相器 INV3 的驱动能力为 $1/2 \cdot X$ ，X 为构成第三反相器 INV3 的 NMOS 管的栅极宽度。写驱动电路 15 中

的第六反相器 INV6、第七反相器中 NMOS 管的驱动能力均为 $N \cdot X$ ，列选择器 16 中的第二 NMOS 管 M2 的驱动能力以及第三 NMOS 管的驱动能力也均为 $N \cdot X$ 。

第一位线以及第二位线对应的驱动能力相当于 $N/2 \cdot X$ ，是第三反相器 INV3 的驱动能力的 N 倍。在本发明实施例中，第一位线 BL 以及第二位线 BLB 的负载是可编程延时电路中延时器 Delay1 负载的 N 倍。

下面对本发明上述实施例中提供的写操作辅助电路的工作原理进行说明。参照图 2，给出了本发明实施例中的一种写操作辅助电路的工作时序图，以下结合图 1 进行说明。

在 T_0 时刻之前，写操作辅助电路处于休眠 (stand by) 状态，此时，预充电信号 PRE 为低电平，第一位线 BL 与第二位线 BLB 上的电压被充电至 VDD。预充电信号 PRE 输入至第一反相器 INV1，第一反相器 INV1 的输出信号 BLPREB 为高电平，第二反相器 INV2 的输出信号 BLPRE 为低电平，此时，第一传输门 PG1 与第二传输门 PG2 均关断。列选择信号 WYS 为低电平，第二 NMOS 管 M2 以及第三 NMOS 管 M3 均断开。第一传输门 PG1 输出的第一反馈信号 BL_end、第二传输门 PG2 输出的第二反馈信号 BL_end 均为高电平，可编程延时电路 13 的输出端也输出高电平，第一 NMOS 管 M1 导通，VSS_end 被下拉至 VSS。

在 $T_0 \sim T_1$ 时刻，预充电信号 PRE 处于上升沿，第一反相器 INV1 的输出信号 BLPREB 从低电平切换至高电平，第二反相器 INV2 的输出信号 BLPRE 从高电平切换至低电平。第一传输门 PG1、第二传输门 PG2 均打开，第一反馈信号 BL_end、第二反馈信号 BL_end 均保持高电平。此时，可编程延时电路 13 的输出端也输出高电平，第一 NMOS 管 M1 仍导通，VSS_end 的电平保持为 VSS。

在 T_1 时刻，列选择信号 WYS 处于上升沿，写驱动电路 15 将反相信号分别输出至第一位线 BL 和第二位线 BLB。图 2 中，示意为第

七反相器 INV7 输入低电平 “0”，第六反相器 INV6 输入高电平 “1”，也即第一位线 BL 上的信号为高电平 “1”，第二位线 BLB 上的信号为低电平 “0”。

由于第二位线 BLB 上的信号为低电平 “0”，因此，第二位线 BLB 上的电压被下拉至 VSS。在 T2 时刻，BLB 上的电压从 VDD 下拉至 $VDD/2$ ，此时第三反相器 INV3 开始反转，产生信号为下降沿的延迟信号 Delay。由于第三反相器 INV3 的驱动能力为第六反相器 INV6 和第二 NMOS 管 M2 的综合驱动能力的 $1/N$ ，Delay1 的负载为第二位线 BLB 负载的 $1/N$ ，因此第三反相器 INV3 产生的延迟信号 Delay 的下降沿波形与第二位线 BLB 下降沿的波形一致。

在 T3 时刻，延迟信号 Delay 的电平从 VDD 降至 $VDD/2$ ，与此同时，由于第二位线 BLB 的波形与延迟信号 Delay 的波形相同，在 T3 时刻第二位线 BLB 的电平同样被拉低至 VSS。由于延迟信号 Delay 的电平达到 $VDD/2$ ，因此第四反相器 INV4 以及第五反相器 INV5 开始反转，得到下降沿的 Boost 信号，也即可编程延时电路 13 的输出端信号为自 T3 时刻处于下降沿。

在 T3~T4 时刻，Boost 信号的电平从 VDD 下拉至 VSS，经过电容 C1，VSS_end 的电平从 VSS 下拉至负值电压。VSS_end 的负值电压连接到第六反相器 INV6 以及第七反相器 INV7 中的 NMOS 管。由于第六反相器 INV6 中栅极连接 VSS_end 的负值电压的 NMOS 管对应的 $V_{gs} > 0$ ，因此该 NMOS 管导通，第二位线 BLB 的电平下拉至负值电压，此时，第二位线 BLB 将 “0” 写入至存储单元。

在 T5 时刻，列选择信号 WYS 开始备份 (recovery) 操作，列选择信号 WYS 的电平开始下降，第二 NMOS 管 M2 以及第三 NMOS 管 M3 关断，写驱动电路 15 不再驱动输入驱动第一位线 BL 以及第二位线 BLB 的信号，可以开始写操作的恢复动作。

在 T6 时刻，预充电信号 PRE 处于下降沿，第一位线 BL 以及第二位线 BLB 上的电压被预充电至高电位，第二位线 BLB 的上升沿经

过第二传输门 PG2 传输至第二传输门 PG2 的输出端。在 T7 时刻，延迟信号 Delay 处于上升沿，随后，在 T8 时刻，Boost 处于上升沿，经过电容 C1，将 VSS_end 的电压从负值电压上拉，此时第一 NMOS 管 M1 的栅极为高电平，因此第一 NMOS 管 M1 导通，VSS_end 的电压最终被上拉至 VSS，写驱动电路 15 的 recovery 操作完成。

综上所述，在本发明实施例中，写驱动电路输出第一电平至第一位线，输出第二电平至第二位线，且第一电平与第二电平反相。由第一位线以及第二位线驱动电荷泵进行工作，因此，在对 SRAM 进行写操作时，无需使用外部的驱动信号来驱动电荷泵，无需具有严格时序要求的驱动信号。

虽然本发明披露如上，但本发明并非限定于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。