

明 細 書

アドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法

技 術 分 野

本発明は、コンピュータを用いた映像機器であるグラフィックコンピュータ、特殊効果装置、ビデオゲーム機等に用いられるアドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法に関する。

背 景 技 術

パーソナルコンピュータやテレビゲーム機等の画像メモリを有する画像表示装置は、画像メモリに書き込まれたデータを例えばNTSC (National Television System Committee) 方式の同期信号に従って読み出している。

このような画像表示装置は、例えば図1に示すように、同期信号発生回路301で発生した同期信号に基づいて所定のアドレスを発生するCRTC (Cathode Ray Tube Controller) 302と、CRTC 302で指定されたアドレスに基づいて1フレーム分の画像データが読み出されるVRAM 303と、ラインバッファ304を介

して供給されたフレームデータをアナログ変換するD/Aコンバータ305とを備える。

また、CRTC302は、水平同期信号をカウントする水平同期カウンタ311と、必要に応じて所定の水平解像度に下げするための水平解像度低減回路312と、水平走査ラインの切り出しを開始させる水平切出回路313と、水平解像度低減回路312と水平切出回路313からのデータを加算する加算回路314とを備える。

さらに、CRTC302は、垂直同期信号をカウントする垂直同期カウンタ316と、必要に応じて所定の垂直解像度に下げための垂直解像度低減回路317と、垂直走査線の切り出しを開始させる垂直切出回路318と、垂直解像度低減回路317と垂直切出回路318からのデータを加算する加算回路319と、供給された水平同期信号と垂直同期信号に基づいてアドレスを発生するアドレス発生回路320を備える。

以上のように構成された画像表示装置では、同期信号発生回路301は、水平同期信号及び垂直同期信号を発生し、これら水平同期信号および垂直同期信号をCRTC302に供給する。

CRTC302では、水平同期カウンタ311は、同期信号発生回路301から供給された水平同期信号をカウントする。

水平解像度低減回路312は、VRAM303から読み出す画像データの水平解像度を低減させるべく、必要に応じて水平同期信号の数を低減する。

水平切出回路313は、水平同期カウンタ311による水平同期信号のカウントによって所定のタイミングになったとき、水平走査ラインの所定の位置において切出をするための水平切出データを発

生し、この水平切出データを加算回路314に供給する。

加算回路314は、供給された水平同期信号に水平切出データを畳重し、その畳重データをアドレス発生回路320に供給する。

一方、垂直同期カウンタ316は、同期信号発生回路301からの垂直同期信号をカウントする。

垂直解像度低減回路317は、VRAM303から読み出す画像データの垂直解像度を低減させるべく、必要に応じて垂直同期信号の数を低減する。

垂直切出回路318は、垂直同期カウンタ311による垂直同期信号のカウントによって所定のタイミングになったとき、垂直走査ラインの所定の位置において切出をするための垂直切出データを発生し、この垂直切出データを加算回路314に供給する。

加算回路319は、供給された垂直同期信号に垂直切出データを畳重し、この畳重データをアドレス発生回路320に供給する。

アドレス発生回路320は、供給された畳重データに対応するアドレスを発生し、このアドレスをVRAM303に供給する。

VRAM303は、供給されたアドレスに基づく画像データを、ラインバッファ304を介してD/Aコンバータ305に供給する。

D/Aコンバータ305は、供給された画像データをアナログ変換して、ビデオ信号を出力する。

このように、VRAM303に書き込まれている画像データは、図2に示すように、CRTC302を介して、そのままディスプレイの一画面を表示するようになっている。

ところが、上記画像表示装置に適用されているCRTC302は、例えばVRAM303に複数の画像を含むフレームデータが書き込

まれている場合には、それら複数の画像をそれぞれ切り取って、一画面の所望の位置に表示させることができなかった。

また、上記C R T C 3 0 2は、外部から供給された複数の画像データを取り込んで画面に表示させることができなかった。

本発明は、このように実情を鑑みてなされたものであり、一画面の所定の位置に複数の画像を表示させ、さらに、外部から供給された画像も取り込んで表示させることができるアドレス発生装置及び画像表示装置並びにアドレス発生方法及び画像表示方法を提供することを目的とする。

発 明 の 開 示

本発明に係るアドレス発生装置は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを備えることを特徴とする。

本発明に係るアドレス発生装置において、上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給するものとすることができる。

本発明に係る画像表示装置は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成する

アドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファにそれぞれ供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを有するアドレス発生手段と、上記複数のバッファから出力される画像信号を合成する合成手段とを備えることを特徴とする。

本発明に係る画像表示装置において、上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給するものとすることができる。

また、本発明に係る画像表示装置において、上記合成手段は、上記制御手段の所定の演算に基づいてプログラム制御されるものとすることができる。

また、本発明に係る画像表示装置は、例えば、上記画像メモリから読み出された画像信号が供給される1以上のキャッシュメモリを備え、上記キャッシュメモリは、供給された画像信号を書き込み、上記制御手段は、上記キャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させるものとすることができる。

また、本発明に係る画像表示装置において、上記バッファはラインメモリからなるものとすることができる。

本発明に係るアドレス発生方法は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、上記アドレスに基づいて上記画像メモリから読み出された画像信号を複数のバッファをそれぞれ供給し、上記複数のバッファに供

給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をすることを特徴とする。

本発明に係る画像表示方法は、同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、上記アドレスに基づいて上記画像メモリから読み出された画像信号をが複数のバッファにそれぞれ供給し、上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をして、上記複数のバッファから出力される画像信号を合成して表示することを特徴とする。

図面の簡単な説明

図1は、従来のC R T Cを説明するためのブロック図である。

図2は、上記C R T Cを介して出力されたビデオ信号によるディスプレイの表示の一例である。

図3は、本発明を適用したビデオゲーム装置の概略的な構成を示す図である。

図4は、本発明に係る画像表示方法におけるテクスチャ画像及び目標色の具体的な例を示す図である。

図5は、本発明に係るアドレス発生装置を適用したP C R T Cを説明するための図である。

図6は、上記C R T Cの構成概念を示す図である。

図 7 は、上記 P C R T C を介して出力されたビデオ信号によるディスプレイの表示の一例である。

図 8 は、上記 P C R T C の具体的な構成を示す図である。

図 9 は、本発明を適用したビデオゲーム装置の平面図である。

図 10 は、上記ビデオゲーム装置の背面図である。

図 11 は、上記ビデオゲーム装置の側面図である。

図 12 は、上記ビデオゲーム装置に装着される C D - R O M の平面図である。

発明を実施するための最良の形態

以下、本発明の好ましい実施の形態について、図面を参照しながら説明する。

本発明は、例えば図 3 に示すような構成のビデオゲーム装置に適用される。

このビデオゲーム装置は、例えば光学ディスクに記憶されているゲームプログラムを読み出して実行することにより、使用者からの指示に応じてゲームを行うものであって、図 3 に示すような構成を有している。

すなわち、このビデオゲーム装置は、2 種類のバスすなわち、メインバス 1 とサブバス 2 を備える。

上記メインバス 1 とサブバス 2 は、バスコントローラ 16 を介して接続されている。

そして、上記メインバス 1 には、マイクロプロセッサなどからな

る主中央演算処理装置（メインCPU: Central Processing Unit） 1 1、ランダムアクセスメモリ（RAM: Random Access Memory） 1 2、主ダイレクトメモリアクセスコントローラ（メインDMAC: Direct Memory Access Controller） 1 3、MPEGデコーダ（MDEC: MPEG Decoder） 1 4 及び画像処理装置（GPU: Graphic Processing Unit） 1 5 が接続されている。また、上記サブバス 2 には、マイクロプロセッサなどからなる副中央演算処理装置（サブCPU: Central Processing Unit） 2 1、ランダムアクセスメモリ（RAM: Random Access Memory）からなる副記憶装置（サブメモリ） 2 2、副ダイレクトメモリアクセスコントローラ（サブDMAC: Dinamic Memory Access Controller） 2 3、オペレーティングシステム等のプログラムが格納されたリードオンリーメモリ（ROM: Read Only Memory） 2 4、音声処理装置（SPU: Sound Processing Unit） 2 5、通信制御部（ATM: Asynchronous Transmission Mode） 2 6、補助記憶装置 2 7、入力デバイス 2 8 及び CD-ROM ドライバ 3 0 が接続されている。

上記バスコントローラ 1 6 は、メインバス 1 とサブバス 2 との間でのスイッチングを行う上記メインバス 1 上のデバイスであって、初期状態ではオープンになっている。

また、上記メインCPU 1 1 は、上記メインメモリ 1 2 上のプログラムで動作する上記メインバス 1 上のデバイスである。このメインCPU 1 1 は、起動時には上記バスコントローラ 1 6 がオープンになっていることにより、上記サブバス 2 上のROM 2 4 からブートプログラムを読み込んで実行し、CD-ROM ドライバ 3 0 により CD-ROM からアプリケーションプログラム及び必要なデータ

を再生して上記メインメモリ 12 や上記サブバス 2 上のデバイスにロードする。このメイン CPU 11 には、座標変換等の処理を行うジオメトリトランスファエンジン (GTE: Geometry Transfer Engine) 17 が搭載されている。上記 GTE 17 は、例えば複数の演算を並列に実行する並列演算機構を備え、上記メイン CPU 11 からの演算要求に応じて座標変換、光源計算、行列あるいはベクトルなどの演算を高速に行う。そして、上記メイン CPU 11 は、上記 GTE 17 による演算結果に基づいて 3 角形や 4 角形などの基本的な単位図形 (ポリゴン) の組み合わせとして 3 次元モデルを定義して 3 次元画像を描画するための各ポリゴンに対応する描画命令を作成し、この描画命令をバケット化してコマンドバケットとして上記 GPU 15 に送る。

また、上記メイン DMAC 13 は、メインバス 1 上のデバイスを対象とする DMA 転送の制御等を行う上記メインバス 1 上のデバイスである。このメイン DMAC 13 は、上記バスコントローラ 16 がオープンになっているときにはサブバス 2 上のデバイスも対象とする。

また、上記 GPU 15 は、レンダリングプロセッサとして機能する上記メインバス 1 上のデバイスである。この GPU 15 は、メイン CPU 11 又はメイン DMAC 13 からコマンドバケットとして送られてきた描画命令を解釈して、頂点の色データと奥行きを示す Z 値から、ポリゴンを構成する全ての画素の色と Z 値を演算する。そして、画素データを Z 値に応じて画像メモリであるフレームバッファ 18 に書き込むレンダリング処理を行う。

また、上記 MDEC 14 は、CPU と並列に動作可能な I/O 接

続デバイスであって、画像伸張エンジンとして機能する上記メインバス1上のデバイスである。このMDEC14は、離散コサイン変換などの直交変換により圧縮されて符号化された画像データを復号化する。

また、上記サブCPU21は、上記サブメモリ22上のプログラムで動作する上記サブバス2上のデバイスである。

また、上記サブDMAC23は、サブバス2上のデバイスを対象とするDMA転送の制御等を行う上記サブバス2上のデバイスである。このサブDMAC23は、上記バスコントローラ16がクローズなっているときにのみバス権利を獲得することができる。

また、上記SPU25は、サウンドプロセッサとして機能する上記サブバス2上のデバイスである。このSPU25は、上記サブCPU21又はサブDMAC23からコマンドバケットとして送られてくるサウンドコマンドに応じて、サウンドメモリ29から音源データ読み出して出力する。

また、上記ATM26は、サブバス2上の通信用デバイスである。

また、上記補助記憶装置27は、サブバス2上のデータ入出力デバイスであってフラッシュメモリ等の不揮発性メモリなどからなる。この補助記憶装置27は、ゲームの進行経過やスコア等のデータを一時記憶する。

さらに、上記入力デバイス28は、サブバス2上のコントロールパッド、マウスなどのマンマシンインターフェースや、画像入力、音声入力などの他の機器からの入力用デバイスである。

さらに、上記CD-ROMドライバ30は、サブバス2上のデータ入力デバイスであってCD-ROMからアプリケーションプログ

ラム及び必要なデータを再生する。

すなわち、このビデオゲーム装置では、座標変換やクリッピング、光源計算等のジオメトリ処理を行い、3角形や4角形などの基本的な単位図形（ポリゴン）の組み合わせとして3次元モデルを定義して3次元画像を描画するための描画命令を作成し、各ポリゴンに対応する描画命令をコマンドパケットとしてメインバス1に送出するジオメトリ処理系が上記メインバス1上のメインCPU11及びGTE17などにより構成され、上記ジオメトリ処理系からの描画命令に基づいて各ポリゴンの画素データを生成してフレームバッファ18に書き込むレンダリング処理を行い、フレームバッファ18に図形を描画するレンダリング処理系が上記GPU15により構成されている。

上記GPU15は、その具体的な構成を図4に示してあるように、上記メインバス1に接続されたパケットエンジン31を備え、上記メインCPU11又はメインDMAC13から上記メインバス1を介して上記パケットエンジン31にコマンドパケットとして送られてくる描画命令に従って、プリプロセッサ32と描画エンジン33により各ポリゴンの画素データを上記フレームバッファ18に書き込むレンダリング処理を行い、上記フレームバッファ18に描画された画像の画素データを読み出して表示制御部（CRTC: CRT Controller）34を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給するようになっている。

上記パケットエンジン31は、上記メインCPU11又はメインDMAC13から上記メインバス1を介して送られてくるコマンドパケットを上記パケットエンジン31により図示しないレジスタ上

に展開する。

また、上記プリプロセッサ32は、上記バケットエンジン31にコマンドバケットとして送られてきた描画命令に従ってポリゴンデータを生成して後述するポリゴンの分割処理などの所定の前処理をポリゴンデータに施し、上記描画エンジン33が必要とする各ポリゴンの頂点座標情報、テクスチャやミップマップテクスチャのアドレス情報、ピクセルインターリーブの制御情報などの各種データを生成する。

さらに、上記描画エンジン33は、上記プリプロセッサ32に接続されたN個のポリゴンエンジン33A1, 33A2...33ANと、各ポリゴンエンジン33A1, 33A2...33ANに接続されたN個のテクスチャエンジン33B1, 33B2...33BNと、各テクスチャエンジン33B1, 33B2...33BNに接続された第1のバススイッチャ33Cと、この第1のバススイッチャ33Cに接続されたM個のピクセルエンジン33D1, 33D2...33DMと、各ピクセルエンジン33D1, 33D2...33DMに接続された第2のバススイッチャ33Eと、この第2のバススイッチャ33Eに接続されたテクスチャキャッシュ33Fと、このテクスチャキャッシュ33Fに接続されたCLUTキャッシュ33Gを備える。

この描画エンジン33において、上記N個のポリゴンエンジン33A1, 33A2...33ANは、上記プリプロセッサ32により前処理が施されたポリゴンデータに基づいて、画命令に応じたポリゴンを順次生成してポリゴン毎にシェーディング処理などを並列処理により行う。

また、上記N個のテクスチャエンジン33B1, 33B2... 33BNは、上記ポリゴンエンジン33A1, 33A2... 33ANにより生成されたポリゴン毎に、上記テクスチャキャッシュ33Fからカラールックアップテーブル (CLUT: Color Look Up Table) キャッシュ33Gを介して与えられるテクスチャデータに基づいて、テクスチャマッピング処理やミップマップ処理を並列処理により行う。

ここで、上記テクスチャキャッシュ33Fには、上記N個のテクスチャエンジン33B1, 33B2... 33BNが処理するポリゴンに張り付けるテクスチャやミップマップテクスチャのアドレス情報が上記アプリプロセッサ32から事前に与えられ、上記アドレス情報に基づいて上記フレームバッファ18上のテクスチャ領域から必要なテクスチャデータが転送される。また、上記CLUTキャッシュ33Gには、上記テクスチャの描画を行う際に参照すべきCLUTデータが上記フレームバッファ18上のCLUT領域から転送される。

上記N個のテクスチャエンジン33B1, 33B2... 33BNによりテクスチャマッピング処理やミップマップ処理が施されたポリゴンデータは、上記第1のバススイッチャ33Cを介してM個のピクセルエンジン33D1, 33D2... 33DMに転送される。

上記M個のピクセルエンジン33D1, 33D2... 33DMは、Zバッファ処理やアンチエイリアシング処理等の各種画像処理を並列処理により行い、M個の画素データを生成する。

そして、上記M個のピクセルエンジン33D1, 33D2...

33DMで生成されたM個の画素データは、この第2のバススイッチ33Eを介して上記フレームバッファ18に書き込まれる。

ここで、上記第2のバススイッチ33Eは、上記プロセッサ32からピクセルインターリーブの制御情報が供給されており、上記M個のピクセルエンジン33D1, 33D2・・・33DMで生成されたM個の画素データのうちのL個の画素データを上記制御情報に基づいて選択することにより、上記フレームバッファ18上に描画するポリゴンの形状に応じたM個の記憶場所をアクセス単位として画素データをM個づつ書き込むピクセルインターリーブ処理を行う機能を有している。

上記描画エンジン33は、上記プロセッサ32により前処理が施されたポリゴンデータに基づいて、各ポリゴンの全ての画素データを生成して上記フレームバッファ18に書き込むことにより、上記描画命令によりポリゴンの組合せとして定義された画像を上記フレームバッファ18上に描画する。そして、上記フレームバッファ18に描画された画像の画素データを読み出してPCRTC (Programmable Cathode Ray Tube Controller) 34を介してビデオ信号として図示しないテレビジョン受像機やモニタ受像機に供給する。

ここで、PCRTC34は、1つの画面に複数の画像を表示するのみならず、外部から取り込まれた画像データも上記画面に表示することができるように、同期信号に従ってフレームバッファ18に書き込まれている画像データを読み出している。

すなわち、PCRTC34は、例えば図5に示すように、同期信号発生回路51からの水平同期信号、垂直同期信号をHカウンタ52, Vカウンタ53のカウントに基づいて所定のアドレスを発生す

る。そして、P C R T C 3 4 は、上記アドレスに基づいてV R A M 1 8 から画像データを読み出し、この画像データが供給される。そして、P C R T C 3 4 は、画像データの出力制御を行い、D / A コンバータ 5 4 を介して、ビデオ信号を出力する。

具体的には、同期信号発生回路 5 1 は、水平同期信号及び垂直同期信号を発生し、水平同期信号をHカウンタ 5 2 に、垂直同期信号をVカウンタ 5 3 等に供給する。

Hカウンタ 5 2 は、供給された水平同期信号をカウントする。Vカウンタ 5 3 は、Hカウンタ 5 2 のカウント動作に基づいて駆動され、供給された垂直同期信号をカウントする。

P C R T C 3 4 は、1フレーム毎に、例えばHカウンタ 5 2 及びVカウンタ 5 3 が所定数カウントして切出位置を決定した後、ある画像に対応するアドレスを発生し、その後所定数カウントして切出位置を決定した後、他の画像に対応するアドレスを発生する。すなわち、P C R T C 3 4 は、V R A M 1 8 には複数の画像からなる1フレームの画像データが書き込まれているため、フレーム周期内で、それぞれの画像データに対応するアドレスを発生している。

V R A M 1 8 は、逐次フレーム周期で画像データが書き込まれるようになっていて、P C R T C 3 4 からアドレスが供給される毎に、そのアドレスに対応した画像データを読み出し、これら画像データをP C R T C 3 4 に供給する。

P C R T C 3 4 は、画面の所定の位置に所定の画像が表示されるように、供給された画像データの出力制御をした後、画像データをD / A コンバータ 5 4 に供給する。D / A コンバータ 5 4 は、供給された画像データをアナログ変換し、ビデオ信号を出力する。

すなわち、P C R T C 3 4 は、一画面中に表示される複数の画像に対応する画像データをそれぞれV R A M 1 8 から読み出し、読み出された画像データの出力制御をすることにより、一画面中に例えば解像度の異なる複数の画像を表示させることができる。

なお、P C R T C 3 4 は、詳しくは後述するが、例えば外部からの画像データを取り込んでV R A M 1 8 にその画像データを書き込むことができ、アドレスの発生によりその画像データを他の画像データと同様に読み出すこともできる。

以下、第1の実施の形態に係るC R T Cの構成について説明する。

第1の実施の形態に係るP C R T C 3 4 aは、上述のように、一画面中に例えば解像度の異なる複数の画像を表示させるべく、例えばC R T Cバッファを複数備え、かつ、それぞれのC R T Cバッファを独立制御することができる。

具体的には、P C R T C 3 4 aは、例えば図6に示すように、制御部61と、複数のC R T Cバッファ62a～62gと、選択合成部63とを備える。なお、V R A M 1 8には、例えば図7に示すように、それぞれ解像度等の異なる画像データが書き込まれているものとする。

制御部61は、同期信号を所定数カウントして所望の切出位置を定めると、例えばV R A M 1 8には高解像度の画像データが取り込まれているものの低解像度のディスプレイに表示する場合には、必要に応じて解像度を下げるようになっている。そして、P C R T C 3 4 aは、例えばV R A M 1 8内に記憶された低解像度のある画像を切り出すためアドレスを発生し、このアドレスをV R A M 1 8に供給する。また、P C R T C 3 4は、例えば次の切出位置が決定さ

れると、例えばVRAM18内に記憶された高解像度の他の画像データを切り出すためのアドレスを発生するようになっている。

VRAM18は、上述の図7に示すように、1フレーム中に表示される例えば低解像度、高解像度の画像データ等がそれぞれ書き込まれていて、制御部61からアドレスが供給される毎に、そのアドレスに応じた画像データを読み出し、画像データをCRTCバッファ62に供給するようになっている。なお、後述するが、VRAM18は、CRTCバッファ62gを介して外部から供給された画像データについても、他の直接VRAM18に書き込まれた画像データと同様に、制御部61からのアドレスによって読み出されるようになっている。

CRTCバッファ62は、上述のように複数のCRTCバッファ62a～62gから構成され、各CRTCバッファ62a～62g毎に例えば解像度や画像の異なる画像データがそれぞれ供給され、供給された画像データを一時保持するようになっている。そして、CRTCバッファ62a～62gは、制御部61によりそれぞれ独立に制御され、1水平走査ライン毎に、画像データを順次選択合成部63に供給する。これにより、PCRTC34aは、例えば図7のディスプレイ表示のように、水平走査ライン毎に異なる解像度等の画像を表示させることができる。

また、CRTCバッファ62のうち、例えば1つのCRTCバッファ62gは双方向性機能を有する。すなわち、CRTCバッファ62gは、例えば外部から供給される画像データを取り込むことができ、取り込んだ画像データをVRAM18に供給するようになっている。このとき、VRAM18は、制御部61からアドレスが供

給されると、他の画像データと同様に取り込んだ画像データを読み出すことができる。そして、この読み出された画像データは、C R T Cバッファ62gを介して、選択合成部63に供給される。

選択合成部63は、上述の図6に示すように、供給された画像データの選択をするセレクタ64と、係数制御回路65と、フィルタ66とを備え、C R T Cバッファ62a～62gを介して、セレクタ64にそれぞれの画像データが供給される。

セレクタ64は、制御部61の制御に基づいて、供給された画像データを選択し所定の画像データのみをフィルタ66に供給する。一方、係数制御回路65は、セレクタ64から所定の画像データが供給されると、制御部61の演算結果に基づき、例えば画像データの一部のパラメータを変更したり、画像データの一部又は全部のパラメータに物体の不透明度を表すアルファ値の掛け合わせ等を、フィルタ66に供給される画像データに行う。

フィルタ66は、供給された画像データを合成して、画像合成データを出力する。出力された画像合成データは、D/Aコンバータによりアナログ変換され、アナログ変換されたビデオ信号は、図7に示すように、ディスプレイの一画面に複数の画像を表示させることができる。

以下、第2の実施の形態に係るC R T Cの構成について説明する。なお、上記第1の実施の形態と同じものには同じ符号を付し、詳細な説明は省略する。

第2の実施の形態に係るP C R T C34bは、例えば図8に示すように、C R T Cバッファの代わりにラインバッファを備え、これらラインバッファを独立制御することによっても同様に表示するこ

とができる。なお、上記P C R T C 3 4 bは、例えば制御部7 1と、制御プログラム部7 2と、制御レジスタ7 3と、キャッシュメモリ7 4 a, 7 4 bと、ラインバッファ7 5 a~7 5 dと、選択合成部6 3とを備える。

制御部7 1は、制御プログラム7 2に組み込まれているプログラムに基づいて、例えば後述する画像データの一部のパラメータを変更したり、アルファ値の演算等を行う。また、制御部7 1は、制御レジスタ7 3を介して、例えばV R A M 1 8に供給すべきアドレスを発生し、また、キャッシュメモリ7 4、ラインバッファ7 5、選択合成部6 3を制御するようになっている。

V R A M 1 8は、供給されたアドレスに応じて画像データを読み出す。読み出された画像データは、ラインバッファ7 5 a~7 5 dを介して、選択合成部6 3に供給される。なお、ラインバッファ7 5 dは、双方向性のラインバッファであり、例えば外部から供給された画像データを取り込み、この画像データをV R A M 1 8に供給することができる。V R A M 1 8は、ラインバッファ7 5 dを介して供給された外部からの画像データを書き込み、他の画像データと同様に、制御部からのアドレスに基づき、この画像データを読み出すことができる。また、V R A M 1 8は、画像データをキャッシュメモリ7 4 a, 7 4 bにも供給している。

キャッシュメモリ7 4 a, 7 4 bは、複数のメモリで構成され、供給された画像データを書き込むことができる。そして、キャッシュメモリ7 4 a, 7 4 bは、制御部7 1の制御に基づいて、画像データを読み出し、この画像データを選択合成部6 3に供給する。

選択合成部6 3は、例えば供給された画像データの一部のパラメ

ータを変更したり、画像データの一部又は全部のパラメータに物体の不透明度を表すアルファ値の掛け合わせ等を行った後、供給されたそれぞれの画像データを選択し、選択された画像データを合成する。合成された画像データは、D/Aコンバータによりアナログ変換される。アナログ変換されたビデオ信号は、例えば図7に示すように、ディスプレイの画面中にタイル状の画像を複数表示させることができる。すなわち、P C R T C 3 4 bは、C R T Cバッファの代わりにラインバッファ7 5 a～7 5 dを用いたため、生産コストの削減に寄与することができる。

また、P C R T C 3 4 bは、V R A M 1 8から読み出した画像データが供給され、ラインバッファ7 5 a～7 5 dを介して複数の画像データの出力制御をそれぞれ独立に行うことができるため、例えばディスプレイに表示される一画面に複数の画像を表示させることができる。

さらに、P C R T C 3 4 bは、外部からの画像データを双方向性のラインバッファ7 5 dによって取り込み、この画像データをV R A Mに書き込むことができるため、制御部から所定のアドレスが発生すると、取り込まれた画像データは他の画像データと同様にV R A M 1 8から読み出されるようになっている。これにより、P C R T C 3 4 bは、ディスプレイの一画面に複数の画像を表示させるのみでなく、外部からの画像を取り込んで表示させることもできる。

このような本発明を適用したビデオゲーム装置は、例えば、図9の平面図、図10の正面図及び図11の側面図に示すような構成となっている。

すなわち、このビデオゲーム装置201は、図9に示すように、

基本的に、装置本体 202 と、この装置本体 202 に対してケーブル 227 を介して接続される操作装置 217 により構成されている。装置本体 202 の上面の中央部には、ディスク装着部 203 が設けられ、その内部に図 12 に示すような CD-ROM 251 が装着されるようになされている。ディスク装着部 203 の左側には、装置の電源をオンまたはオフするときに操作される電源スイッチ 205 と、ゲームを一旦リセットするときに操作されるリセットスイッチ 204 が設けられている。また、ディスク装着部 203 の右側には、ディスク装着部 203 に対して CD-ROM 251 を着脱するときに操作されるディスク操作スイッチ 206 が設けられている。

また、装置本体 202 の正面には、図 10 に示すように、接続部 207A、207B が設けられている。これらの接続部 207A、207B には、操作装置 217 から導出されたケーブル 227 の先端に設けられている接続端子部 226 と、メモリーカードなどよりなる記録装置 228 を接続するため接続端子挿入部 212 と記録挿入部 208 がそれぞれ設けられている。すなわち、この装置本体 202 には、操作装置 217 と記録装置 228 がそれぞれ 2 個接続できるようになされている。

ここで、図 10 の正面図には、右側の接続部 207B に接続端子部 226 と記録装置 228 が装着され、左側の接続部 207A には接続端子部 226 と記録装置 228 のいずれも装着されていない状態が示されている。この図 10 に示すように、記録装置 228 を装着する記録挿入部 208 にはシャッタ 209 が設けられており、記録装置 228 を装置本体 202 に対して装着するときに、記録装置 228 の先端で、このシャッタ 209 を押し込むようにして、装着

が行われるようになっている。

また、接続端子部 226 の把持部 231A と記録装置 228 には把持部 242A には、それぞれ例えばローレット加工などによる滑り止め加工が施されている。なお、図 11 の側面図に示すように、接続端子部 226 と記録装置 228 の長さ L は、ほぼ同一の長さとなっている。

操作装置 27 には、左右の手で把持される支持部 220, 221 が設けられ、支持部 220, 221 の先端には、操作部 218, 219 が設けられている。操作部 224, 225 は、左右の手の人差し指で操作され、操作部 218, 219 は、左右の親指で操作されるようになっている。

操作部 218, 219 の間には、ゲーム中においてセレクト操作を行うときに操作されるセレクトスイッチ 222 と、ゲームを開始するときに操作されるスタートスイッチ 223 が設けられている。

このビデオゲーム装置 201 では、上記ディスク装着部 203 に装着された CD-ROM 251 が上述の CD-ROM ドライバ 30 により再生される。また、上記操作装置 217 は、上述の入力デバイス 28 に相当するものであり、また、上記記録装置 228 は、上述の補助記憶装置 27 に相当するものである。

以上詳細に説明したように、本発明に係るアドレス発生装置によれば、同期信号に基づいて所定のアドレスが発生して、フィールドメモリに書き込まれている各画像データは順次読み出され、この読み出した各画像データがアドレス発生装置内の複数のラインバッファにそれぞれ供給されている。従って、アドレス発生装置は、各ラインバッファを介して、各画像データの出力をそれぞれ独立に制御

することにより、一画面中に複数の画像を表示させることができる。

また、上記アドレス発生装置によれば、上記複数のラインバッファのうち少なくとも1つは外部からの画像データを取り込んでフィールドメモリに書き込むことができるため、所定のアドレスが発生すると、外部から取り込まれた画像データは他の画像データと同様にフィールドメモリから読み出される。従って、上記アドレス発生装置は、外部から取り込んだ画像を、画像メモリに書き込まれている画像データと同様に読み出すことができ、一画面中に複数の画像を表示させることができる。

本発明に係る画像表示装置によれば、同期信号に基づいて所定のアドレスが発生して、フィールドメモリに書き込まれている各画像データは順次読み出され、この読み出した各画像データがアドレス発生手段内の複数のラインバッファにそれぞれ供給されている。従って、画像表示装置は、各ラインバッファを介して、各画像データの出力をそれぞれ独立に制御してビデオ信号を出力することにより、一画面中に複数の画像を表示させることができる。

また、上記画像表示装置によれば、上記複数のラインバッファのうち少なくとも1つは外部からの画像データを取り込んでフィールドメモリに書き込むことができるため、所定のアドレスが発生すると、外部から取り込まれた画像データは他の画像データと同様にフィールドメモリから読み出される。従って、上記画像表示装置は、外部から取り込んだ画像を、画像メモリに書き込まれている画像データと同様に読み出してビデオ信号を出力することができ、一画面中に複数の画像を表示させることができる。

上記画像表示装置によれば、制御手段はプログラム制御されてい

ることにより、例えば画像データの一部のパラメータを変更したり、アルファ値の演算等を行うことにより、鮮明な画像を表示させることができる。

また、上記画像表示装置によれば、上記キャッシュメモリは画像信号を書き込み、上記制御手段はキャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させることができる。

請 求 の 範 囲

1. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、

上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段と

を備えることを特徴とするアドレス発生装置。

2. 上記複数のバッファのうち少なくとも1つは、外部から供給された画像信号を取り込んで、この画像信号を上記画像メモリに供給することを特徴とする請求項1記載のアドレス発生装置。

3. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成するアドレス生成手段と、上記アドレスに基づいて上記画像メモリから読み出された画像信号がそれぞれ供給される複数のバッファと、上記複数のバッファにそれぞれ供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする制御手段とを有するアドレス発生手段と、

上記複数のバッファから出力される画像信号を合成する合成手段と

を備えることを特徴とする画像表示装置。

4. 上記複数のバッファのうち少なくとも1つは、外部から供給



* C L H S *

された画像信号を取り込んで、この画像信号を上記画像メモリに供給することを特徴とする請求項3記載の画像表示装置。

5. 上記合成手段は、上記制御手段の所定の演算に基づいてプログラム制御されていることを特徴とする請求項3記載の画像表示装置。

6. 上記画像メモリから読み出された画像信号が供給される1以上のキャッシュメモリを備え、

上記キャッシュメモリは、供給された画像信号を書き込み、

上記制御手段は、上記キャッシュメモリに書き込まれた画像信号を逐次読み出し制御することにより、一画面に同一の画像を複数表示させる

ことを特徴とする請求項3記載の画像表示装置。

7. 上記バッファはラインメモリからなることを特徴とする請求項3記載の画像表示装置。

8. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、

上記アドレスに基づいて上記画像メモリから読み出された画像信号を複数のバッファをそれぞれ供給し、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をする

ことを特徴とするアドレス発生方法。

9. 同期信号に基づいて、画像メモリに書き込まれている画像信号を読み出すためのアドレスを生成し、

上記アドレスに基づいて上記画像メモリから読み出された画像信



号を複数のバッファにそれぞれ供給し、

上記複数のバッファに供給された画像信号が一画面に表示されるように、上記複数のバッファから出力される画像信号をそれぞれ独立に制御をして、

上記複数のバッファから出力される画像信号を合成して表示することを特徴とする画像表示方法。

