

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 3 月 15 日(15.03.2012)

PCT

(10) 国際公開番号
WO 2012/032595 A1

- (51) 国際特許分類:
G06F 12/16 (2006.01)
- (21) 国際出願番号: PCT/JP2010/065255
- (22) 国際出願日: 2010 年 9 月 6 日(06.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 重枝 哲也 (SHIGEEDA, Tetsuya) [—/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

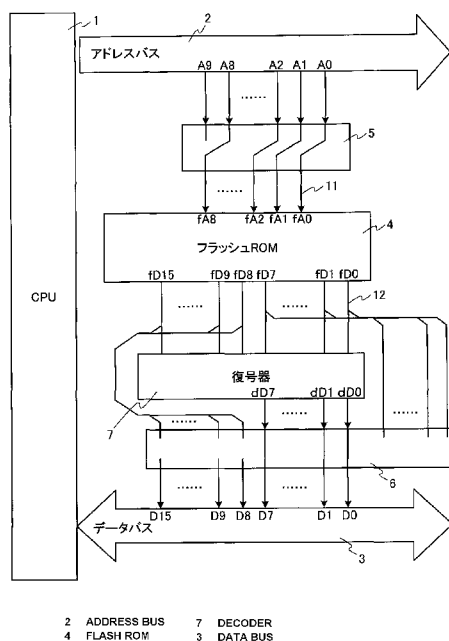
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: MEMORY CONTROL DEVICE AND MEMORY CONTROL METHOD

(54) 発明の名称: メモリ制御装置およびメモリ制御方法

[図1]



(57) Abstract: A memory control device is provided with: a CPU (1); a flash ROM (4) for recording therein first information which has been subjected to an error correction encoding process and second information which has not been subjected to the error correction encoding process; an address line switch (5) which switches between a first path for interconnecting an address bus (2) and the ROM (4) so as to enable the CPU (1) to read the first information recorded in the ROM (4) and a second path for interconnecting the address bus (2) and the ROM (4) so as to enable erasure, write and read of the second information recorded in the ROM (4); a decoder (7) which subjects the first information recorded in the ROM (4) to error correction and decoding; and a data line switch (6) which switches between a third path for interconnecting the decoder (7) and a data bus (3) so as to transmit the information decoded by the decoder (7) to the data bus (3) and a fourth path for interconnecting the ROM (4) and the data bus (3) so as to enable erasure, write and read of the second information recorded in the ROM (4).

(57) 要約: CPU 1 と、誤り訂正符号化処理がなされた第 1 の情報と誤り訂正符号化処理がなされていない第 2 の情報とを記録するフラッシュ ROM 4 と、ROM 4 に記録された第 1 の情報を CPU 1 が読み取り可能とすべくアドレスバス 2 と ROM 4 とを接続する第 1 の経路と ROM 4 に記録された第 2 の情報を消去、書き込み、および読み取り可能とすべくアドレスバス 2 と ROM 4 とを接続する第 2 の経路とを切り替えるアドレス線切替器 5 と、ROM 4 に記録された第 1 の情報の誤り訂正および復号を行う復号器 7 と、復号器 7 にて復号された情報をデータバス 3 に伝達すべく復号器 7 とデータバス 3 とを接続する第 3 の経路と ROM 4 に記録された第 2 の情報を消去、書き込み、および読み取り可能とすべく ROM 4 とデータバス 3 とを接続する第 4 の経路と、を切り替えるデータ線切替器 6 とを備える。

WO 2012/032595 A1