半导体结构和半导体器件及其形成方法

本申请要求于 2024 年 5 月 20 日提交中国专利局、申请号为 202410644060.0、申请名称为“半导体结构和半导体器件及其形成方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体结构和半导体器件及其形成方法。

背景技术

中介层（interposer）是 2.5D、3D 半导体封装中芯片、模块传递信号的中介，可以实现芯片间的互连，也可以实现与封装基板的互连。而硅中介层（Si interposer）因其具有较高的细间距布线能力和垂直硅通孔（Through Si Via）互连能力，可以实现高密度 I/O 需求，在 2.5D、3D 半导体封装中扮演着重要角色。

为了满足高算力、高速度需求，Si interposer 通常需要设计大量的硅电容，这些硅电容在功率与信号完整性方面发挥重要作用，保证了器件的电源稳定性或者高频阻抗特性。

发明内容

基于此，针对上述问题，本公开提供一种半导体结构和半导体器件及其形成方法。

本公开提供一种半导体结构，包括：衬底；第一沟槽组，位于衬底内；至少两个第一沟槽组沿第二方向 X'排列；第一沟槽组包括第一沟槽；连通沟槽部，连通位于第三方向 Y 上相邻的第一沟槽；第二方向 X'与第三方向 Y 有夹角。

上述半导体结构因为连通沟槽部的存在，可以保证衬底的结构应力小、翘曲度小、表面平整度好。

本公开提供一种半导体结构，还包括：第二沟槽组，位于衬底内，多个第二沟槽组沿第一方向 X 排列；其中，第二沟槽组和第一沟槽组阵列排布，在第一方向 X 两个第二沟槽组被第一沟槽组隔开； 第一方向 X、第二方向 X'和第三方向 Y 位于同一平面内，第一方向 X 和第三方向 Y 垂直，第二方向 X'与第一方向 X、第三方向 Y 相交，第二方向 X'与第三方向 Y 的夹角为锐角。

上述半导体结构因为第一沟槽组和第二沟槽组阵列排布，进一步降低衬底的整体结构应力，衬底的整体翘曲度更小、表面平整度更好。

在其中一个实施例中，第一沟槽沿第三方向 Y 延伸，第二沟槽组包括第二沟槽，第二沟槽沿第一方向 X 延伸。

在其中一个实施例中，每个第一沟槽组中的第一沟槽数量为 N，连通沟槽部包括连通沟槽，连通沟槽的数量大于等于 N/2。这样衬底的结构应力更小、可靠性更高。

在其中一个实施例中，连通沟槽沿第三方向 Y 延伸，连通沟槽、以及与连通沟槽沿第三方向 Y 的上、下相邻的第一沟槽，共线对齐。

在其中一个实施例中，第一沟槽组和第二沟槽组的数量比值接近 1。

在其中一个实施例中，沿第三方向 Y，第二沟槽组包括位于其边缘的侧面，第一沟槽组包括

位于第一沟槽的端部的多个端面；侧面和端面沿第一方向 X 齐平。

在其中一个实施例中，沿第三方向 Y，相邻的两个第二沟槽组之间有第一间隙；沿第一方向 X，相邻的第二沟槽组与第一沟槽组之间有第二间隙；第一间隙的尺寸大于第二间隙的尺寸。

本公开提供一种半导体结构，还包括：与第一沟槽组相连的延伸沟槽部，延伸沟槽部包括沿第三方向 Y 延伸的延伸沟槽，延伸沟槽与第一沟槽连通，沿第三方向 Y 共线对齐。

上述半导体结构因为延伸沟槽部的存在，会增加衬底中的沟槽占衬底的空间比例，增加衬底中的沟槽结构的比表面积，增大衬底中硅电容的电容值密度。

在其中一个实施例中，第一沟槽的顶部和底部分别有第一宽度和第二宽度，第二沟槽的顶部和底部分别有第三宽度和第四宽度，第一宽度和第二宽度基本一致，第三宽度和第四宽度基本一致。沟槽的顶部和底部的宽度基本一致的结构，使得电容材料连续性好，厚度一致性好，硅电容的电容值密度高，漏电流小。

在其中一个实施例中，第一宽度和第三宽度范围在 0.3-1.6um 之间。

在其中一个实施例中，第一沟槽有第一深度，第二沟槽有第三深度，第一深度大于第三深度。

本公开还提供一种半导体器件，包括：衬底；

第一沟槽组，位于衬底内；至少两组第一沟槽组沿第二方向 X'排列；第一沟槽组包括多个第一沟槽；连通沟槽部，连通位于第三方向 Y 上相邻的第一沟槽；第二沟槽组，位于衬底内，多个第二沟槽组沿第一方向 X 排列；其中，第二沟槽组和第一沟槽组阵列排布，在第一方向 X 两个第二沟槽组被第一沟槽组隔开；电容堆叠体，堆叠在第一沟槽组、第二沟槽组和连通沟槽部上，其中电容堆叠体连续的延伸于第一沟槽组、第二沟槽组和连通沟槽部的侧壁和底面；第一方向 X、第二方向 X'和第三方向 Y 位于同一平面内，第一方向 X 和第三方向 Y 垂直，第二方向 X'与第一方向 X、第三方向 Y 相交，第二方向 X'与第三方向 Y 的夹角为锐角。

在其中一个实施例中，在侧壁和底面相交的位置，电容堆叠体有突起。通过突起设置，使得该处的电容堆叠体厚度连续性和一致性更好，进而硅电容的漏电流更小。

在其中一个实施例中，还包括第一接触插塞，电容堆叠体包括上电极、下电极，多个第一接触插塞位于衬底的边缘区域，边缘区域仅有上电极或下电极的一种。

在其中一个实施例中，还包括第二接触插塞，其中，沿第三方向，相邻的两个第二沟槽组之间有第一间隙；沿第三方向，相邻的第一沟槽组和第二沟槽组之间有第三间隙；第二接触插塞位于第一间隙和第三间隙上。通过在第一间隙、第三间隙位置设置第二接触插塞，额外提供了更多、更短的导电路径，互连结构的电阻降低，整个硅电容的等效电阻降低。

本公开还提供一种半导体器件的形成方法，包括：提供衬底；在衬底内形成第一沟槽组、第二沟槽组和连通沟槽部；形成电容堆叠体，电容堆叠体堆叠在第一沟槽组、第二沟槽组和连通沟槽部上，其中电容堆叠体连续的延伸于第一沟槽组、第二沟槽组和连通沟槽部的侧壁和底面。

在其中一个实施例中，在衬底内形成第一沟槽组、第二沟槽组和连通沟槽部时，还包括在衬底的外侧边缘形成虚拟沟槽。虚拟沟槽可以避免形成的各沟槽的宽度不均一的问题。

在其中一个实施例中，在侧壁和底面相交的位置，电容堆叠体形成突起。

在其中一个实施例中，在形成电容堆叠体时，还包括形成上电极、介电层、下电极，下电极连续延伸覆盖衬底的表面，上电极和介电层不连续延伸覆盖衬底的表面。

附图说明

图 1A、图 1B，图 3~图 5 为本公开的半导体结构的俯视图。

图 6 为本公开的半导体结构的一个剖视图。

图 7 为、图 8 为本公开的半导体器件的剖视图。

图 9A-图 9E 为本公开的半导体器件的俯视图。

图 10A-图 10D 为本公开的半导体器件的形成方法对应的结构剖视图。

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

可以理解的是，本公开的“在……上”、“在……之上”和“在……上方”的含义应当以最宽方式被解读，以使得“在……上”不仅表示其“在”某物“上”且其间没有居间特征或层（即直接在某物上）的含义，而且还包括在某物“上”且其间有居间特征或层的含义。

在本公开实施例中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

在本公开实施例中，术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸，或者可以具有小于下方或上方结构范围的范围。此外，层可以是厚度小于连续结构厚度的均质或非均质连续结构的区域。例如，层可位于连续结构的顶表面和底表面之间，或者层可在连续结构顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。层可以包括多个子层。

需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。

硅电容去耦电容主要作用减小噪声和退耦合，所以要求硅电容的电容值密度越大越好，而其中的互连结构的等效电阻、漏电流越小越好，同时要求 Si interposer 的整体结构可靠性好、表面平整度高、翘曲度小。

基于此，以下结合附图和具体的实施例对本公开技术方案的半导体结构进行详细说明。

参考图 1A、图 1B，本公开提供一种半导体结构，包括：衬底 1；第一沟槽组 2，位于衬底 1 内；至少两个第一沟槽组 2 沿第二方向 X'排列；第一沟槽组 2 包括多个第一沟槽 20；连通沟槽部 3，连通位于第三方向 Y 上相邻的第一沟槽 20。

衬底 1 可以包括但不限于单晶硅衬底、多晶硅衬底、氮化镓衬底或蓝宝石衬底，当衬底 1 为单晶衬底或多晶衬底时，还可以是本征硅衬底或者是掺杂硅衬底，进一步，可以为 N 型多晶硅衬底或 P 型多晶硅衬底。衬底 1 可以包括但不限于有机基板、玻璃基板、陶瓷基板、金属基板。

半导体结构至少包括两个第一沟槽组 2，两个第一沟槽组 2 之间错位排列，错位排列平行于第二方向 X'，参考图 1A、图 1B 所示的半导体结构的俯视图，在俯视图上两个第一沟槽组 2 上的位于相同位置的特征相连的连线平行于第二方向 X'。作为示例，如，一个第一沟槽组 2 的中心点 O 与另一个第一沟槽组 2 的中心点 O'相连的连线，平行于第二方向 X'，这里的中心点 O 和 O'可以是虚构的点，可以不属于第一沟槽组 2 上的结构特征；或一个第一沟槽组 2 的拐角的 A 点与另一个第一沟槽组 2 的拐角的 B 点相连的连线，平行于第二方向 X'。

这里，为了更清楚简便地描述，如图 1、图 1B 所示，定义第一方向 X、第二方向 X'和第三方

向 Y 位于同一平面内，第一方向 X 和第三方向 Y 垂直，第二方向 X'与第一方向 X、第三方向 Y 相交，第二方向 X'与第三方向 Y 的夹角 θ 为锐角。

第一沟槽组 2 包括多个第一沟槽 20，作为示例，第一沟槽 20 呈矩形沟槽，每个第一沟槽组 2 的多个第一沟槽 20 之间相互平行，每个第一沟槽 20 沿第三方向 Y 延伸。对于第一沟槽 20 的形状和延伸方向还可以是其他实施例，如第一沟槽 20 的形状是圆弧形沟槽（图中未示出），这里不作限定。

本公开所要求的矩形沟槽，其矩形形状可以是标准的直角矩形，也可以是圆角矩形（矩形端头或直角位置是圆弧），甚至近似椭圆形，矩形形状不对沟槽构成限定，如矩形沟槽沿第三方向 Y 延伸可以是沟槽的中心线沿第三方向延伸。

半导体结构还包括连通沟槽部 3，连通沟槽部 3 连通位于第三方向 Y 上相邻的第一沟槽 20。因为至少两个第一沟槽组 2 之间错位排列，在两个第一沟槽组 2 靠近的位置，有沿着第三方向 Y 上、下相邻的第一沟槽。连通沟槽部 3 包括多个连通沟槽 30，多个连通沟槽 30 连通沿第三方向 Y 上、下相邻的第一沟槽 20。

连通沟槽部 3 及连通沟槽 30 的存在，可以保证衬底 1 的结构应力小、可靠性高，尤其是衬底 1 在垂直于第三方向 Y 上的翘曲度小，衬底 1 的表面平整度好，以及衬底 1 中的金属互连结构可靠性，进而衬底 1 与芯片或模块或其他基板封装的互连可靠性得以保证。

每个连通沟槽 30 沿第三方向 Y 延伸，作为示例，当每个第一沟槽 20 沿第三方向 Y 延伸，连通沟槽 30、同与其沿第三方向 Y 上、下相邻的两个第一沟槽 20 一起，三者连通呈共线，共线对齐。

在一个实施例中，每个第一沟槽组 2 中的第一沟槽 20 数量为 N，每个连通沟槽部 3 中的连通沟槽 30 数量为 M，这里第二方向 X'与第三方向 Y 的夹角 θ 为包括零的锐角，当夹角 θ 为零时，连通沟槽 30 数量 M 则等于第一沟槽 20 数量 N。这时，沿第三方向 Y 相邻的两个第一沟槽组 2 之间被连通沟槽部 3 完全相连。

在其他的实施例中，连通沟槽 30 的数量 M 最小为自然数 1，即沿第三方向 Y 相邻的两个第一沟槽组 2 之间最少有一个连通沟槽 30 连通。而为了衬底 1 的结构应力更小、可靠性更高，在优选的实施例中，连通沟槽 30 数量 M 大于等于 N/2。

作为示例，图 1 仅示出了沿第三方向 Y 相邻的两个第一沟槽组 2 及对应的连通沟槽部 3 及其连通沟槽 30，第一沟槽 20 沿第三方向 Y 延伸，连通沟槽 30 沿第三方向 Y 延伸，共线对齐的第一沟槽 20 和连通沟槽 30 都是矩形沟槽，连通沟槽 30 数量 M 等于第一沟槽 20 数量 N 的一半。但该示例，不构成具体实施限定。

参考图 2，本公开提供的半导体结构，还包括：第二沟槽组 4，位于衬底 1 内，多个第二沟槽组 4 沿第一方向 X 排列；其中，第二沟槽组 4 和第一沟槽组 2 阵列排布，沿第一方向 X 排列的两个第二沟槽组 4 被第一沟槽组 2 隔开，也可以看作，沿第一方向 X 相邻的两个第一沟槽组 2 被第二沟槽组 4 隔开，第一沟槽组 2 和第二沟槽组 4 纵横交错排布。 在本实施例中，多个第一沟槽组 2 的排列方式参考图 1 中的半导体结构的任一实施例设置，在此不再赘述。

在另一个实施例中，还包括：多个第二沟槽组 4 沿第二方向 X'排列，形成第二沟槽组阵列。参考图 1 所示实施例，多个第一沟槽组 2 沿第二方向 X'排列，形成第一沟槽组阵列。第一沟槽组阵列和第二沟槽组阵列沿第一方向 X 间隔排布，沿第一方向 X 排列的两个第二沟槽组阵列被一个第一沟槽组阵列隔开，也可以看作，沿第一方向 X 排列的两个第一沟槽组 2 被第二沟槽组 4 隔开，第一沟槽组 2 和第二沟槽组 4 纵横交错排布。

在这两个实施例中，第一沟槽组 2 中的至少部分第一沟槽 20 通过连通沟槽部 3 互相连通，而第一沟槽组 2 和第二沟槽组 4 纵横交错排布，进一步保证衬底 1 的整体结构应力小，尤其是衬底 1 在垂直于第一方向 X 上的翘曲度也减小，衬底 1 的整体翘曲度更小，表面平整度更好。

作为优选的实施例，衬底 1 中的第一沟槽组 2 的数量和第二沟槽组 4 的数量比值接近 1，第一沟槽组 2 和第二沟槽组 4 纵横交错排布，第一沟槽组 2 中的至少部分第一沟槽 20 通过连通沟槽部 3 互相连通。数量比值接近 1，可以进一步降低衬底 1 的整体结构应力，保证衬底 1 的表面平整度和翘曲度。

继续参考图 2，第二沟槽组 4 包括多个第二沟槽 40。作为示例，第二沟槽 40 呈矩形沟槽，每个第二沟槽组 4 的多个第二沟槽 40 之间相互平行，每个第二沟槽 40 沿第一方向 X 延伸。对于第二沟槽 40 的形状和延伸方向还可以是其他实施方式，如第二沟槽 40 的形状是圆弧形沟槽、波浪线沟槽（图中未示出）。可以理解的是，如图 2 所示仅是给出一个优选的示例，实施不作具体限定。

参考图 3，在第三方向 Y 上，相邻的第二沟槽组 4 之间有第一间隙 61，尺寸如图为 D1；沿第一方向 X，相邻的第二沟槽组 4 与第一沟槽组 2 之间有第二间隙 62，尺寸如图为 D2；第一间隙 61 的尺寸 D1 大于第二间隙 62 的尺寸 D2。作为示例，如图 3 所示，第二沟槽 40 呈矩形沟槽，每个第二沟槽组 4 的多个第二沟槽 40 之间相互平行，每个第二沟槽 40 沿第一方向 X 延伸。此时相邻的第二沟槽组 4 之间的第一间隙 61 的尺寸唯一，在第三方向 Y 上各处相等，也即相邻的第二沟槽组 4 在相邻位置的两个第二沟槽 40 平行。对于第二沟槽 40 的形状和延伸方向是其他实施方式，如第二沟槽 40 的形状是圆弧形沟槽、波浪线沟槽（图中未示出），此时相邻的第二沟槽组 4 之间的第一间隙 61 的尺寸不唯一，在第三方向 Y 上可以不相等。

在本实施例中，第一间隙 61 的尺寸 D1 大于第二间隙 62 的尺寸 D2，但应当理解的是，第二间隙 62 不会对第一间隙 61 有限定作用，第一间隙 61 的尺寸 D1 大于第二间隙 62 的尺寸 D2，也即第一间隙 61 的空间大于第二间隙 62 的空间，后续在第一间隙 61 位置设置其他互连结构更加方便、自由度更大，比如互连结构的排布和大小设置更加自由。本领域技术人员应当理解的是，在第二间隙 62 的空间中也可以设置其他互连结构，本实施例不构成限定。

继续参考图 3，第二沟槽 40 呈矩形沟槽，每个第二沟槽组 4 的多个第二沟槽 40 之间相互平行，每个第二沟槽 40 沿第一方向 X 延伸，在第三方向 Y 上，第二沟槽组 4 包括位于其边缘的侧面，俯视图上看呈侧边，因第二沟槽 40 呈矩形，所以侧边为沿第一方向 X 延伸的直线。在第三方向 Y 上，相邻的第二沟槽组 4 之间有第一间隙 61，此时相邻的第二沟槽组 4 之间的第一间隙 61 的尺寸 D1 相同。

在本实施例中，第一沟槽 20 的端部有端面，每个第一沟槽组 2 的多个第一沟槽 20 的端面在第一方向 X 上齐平。如沿着第三方向 Y，多个位于第一沟槽 20 上端的端面齐平，或多个位于第一沟槽 20 下端的端面齐平。

作为示例，第一沟槽 20 呈矩形沟槽，每个第一沟槽组 2 的多个第一沟槽 20 之间相互平行，每个第一沟槽 20 沿第三方向 Y 延伸。矩形沟槽有长边和宽边，第一沟槽 20 位于宽边上有端面，沿着第三方向 Y 同侧的多个端面齐平。

在本实施例中，第二沟槽组 4 有位于其边缘的第二沟槽 40 的边缘的侧面，因第一沟槽 20 有多个在第三方向 Y 同侧齐平的端面，所以侧面和多个端面沿第一方向 X 也齐平。或者说，沿第三方向 Y，有相邻的第一沟槽组 2 和第二沟槽组 4，第一沟槽 20 有多个在第三方向 Y 同侧齐平的端面，第二沟槽组 4 有位于其边缘的侧面，侧面与端面沿第三方向 Y 有第三间隙 63，如图 3 所示，第一间隙 61 的尺寸 D1 与第三间隙 63 的尺寸 D3 相等。第三间隙 63 位置给后续其他互连结构设置提供了更大的空间。可以理解的是，第一间隙 61 的尺寸 D1 与第三间隙 63 的尺寸 D3 可以相等，也可以不相等，比如 D1 大于 D3，这里仅是给出一个优选的示例，实施不作具体限定。

参考图 4，半导体结构还包括延伸沟槽部 5，延伸沟槽部 5 设置于第三间隙 63，延伸沟槽部 5 与第一沟槽组 2 相连，其中延伸沟槽部 5 包括多个延伸沟槽 50，延伸沟槽 50 与第一沟槽 20 连通。

作为示例，第一沟槽 20 呈矩形沟槽，每个第一沟槽组 2 的多个第一沟槽 20 之间相互平行，每个第一沟槽 20 沿第三方向 Y 延伸。延伸沟槽 50 呈矩形沟槽，每个延伸沟槽部 5 的多个延伸沟槽 50 之间相互平行，每个延伸沟槽 50 沿第三方向 Y 延伸。延伸沟槽部 5 与第一沟槽组 2 相连时，对应的延伸沟槽 50 与第一沟槽 20 连通，连通的延伸沟槽 50 与第一沟槽 20 沿第三方向 Y 共线对齐。

对于第一沟槽 20、延伸沟槽 50 的形状和延伸方向还可以是其他实施方式，如第一沟槽 20、延伸沟槽 50 的形状可以是圆弧形沟槽、波浪线沟槽（图中未示出），在延伸沟槽部 5 与第一沟槽组 2 相连时，对应的延伸沟槽 50 与第一沟槽 20 相连，在相连处二者相互连通。可以理解的是，图 4 所示仅是给出一个优选的示例，实施不作具体限定。

在本公开的实施例中，连通沟槽部 3、延伸沟槽部 5 的存在，会增加衬底 1（或中介板或 Si interposer）中的沟槽占衬底 1 的空间比例，增加衬底 1 中的沟槽结构的比表面积（沟槽侧壁和底部表面积之和与沟槽体积之和的比值）。以至衬底 1 中制作的硅电容的电容值密度（从俯视图看，单位面积内的电容值大小）更大。需要说明的是，连通沟槽部 3 与第一沟槽组 2 相连，首先保证了衬底 1 的结构应力更小，其次增大了衬底 1 中硅电容的电容值密度。

而在本实施例中，延伸沟槽部 5 与第一沟槽组 2 相连通，因为延伸沟槽部 5 的特征尺寸（如长、宽）通常比较小，如果不与第一沟槽组 2 相连通，工艺制造的难度增加。所以，延伸沟槽部 5 与第一沟槽组 2 相连通，仅是给出一个优选的示例，实施不作具体限定。也即，半导体结构包括延伸沟槽部 5，延伸沟槽部 5 位于沿第三方向 Y 上相邻的第一沟槽组 2 和第二沟槽组 4 之间，延伸沟槽部 5 与第一沟槽组 2 可以连通或不连通。

在另一个实施例中，如图 5 所示，延伸沟槽部 5 设置于第三间隙 63 处，在第一间隙 61 相邻两侧各有一个第三间隙 63，延伸沟槽部 5 可以在这两个第三间隙 63 处都设置，也可以如图 4 所示仅设置在其中一个第三间隙 63 处；或者按照实际需要设置，目的是为了增大衬底 1 中硅电容的电容值密度。

图 6 是图 5 中的衬底 1 沿 E-E'，F-F'，G-G'三个方向和剖面的剖视图，其中 E-E'方向剖视图是第一沟槽组 2 的剖面，F-F'方向剖视图是第二沟槽组 4 的剖面，G-G'方向剖面从左到右分别是延伸沟槽部 5、连通沟槽部 3、延伸沟槽部 5。其中，E-E'方向的剖面靠近 G-G'方向的剖面。

作为示例，如图 5 所示，延伸沟槽 50、连通沟槽 30、第二沟槽 40、第一沟槽 20 的俯视图呈矩形沟槽，矩形的宽基本一致。参考图 6，各沟槽沿着深度 Z 方向，矩形的顶部的宽度和底部的宽度基本一致。这里顶部和底部的位置是个相对位置概念，相对于各沟槽中间深度位置而言，具体位置不作限定。

本公开的基本一致或近似相等指的是既可以尺寸完全相同，也可以是在一定的公差范围内，具体的公差大小可以结合实际加工工艺要求进行确定，在预设的公差范围内基本一致。

如图 6 所示，第一沟槽 20 的顶部和底部分别有第一宽度 W1 与第二宽度 W2，第一宽度 W1 与第二宽度 W2 基本一致。第二沟槽 40 的顶部和底部分别有第三宽度 W3 与第四宽度 W4，第三宽度 W3 与第四宽度 W4 基本一致。在本实施例中，第一宽度 W1 和第三宽度 W 3 也基本一致，第一宽度、第三宽度优选范围在 0.2-1.6um 之间，可以是 0.2um、0.3 um、0.5 um、0.9 um、1.2 um、1.5 um、1.6um 任一尺寸，当然也可以是大于 1.6um 或小于 0.2um 的其他范围，在实施例的优选条件下，0.2-1.6um 之间获得的硅电容的电容值密度高。

在本公开中，沟槽的顶部和底部的宽度基本一致的结构，这样的结构更易于后续电容材料的填充，填充的电容材料连续性好，厚度一致性好，硅电容的电容值密度高，漏电流小。

继续参照图 6，本实施例的深度是在第四方向 Z 方向。

在 E-E'方向剖视图中，第一沟槽组 2 的多个第一沟槽 20 的深度不同，其中第一沟槽 20 在靠近第一沟槽 20 与延伸沟槽部 5 连通的位置有第一深度 H1，多个第一沟槽 20 的第一深度 H1 基本一致；第一沟槽 20 在靠近第一沟槽 20 与连接沟槽部 3 连通的位置有第二深度 H2，多个第一沟槽 20 的第二深度 H2 基本一致；而第二深度 H2 大于第一深度 H1。

在 F-F'方向剖视图中，第二沟槽组 4 的第二沟槽 40 有第三深度 H3，多个第二沟槽 40 的第三深度 H3 基本一致。

在 G-G'方向剖视图中，连通沟槽部 3 的多个连通沟槽 30 的第四深度 H4 基本一致，延伸沟槽部 5 的多个延伸沟槽 50 的第五深度 H5 基本一致。

其中，如图 6 中虚线示意，第三深度 H3 深度最小；第一深度 H1 与第五深度 H5 基本一致，均大于第三深度 H3；第二深度 H2 与第四深度 H4 基本一致，均大于第一深度 H1。

在本公开中，第二沟槽组 4（对应第三深度 H3）、延伸沟槽部 5（对应 H5）、第一沟槽组 2（对应 H1、H2）、连通沟槽部 3（对应 H4）刻蚀形成沟槽，可以形成第二沟槽 40、延伸沟槽 50、第一沟槽 20、连通沟槽 30 的深度依次增加的结构。这里可以理解的是，如果没有连通沟槽部 3、延伸沟槽部 5，第二沟槽组 4、第一沟槽组 2 同步刻蚀形成的沟槽深度会基本一致，而本实施例中，连通沟槽部 3、延伸沟槽部 5 的存在，使得第一沟槽组 2 深度的较之前增加，进而增加了硅电容的电容值密度。

本公开还提供一种半导体器件，包括：上述公开的任一半导体结构；电容堆叠体，堆叠在该半导体结构中；其中，电容堆叠体连续的延伸于第一沟槽组 2、连通沟槽部 3 的侧壁和底面；或者电容堆叠体连续的延伸于第一沟槽组 2、连通沟槽部 3、第二沟槽组 4 的侧壁和底面；或者电容堆叠体连续的延伸于第一沟槽组 2、连通沟槽部 3、第二沟槽组 4、延伸沟槽部 5 的侧壁和底面。

在一个实施例中，半导体结构包括：衬底 1；第一沟槽组 2，位于衬底 1 内；至少两个第一沟槽组 2 沿第二方向 X'排列；第一沟槽组 2 包括多个第一沟槽 20；连通沟槽部 3，连通位于第三方向 Y 上相邻的第一沟槽 20。

在一个实施例中，半导体结构还包括：第二沟槽组 4，位于衬底 1 内，多个第二沟槽组 4 沿第一方向 X 排列；其中，第二沟槽组 4 和第一沟槽组 2 阵列排布，沿第一方向 X 排列的两个第二沟槽组 4 被第一沟槽组 2 隔开。

在一个实施例中，半导体结构还包括：延伸沟槽部 5，延伸沟槽部 5 与第一沟槽组 2 相连，其中延伸沟槽部 5 包括多个延伸沟槽 50，延伸沟槽 50 与第一沟槽 20 连通。

作为示例，电容堆叠体为包括下电极层、介电层、上电极层的三层结构，或电极层 1、介电层 1、电极层 2、介电层 2、电极层 3 的五层结构，或更多层结构的堆叠体结构。这里的每一个电

极层，可以是单层或多层子电极层，可以是多个的、相同或不同子电极层构成的层状结构或复合结构。这里的每一个介电层，可以是单层或多层子介电层，可以是多个的、相同或不同子介电层构成的层状结构或复合结构。

这里电极层的材料可以是金属或导电的非金属，介电层的材料可以是绝缘体、半导体，如电极材料可以是钨、铜、铝、金、银，或氮化钛、掺杂的多晶硅中的一种或多种，介电层材料可以是氧化铝、氧化钛、氧化锆、氧化铪、氧化镧、氧化铌等的一种或多种。

参考图 7，选取如图 6 所示 T 区域的第一沟槽组 2 的数个第一沟槽 20 为例，电容堆叠体连续的延伸于第一沟槽 20 的侧壁和底面，电容堆叠体包括下电极 71、介电层 81、上电极 72，其中下电极 71、介电层 81、上电极 72 依次沿着第一沟槽 20 的侧壁和底面连续覆盖，且每一个下电极 71、介电层 81、上电极 72 还连续或不连续覆盖相应的沟槽与沟槽之间的顶面，该顶面在衬底 1 俯视图的表面。所示电容堆叠体仅显示了下电极 71、介电层 81、上电极 72 三层，实际可以更多层结构，如在下电极 71、介电层 81、上电极 72 之上还可以堆叠介电层、电极层，形成五层或更多层堆叠结构的电容堆叠体，层数越多，电容值密度肯定更大，但相应的漏电流、工艺难度、成本等都增大，需要寻找一个可控的平衡，在此不作限定。

而上电极、下电极可以是单层的导电材料结构，也可以是多层的同种或不同种导电材料的电极结构，或者是不同种导电材料构成的复合导电材料的电极结构，在此不作限定。同样地，介电层可以是一层高介电常数（高 k）的材料，也可以是多层的同种或不同种介电材料的介电层结构，或者是不同种介电材料构成的复合介电材料的介电层结构，在此不作限定。

这里，在设置下电极 71 之前，在第一沟槽 20 的侧壁和底面或整个沟槽的表面，还至少设置一层绝缘层 100，用于防止金属扩散，或改善沟槽侧壁的漏电流，绝缘层 100 的材料可以是氧化硅、氮化硅、碳氮化硅、氮氧化硅中的一种或多种，也可以是钽、氮化钽、氮化钛、氮化钨中的一种或多种。

这里，可以是在介电层 81 之后，上电极 72 沿着第一沟槽 20 的侧壁和底面连续覆盖，然后补充电极层 721 填充满剩下的第一沟槽 20 的沟槽空间；也可以是上电极 72 直接填充满第一沟槽 20。

如图 6、图 7 所示，因为沟槽的顶部和底部的宽度基本一致的结构，电容堆叠体在连续的延伸于第一沟槽 20（作为示例）的侧壁和底面时，下电极 71、介电层 81、上电极 72 的材料层连续性好，即电容堆叠体各层会连续的覆盖沟槽的侧壁和底面，缺陷少；电容堆叠体各层在沟槽的顶部和底部的厚度均一性好，可以做到基本一致；这样的硅电容的电容值密度高，漏电流小。

作为示例，参考图 8，图 8 是图 7 的区域 I 放大图，区域 I 在第一沟槽 20 的侧壁 201 和底面 202 相接位置有区域 Q。如图 8 所示，下电极 71、介电层 81、上电极 72 在区域 Q 位置有突起，即电容堆叠体各层在 Q 位置向绝缘层 100 方向内陷，如下电极 71 的材料层在第一沟槽 20 各处有不同宽度，材料层在该沟槽的顶部和底部的宽度基本一致，而在 Q 位置的宽度增大。本实施例以第一沟槽 20 作为示例说明，本公开的半导体器件的其他沟槽侧壁和底面相接位置都可以由突起。在这些相接位置处，电容堆叠体各层可能出现厚度不连续，甚至有断裂和孔洞的缺陷，通过突起设置，使得该处的电容堆叠体厚度连续性和一致性更好，进而硅电容的漏电流更小。

参考图 9A-9B，半导体器件还包括：第一接触插塞 90，多个第一接触插塞 90 一端与上电极 72 或下电极 71 连接，另一端与外部其他导电结构连接。

如图 9A、图 9B 所示，多个第一接触插塞 90 分布在衬底 1 的边缘区域（如图 9A 所示 P1 区域、P2 区域），在这些区域衬底 1 内没有沟槽，其中，上电极 72 或下电极 71 会连续或不连续覆盖这些区域。这里为了视图更清晰，上电极 72 的图示采用了半透明图示。这里衬底 1 的 P2 区域仅有下电极 71 露出，其上无介电层、上电极；而在 P1 区域可以仅有上电极 72，而无介电层和下电极，或者可以既有上电极 72，又有介电层 81 和下电极 72（图中未示出）。在衬底 1 上的除 P1 区域、P2 区域的其他区域，既有上电极 72，又有介电层 81 和下电极 72。在 P1 区域、P2 区域，多个第一接触插塞 90 分别与上电极 72、下电极 71 电连接。通过将第一接触插塞 90 设置在衬底 1 的边缘无沟槽区域，并在边缘区域直接露出上电极 72 或下电极 71，或在边缘区域仅有上电极或下电极的一种。下电极 71 无需在后期打开窗口即可与第一接触插塞 90 电连接，也即无需刻蚀打开上电极或介电层以形成第一接触插塞 90 的窗口，避免打开窗口时无法准确停止在下电极上而造成下电极损伤，工艺简便、可靠性高。

作为示例，当下电极 71、介电层 81、上电极 72 各自连续覆盖沟槽与沟槽之间的顶面及衬底 1 的表面时，所有与上电极 72 连接的第一接触插塞 90 垂直引出后互相连接在一起，所有与下电极 71 连接的第一接触插塞 90 垂直引出后互相连接在一起，硅电容可达到最大的电容。

在另外的一些实施例中，当下电极 71、介电层 81、上电极 72 各自不连续覆盖沟槽与沟槽之

间的顶面及衬底 1 的表面时，这些第一接触插塞 90 可以以不同的方式电性连接以调整每一个沟槽电容的电容，或形成多个并联或串联关系的沟槽电容。

在这些实施例中，电容堆叠体仅示出了包括下电极 71、介电层 81、上电极 72，如果有更多层电容堆叠体，如五层、七层甚至更多，此时多个第一接触插塞 90 设置在不同的区域，一端与电容堆叠体中的不同电极层连接。所以示例不构成对于电容堆叠体中电极层的数量及与第一接触插塞 90 相接位置的限制。

参考图 9C，半导体器件还包括：第二接触插塞 91，多个第二接触插塞 91 一端与上电极 72 或下电极 71 连接，另一端与外部其他导电结构连接。

如图 3 所示，在该实施例中，第一沟槽组 2、第二沟槽组 4 之间有第一间隙 61、第三间隙 63。

如图 9C 所示，多个第二接触插塞 91 均匀分布在第一间隙 61 和第一间隙 63 的位置，其中，上电极 72 或下电极 71 会连续或不连续覆盖第一间隙 61 和第一间隙 63。为了上电极 72、下电极 71 电隔离，这里的第一间隙 61、第三间隙 63 位置可以部分区域仅有上电极 72（如图 9C 所示 P3 区域），部分区域仅有下电极 71（如图 9C 所示 P4 区域），多个第二接触插塞 91 分别与上电极 72、下电极 71 电连接；在 P3 区域，上电极 72 下方依次还有介电层 81、下电极 71，图中未示出。这里的第一间隙 61、第三间隙 63 位置的第二接触插塞 91 与上电极 72 或下电极 71 的连接关系仅作为示例，如 P3 区域的第二接触插塞 91 与上电极 72 连接，P4 区域的第二接触插塞 91 与下电极 71 连接，但不构成具体限定，本领域技术人员可以根据实际需要灵活设置。

作为示例，所有与上电极 72 连接的第二接触插塞 91（如图 9C 所示 P3 区域第二接触插塞 91）垂直引出后互相连接在一起，并与 P1 区域的第一接触插塞 90 连接；所有与下电极 71 连接的第二接触插塞 91（如图 9C 所示 P4 区域第二接触插塞 91）垂直引出后互相连接在一起，并与 P2 区域的第一接触插塞 90 连接，硅电容可达到最大的电容。

通过在第一间隙 61、第三间隙 63 位置设置第二接触插塞 91，额外提供了更多、更短的导电路径，互连结构的电阻大大降低，整个硅电容的等效电阻降低，进而漏电流降低。

同样有实施例，如图 4 所示，在第一沟槽组 2、第二沟槽组 4 之间有第一间隙 61、第三间隙 63；或如图 5 所示，在第一沟槽组 2、第二沟槽组 4 之间有第一间隙 61。在图 9D、图 9E 中，多个第二接触插塞 91 均匀分布在第一间隙 61 和第一间隙 63 的位置，其中，上电极 72 或下电极 71 会连续或不连续覆盖这些区域。当第三间隙 63 位置有延伸沟槽部 5 时，其上方可以不设置第二接触插塞 91，因为此时可能需要打开上电极 72 和介电层 81 的窗口。或者有延伸沟槽部 5 的第三间隙 63 位置仅设置第二接触插塞 91，并使得第二接触插塞 91 与上电极连接（图中未示出），这样则不涉及打开上电极 72 和介电层 81 的窗口。

本公开还提供一种半导体器件的形成方法，包括：提供衬底 1；在衬底 1 内形成第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3；形成电容堆叠体，电容堆叠体堆叠在第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 上，其中电容堆叠体连续的延伸于第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的侧壁 201 和底面 202。

其中，至少两组第一沟槽组 2 沿第二方向排列；第一沟槽组 2 包括第一沟槽 20；连通沟槽部 3 连通位于第三方向上相邻的第一沟槽 20；多个第二沟槽组 4 沿第一方向排列；其中，第二沟槽组 4 和第一沟槽组 2 阵列排布，在第一方向两个第二沟槽组 4 被第一沟槽组 2 隔开；第一方向、第二方向和第三方向位于同一平面内，第一方向和第三方向垂直，第二方向与第一方向、第三方向相交，第二方向与第三方向的夹角为锐角。

该方法包括如下步骤：

Step1：提供衬底 1。

提供的衬底 1 具有相对的正面和背面，正面和背面相互平行。衬底 1 背面上可以具有电路结构，电路结构可以包括但不限于器件层、金属互连层、介质层等。

Step2：在衬底 1 正面形成第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3。

该步骤包括：如图 10A-10D 所示，首先，在衬底 1 表面依次形成一定厚度的牺牲层 200 和一定厚度的掩膜层 300；然后，光刻去除部分掩膜层 300，以第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的俯视图为图案，形成光刻后的掩膜层 300；再以掩膜层 300 为模板刻蚀牺牲层 200，至衬底 1 的表面；最后，去除掩膜层 300，继续以牺牲层 200 为模板，向下刻蚀去除部分衬底 1 的材料，以形成第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3。

在其他实施例中，还包括形成延伸沟槽部 5，延伸沟槽部 5 和第一沟槽组 2、第二沟槽组 4 以及连通沟槽部 3 同时形成。

其中，去除部分掩膜层 300，还包括以衬底 1 的边缘的一定宽度区域为图案光刻掩膜层 300。

最后，如图 10D 所示，在形成包括第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的衬底 1 时，衬底 1 的外侧边缘有虚拟沟槽 400。虚拟沟槽 400 用于平衡位于衬底 1 边缘部分的第一沟槽组 2、第二沟槽组 4 在刻蚀时，这些沟槽刻蚀速率较慢的问题，以避免形成的各沟槽的宽度不均一的问题。

其中，如图 10D 所示，以牺牲层 200 为模板，向下刻蚀去除部分衬底 1 的材料后，牺牲层 200 还剩下一定的厚度，该厚度小于最初的牺牲层 200 厚度，剩下一定的厚度的牺牲层 200，可以防止在形成矩形沟槽时，因沟槽的长度较长，沟槽与沟槽之间的侧壁倒塌的风险。

其中，去除部分衬底 1 的材料的方法包括但不限于激光刻蚀、机械刻蚀、化学刻蚀，或包括但不限于湿法刻蚀、干法刻蚀、博世刻蚀（BOSCH ETCH），其中博世刻蚀更容易形成垂直侧壁的沟槽。

其中，形成第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3，可以是同步刻蚀或不同步刻蚀，所谓同步刻蚀，这里指的是牺牲层 200 中第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的图案全部形成并露出衬底 1 的表面，再以相同的刻蚀工艺参数如博世刻蚀时，其中各项工艺参数在衬底 1 各处相同，包括刻蚀气体浓度、等离子浓度和速度等。如激光刻蚀时，其中各项工艺参数在衬底 1 各处相同，如激光垂直于衬底 1 的材料表面，激光能量和时间相同等。同步刻蚀时，如果各结构的尺寸特征相同，如从俯视图看，多个圆孔的直径相同，或矩形的长、宽特征（或长乘以宽）相同，这里的圆孔或矩形是指沟槽的俯视图方向形状，在相同时间内刻蚀形成的沟槽的深度可以一样。然而本实施例中，因为连通沟槽部 3 的存在，其连通了相邻的第一沟槽组 2，所以第一沟槽组 2 和第二沟槽组 4 同时、同步刻蚀后，可以形成深度不一样的沟槽，如图 6 示意。

其中，第一沟槽组 2、第二沟槽组 4、连通沟槽部 3 延伸沟槽部 5 的各自沟槽有对应的相同或相似结构的侧壁 201 和底面 202，侧壁 201 在不同深度位置的宽度可以基本一致；底面 202 可以是水平底面或向下凹陷的圆弧底面，如图 8 示意。

其中，掩膜层 300 的材料包括但不限于多晶硅、光刻胶、金属薄膜和聚酰亚胺等的一种或几种组合；牺牲层 200 的材料包括但不限于氮化硅、氮氧化硅、碳化硅、碳氮化硅、碳氧化硅等的一种或几种组合。

Step3：在衬底 1 沉积电容堆叠体，包括：在第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 上沉积电容堆叠体，其中电容堆叠体连续的延伸于第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的侧壁 201 和底面 202。电容堆叠体还覆盖衬底 1 的正面的表面。

在其他实施例中，还包括：在延伸沟槽部 5 沉积电容堆叠体，电容堆叠体连续的延伸于的延伸沟槽部 5 的侧壁 201 和底面 202。

其中，在沉积电容堆叠体之前，还包括：如图 7、图 8 示意，在第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的侧壁 201 和底面 202 沉积形成一层绝缘层 100；或氧化形成绝缘层 100，氧化衬底 1 位于第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的侧壁 201 和底面 202 形成一定厚度的绝缘层 100 薄层。

其中，第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的各沟槽有侧壁 201 和底面 202，绝缘层 100 在侧壁 201 和底面 202 相交位置有突起，即绝缘层 100 在相交位置向衬底 1 方向内陷，如图 8 示意。作为另一个实施例，内陷在形成绝缘层 100 之前即形成，如第一沟槽组 2、第二沟槽组 4 和连通沟槽部 3 的各沟槽有侧壁 201 和底面 202，侧壁 201 和底面 202 相交的位置有向衬底 1 方向内凹的特征，即在相交位置沟槽内陷（未图示）。突起可以通过刻蚀时调整最后一次或数次刻蚀参数获得，比如在博世刻蚀时，延长最后一次或数次刻蚀的时间，使之扇贝形增大，多个扇贝形构成沟槽内陷。

其中，电容堆叠体至少包括下电极 71、介电层 81、上电极 72 三层，或更多层电极层、介电层、电极层多层结构，下电极 71、介电层 81、上电极 72 在侧壁 201 和底面 202 相交位置有突起，即电容堆叠体各层在相交位置向衬底 1 水平方向内陷，如图 8 示意。

其中，电容堆叠体覆盖衬底 1 的正面的表面时，下电极 71 连续延伸覆盖衬底 1 的正面的表面；介电层 81 不连续的延伸覆盖下电极 71 的正面的表面，而不连续区域会露出下电极 71，用于后续制作接触插塞；上电极 72 不连续的延伸覆盖介电层 81 的正面的表面，上电极 72 与介电层 81 完全覆盖，即二者图案相同，如图 9A-9E 示意，上电极 72 不连续的区域与介电层 81 的不连续区域相同。在该步骤中，形成的电容堆叠体在衬底 1 的正面的表面已经露出下电极 71，也即无需刻蚀打开上电极或介电层以形成第一接触插塞 90 的窗口，避免打开窗口时无法准确停止在下电极上而造成下电极损伤，工艺简便、可靠性高。

Step4：形成第一接触插塞 90 和第二接触插塞 91，包括：在下电极 71 被介电层 81 露出区域上形成第一接触插塞 90 和第二接触插塞 91，在上电极 72 表面形成第一接触插塞 90 和第二接触

插塞 91，如图 9A-9E 示意。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1、一种半导体结构，其特征在于，包括：

衬底(1)；

第一沟槽组(2)，位于所述衬底内；至少两个所述第一沟槽组沿第二方向排列；所述第一沟槽组包括第一沟槽(20)；

连通沟槽部(3)，连通位于第三方向上相邻的所述第一沟槽；

所述第二方向与所述第三方向有夹角。

2、根据权利要求 1 所述的半导体结构，其特征在于，还包括：

第二沟槽组，位于所述衬底内，多个所述第二沟槽组沿第一方向排列；

其中，所述第二沟槽组和所述第一沟槽组阵列排布，在第一方向两个所述第二沟槽组被所述第一沟槽组隔开；

所述第一方向、所述第二方向和所述第三方向位于同一平面内，所述第一方向和所述第三方向垂直，所述第二方向与所述第一方向、所述第三方向相交，所述第二方向与所述第三方向的夹角为锐角。

3、根据权利要求 2 所述的半导体结构，其特征在于，所述第一沟槽沿第三方向延伸，所述第二沟槽组包括第二沟槽，所述第二沟槽沿第一方向延伸。

4、根据权利要求 1 所述的半导体结构，其特征在于，包括：每个所述第一沟槽组中的所述第一沟槽数量为 N，所述连通沟槽部包括连通沟槽，所述连通沟槽的数量大于等于 N/2。

5、根据权利要求 4 所述的半导体结构，其特征在于，所述连通沟槽沿第三方向延伸，所述连通沟槽、以及与所述连通沟槽沿第三方向的上、下相邻的所述第一沟槽，共线对齐。

6、根据权利要求 2 所述的半导体结构，其特征在于，所述第一沟槽组和所述第二沟槽组的数量比值接近 1。

7、根据权利要求 2 所述的半导体结构，其特征在于，沿第三方向，所述第二沟槽组包括位于其边缘的侧面，所述第一沟槽组包括位于所述第一沟槽的端部的多个端面；所述侧面和所述端面沿第一方向齐平。

8、根据权利要求 2 所述的半导体结构，其特征在于，沿第三方向，相邻的两个所述第二沟槽组之间有第一间隙；沿第一方向，相邻的所述第二沟槽组与所述第一沟槽组之间有第二间隙；所述第一间隙的尺寸大于所述第二间隙的尺寸。

9、根据权利要求 8 所述的半导体结构，其特征在于，还包括与所述第一沟槽组相连的延伸沟槽部，所述延伸沟槽部包括沿第三方向延伸的延伸沟槽，所述延伸沟槽与所述第一沟槽连通，沿第三方向共线对齐。

10、根据权利要求 3 所述的半导体结构，其特征在于，所述第一沟槽的顶部和底部分别有第一宽度和第二宽度，所述第二沟槽的顶部和底部分别有第三宽度和第四宽度，所述第一宽度和所述第二宽度基本一致，所述第三宽度和所述第四宽度基本一致。

11、根据权利要求 10 所述的半导体结构，其特征在于，所述第一宽度和所述第三宽度范围在

0.2-1.6um 之间。

12、根据权利要求 2 所述的半导体结构，其特征在于，所述第一沟槽有第一深度，所述第二沟槽有第三深度，所述第一深度大于所述第三深度。

13、一种半导体器件，其特征在于，包括：

衬底(1)；

第一沟槽组(2)，位于所述衬底内；至少两组所述第一沟槽组沿第二方向排列；所述第一沟槽组包括第一沟槽(20)；

连通沟槽部(3)，连通位于第三方向上相邻的所述第一沟槽；

第二沟槽组(4)，位于所述衬底内，多个所述第二沟槽组沿第一方向排列；其中，所述第二沟槽组和所述第一沟槽组阵列排布，在第一方向两个所述第二沟槽组被所述第一沟槽组隔开；

电容堆叠体(71,81,72)，堆叠在所述第一沟槽组、所述第二沟槽组和所述连通沟槽部上，其中所述电容堆叠体连续的延伸于所述第一沟槽组、所述第二沟槽组和所述连通沟槽部的侧壁和底面；

所述第一方向、所述第二方向和所述第三方向位于同一平面内，所述第一方向和所述第三方向垂直，所述第二方向与所述第一方向、所述第三方向相交，所述第二方向与所述第三方向的夹角为锐角。

14、根据权利要求 13 所述的半导体器件，其特征在于，在所述侧壁和所述底面相交的位置，所述电容堆叠体有突起。

15、根据权利要求 13 所述的半导体器件，其特征在于，还包括第一接触插塞，所述电容堆叠体包括上电极、下电极，多个所述第一接触插塞位于所述衬底的边缘区域，所述边缘区域仅有上电极或下电极的一种。

16、根据权利要求 13 所述的半导体器件，其特征在于，还包括第二接触插塞，其中，沿第三方向，相邻的两个所述第二沟槽组之间有第一间隙；沿第三方向，相邻的所述第一沟槽组和第二沟槽组之间有第三间隙；所述第二接触插塞位于所述第一间隙和所述第三间隙上。

17、一种半导体器件的形成方法，其特征在于，包括：

提供衬底(1)；

在所述衬底内形成第一沟槽组(2)、第二沟槽组(4)和连通沟槽部(3)；

形成电容堆叠体(71,81,72)，所述电容堆叠体堆叠在所述第一沟槽组、所述第二沟槽组和所述连通沟槽部上，其中所述电容堆叠体连续的延伸于所述第一沟槽组、所述第二沟槽组和所述连通沟槽部的侧壁和底面。

18、根据权利要求 17 所述的半导体器件的形成方法，其特征在于，在所述衬底内形成第一沟槽组、第二沟槽组和连通沟槽部时，还包括在所述衬底的外侧边缘形成虚拟沟槽。

19、根据权利要求 17 所述的半导体器件的形成方法，其特征在于，在所述侧壁和所述底面相交的位置，所述电容堆叠体形成突起。

20、根据权利要求 17 所述的半导体器件的形成方法，其特征在于，在形成电容堆叠体时，还包括形成上电极、介电层、下电极，所述下电极连续延伸覆盖衬底的表面，所述上电极和所述介电层

不连续延伸覆盖衬底的表面。