

形成隔离槽的方法、半导体器件的制备方法及工艺设备

技术领域

本申请涉及半导体技术领域，尤其涉及一种形成隔离槽的方法、半导体器件的制备方法及工艺设备。

背景技术

随着半导体技术的发展，集成电路向更小尺寸、更高集成度发展。场效应晶体管（Field Effect Transistor，简称 FET）的栅极尺寸不断缩小，场效应晶体管逐渐由平面场效应晶体管（Planar Field Effect Transistor，简称 Planar FET）向更高功效的鳍式场效应晶体管（Fin Field Effect Transistor，简称 Fin FET）的方向发展。

目前，栅极多采用后栅极工艺制备，其通常先在衬底上形成伪栅（dummy gate），再向衬底进行离子注入形成掺杂区域，然后高温退火去除伪栅极，最后在去除伪栅极的区域依次沉积栅介质层和填充栅极材料，形成栅极。在后栅极工艺中，伪栅极通常会按照实际栅极的位置和尺寸设计，但是，随着场效应晶体管尺寸的不断缩小，对于设计尺寸较小且深宽比较大的位置，去除伪栅极时容易产生尺寸偏差和介质损伤，使得后续金属填充时容易产生空洞，导致器件的可靠性下降。

为解决上述问题，在一种工艺线路中，通过先在基底上形成栅极结构以及暴露栅极结构顶壁的介质层，再分别刻蚀介质层和栅极结构来形成隔离槽，从而利用隔离槽将栅极结构分割成多个栅极，可省去伪栅极的形成步骤和去除步骤，并满足小尺寸和高深宽比的要求。但是，当器件的特征尺寸再进一步缩小时，例如特征尺寸从 14nm 缩小至 10nm，则这种工艺线路无法满足器件的设计需求，不利于提升集成电路的集成度。

发明内容

本申请提供一种形成隔离槽的方法、半导体器件的制备方法及工艺设备，以解决相关技术存在的当器件的特征尺寸再进一步缩小时，无法满足器件的设计需求，不利于提升集成电路的集成度问题。

本申请第一方面提供了一种形成隔离槽的方法，包括：

提供待刻蚀对象，待刻蚀对象包括基底以及位于基底一侧表面上的栅极结构、和隔离介质层，栅极结构沿第一方向延伸且与隔离介质层同层设置；

交替循环刻蚀隔离介质层和栅极结构，形成第一隔离槽，第一隔离槽沿第二方向贯穿栅极结构，第一方向与第二方向相互垂直；其中，每轮循环中，先刻蚀预定深度的隔离介质层以暴露出部分栅极结构，再刻蚀暴露出的栅极结构，使栅极结构与隔离介质层的顶面大致齐平。

在一种实施方式中，待刻蚀对象包括位于基底与栅极结构之间的层间介质层，第一隔离槽暴露层间介质层的顶壁，在形成第一隔离槽之后，该方法还包括：

刻蚀层间介质层被第一隔离槽暴露的部分，形成第二隔离槽，第一隔离槽与第二隔离槽相互连通构成目标隔离槽。

在一种实施方式中，交替循环刻蚀隔离介质层和栅极结构，包括：交替循环执行隔离介质层刻蚀步骤以及栅极结构刻蚀步骤，直至切断栅极结构。

在一种实施方式中，隔离介质层背离基底的一侧设置有掩膜层，该方法还包括：每次循环执行隔离介质层刻蚀步骤以及栅极结构刻蚀步骤之前，执行牺牲层沉积步骤，以在掩膜层背离基底的一侧沉积牺牲层，牺牲层在执行隔离介质层刻蚀步骤和栅极结构刻蚀步骤的过程中被消耗。

在一种实施方式中，隔离介质层背离基底的一侧设置有掩膜层，掩膜层具有掩膜开口，掩膜开口在基底上的正投影与栅极结构在基底上的正投影相

互垂直且部分交叠；

刻蚀层间介质层包括：交替循环执行牺牲层沉积步骤和层间介质层刻蚀步骤，直至层间介质层刻蚀到目标深度；牺牲层沉积步骤用于在掩膜层背离基底的一侧沉积牺牲层，牺牲层在执行层间介质层刻蚀步骤的过程中被消耗。

在一种实施方式中，牺牲层沉积步骤与交替循环刻蚀隔离介质层和栅极结构的步骤在同一工艺腔室中执行。

在一种实施方式中，牺牲层沉积步骤的工艺条件包括：工艺气体包括硅气体，工艺气体还包括含氧气体和含氮气体中的至少一个。

在一种实施方式中，牺牲层沉积步骤的工艺条件还包括：上电极功率范围为 100W~400W，工艺腔室内部的压强范围为 5mTorr~30mTorr。

在一种实施方式中，隔离介质层刻蚀步骤的工艺条件包括工艺气体包括含氟气体；和/或，栅极结构刻蚀步骤的工艺条件包括工艺气体包括含氯气体。

在一种实施方式中，含氟气体包括四氟甲烷和全氟丁二烯；和/或，含氯气体包括三氯化硼气体和氯气。

在一种实施方式中，待刻蚀对象包括位于基底与栅极结构之间的多个分立的鳍部，多个鳍部均沿第二方向延伸，栅极结构横跨于多个鳍部且覆盖各鳍部的部分顶壁和部分侧壁；形成第一隔离槽包括：在相邻鳍部之间形成第一隔离槽。

本申请第二方面提供了一种半导体器件的制备方法，包括：形成多个半导体器件，多个半导体器件的栅极结构相互连接；

采用上述任一种实施方式的形成隔离槽的方法，切断相邻半导体器件的栅极结构，使栅极结构形成多个栅极。

本申请第三方面提供了一种半导体工艺设备，包括：工艺腔室、进气组件、抽气组件、上电极组件、下电极组件和控制器，该控制器包括至少一个处理器和至少一个存储器，存储器中存储有计算机程序，计算机程序被处理

器执行时实现如上述第一方面的任一种实施方式的方法。

上述技术方案中的优点或有益效果至少包括：通过交替循环刻蚀隔离介质层和栅极结构，可实现隔离介质层和栅极结构的同步刻蚀，形成宽度更窄且深度更深的第一隔离槽，而且，这种刻蚀方式能够精准控制第一隔离沟槽的刻蚀深度和侧壁形貌。这样在半导体器件的特征尺寸进一步缩小的情况下，能够满足半导体器件针对隔离槽的高深宽比设计需求和刻蚀形貌需求，从而有利于提升集成电路的集成度。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本申请的实施例，并与说明书一起用于解释本申请的原理。此外，这些附图和文字描述并不是为了通过任何方式限制本申请构思的范围，而是通过参考特定实施例为本领域技术人员说明本申请的概念。

图1A至图1E所示为相关技术的一种形成隔离槽的方法中各步骤的结构示意图。

图2所示为本申请一实施例的形成隔离槽的方法的流程示意图。

图3A至图3C所示为本申请一实施例的形成隔离槽的方法各步骤的立体结构示意图。

图4A至图9B所示为本申请一实施例的形成隔离槽的方法各步骤的剖面结构示意图。

图10所示为本申请一实施例的半导体工艺设备的结构示意图。

具体实施方式

在下文中，仅简单地描述了某些示例性实施例。正如本领域技术人员可认识到的那样，在不脱离本申请的精神或范围的情况下，可通过各种不同方式修改所描述的实施例。因此，附图和描述被认为本质上是示例性的而非限

制性的。

图 1A 至图 1E 所示为相关技术的一种形成隔离槽的方法各步骤的结构示意图。其中，图 1A 为相关技术的待刻蚀对象在第一视角的剖面结构示意图。图 1B 为图 1A 在第二视角的剖面结构示意图。图 1C 为图 1A 刻蚀隔离介质层后的剖面结构示意图。图 1D 为图 1C 刻蚀栅极结构后的剖面结构示意图。图 1E 为图 1D 刻蚀隔离介质层和刻蚀栅极结构后的剖面结构示意图。

该形成隔离槽的方法包括：如图 1A 至图 1B 所示，提供基底 110，基底 110 的一侧表面上具有栅极结构 120、层间介质层 130 和隔离介质层 140，栅极结构 120 沿第一方向 D1 延伸，栅极结构 120 和隔离介质层 140 均位于层间介质层 130 上，隔离介质层 140 暴露栅极结构 120 的顶壁。其中，基底 110 与栅极结构 120 之间还设置有多个分立的鳍部 150，多个鳍部 150 均沿第二方向延伸，该第二方向与第一方向 D1 相垂直；栅极结构 120 横跨于多个鳍部 150；如图 1C 所示，利用掩膜层 160 在隔离介质层 140 内形成第一隔离槽 171，第一隔离槽 171 暴露栅极结构 120 的侧壁和层间介质层 130；如图 1D 和图 1E 所示，去除第一隔离槽 171 暴露的栅极结构 120，在栅极结构 120 内形成第二隔离槽（图 1D 和图 1E 中未标记），第二隔离槽暴露层间介质层 130 的顶壁且与第一隔离槽 171 相邻且连通，形成目标隔离槽 170。

发明人在实施过程中发现：上述相关技术，采用先刻蚀隔离介质层 140 形成第一隔离槽 171，再刻蚀栅极结构 120 形成第二隔离槽，利用第二隔离槽与第一隔离槽 171 连通形成目标隔离槽 170，使得目标隔离槽 170 具有较小的深宽比，这种刻蚀方法较适用于特征尺寸大于 14nm 及其以上制程的半导体器件；当半导体器件的特征尺寸进一步缩小时，例如特征尺寸从 14nm 缩小至 10nm，则需要同步缩小隔离槽才能满足器件的高深宽比需求，因而相关技术的形成无法满足器件的高深宽比需求；并且，请参阅图 1C 至图 1D，相关技术在形成第一隔离槽 171 后，第一隔离槽 171 会暴露层间介质层 130

的顶壁和隔离介质层 140 的侧壁，使得在刻蚀栅极结构 120 的过程中会同时沿第一隔离槽 171 向下刻蚀层间介质层 130 以及横向刻蚀隔离介质层 140，使层间介质层 130 形成向下凹陷的第一凹槽 131 以及隔离介质层 140 形成横向凹陷的第二凹槽 141，所以相关技术的方法难以精确控制目标隔离槽 170 的刻蚀深度和侧壁形貌，导致目标隔离槽 170 的刻蚀形貌无法满足器件的设计需求。

有鉴于此，本申请提供一种形成隔离槽的方法，当半导体器件的特征尺寸进一步缩小时，能满足器件的高深宽比需求和刻蚀形貌需求，使其适宜应用于制备特征尺寸更小的半导体器件，从而有利于提升集成电路的集成度。下面结合附图对本申请实施例进行详细说明。

本申请实施例的形成隔离槽的方法在图 10 所示的半导体工艺设备 200 中完成。以半导体工艺设备 200 是电感耦合等离子体（Inductive Coupled Plasma，简称 ICP）刻蚀设备为例进行说明，该半导体工艺设备 200 包括位于工艺腔室 20 的顶部和介质筒（图中未示出）外的射频线圈 21 以及位于工艺腔室 20 内部的承载装置 22。射频线圈 21 通过上匹配器 25 与上射频电源 23 电连接，上射频电源 23 用于通过上匹配器 25 向射频线圈 21 加载上电极功率，使射频线圈 21 将工艺腔室 20 内的工艺气体激发为等离子体。承载装置 22 用于承载待刻蚀对象 100；承载装置 22 通过下匹配器 26 与下射频电源 24 电连接，下射频电源 24 通过下匹配器 26 向承载装置 22 加载下电极功率，以向承载装置 22 提供射频偏压。

图 2 所示为本申请一实施例形成隔离槽的方法的流程示意图。图 3A 至图 3C 所示为本申请一实施例的形成隔离槽的方法中各步骤的立体结构示意图。图 4A 至图 9B 所示为本申请一实施例的形成隔离槽的方法中各步骤的剖面结构示意图。其中，图 3A 至图 3C 中均省略了图 4A 至图 9B 中的隔离介质层 140、掩膜层 160 和牺牲层 180。

如图 2 所示, 该形成隔离槽的方法包括如下步骤 S310~步骤 S320。

步骤 S310、请一并参阅图 3A、图 4A 和图 4B, 提供待刻蚀对象 100, 待刻蚀对象 100 包括基底 110 以及位于基底 110 一侧表面上的栅极结构 120 和隔离介质层 140, 栅极结构 120 沿第一方向 D1 延伸且与隔离介质层 140 同层设置。

步骤 S320、请一并参阅图 3B、图 6A 至图 7B, 交替循环刻蚀隔离介质层 140 和栅极结构 120, 形成第一隔离槽 171, 第一隔离槽 171 沿第二方向 D2 贯穿栅极结构 120。第一方向 D1 与第二方向 D2 相互垂直。其中, 在每轮循环中, 先刻蚀预定深度的隔离介质层 140 以暴露出部分栅极结构, 再刻蚀暴露出的栅极结构 120, 使栅极结构 120 与隔离介质层 140 的顶面大致齐平。

示例性地, 交替循环刻蚀隔离介质层 140 和栅极结构 120 可以是: 如图 6A 所示, 先向下刻蚀预定深度的隔离介质层 140, 使栅极结构 120 的顶壁和部分侧壁暴露; 如图 6B 所示, 再向下刻蚀栅极结构 120 从隔离介质层 140 中暴露的部分, 完成一轮循环; 参考图 6A, 继而, 再向下刻蚀预定深度的隔离介质层 140, 暴露剩余栅极结构 120 的顶壁和部分侧壁; 参考图 6B, 然后继续向下刻蚀剩余栅极结构 120 从剩余隔离介质层 140 中暴露的部分, 完成另一轮循环; 如此交替刻蚀隔离介质层 140 和栅极结构 120 并循环多次, 其中, 每轮循环后, 栅极结构 120 与隔离介质层 140 的顶面大致齐平。这样的交替循环刻蚀方式可使隔离介质层 140 和栅极结构 120 同步向下刻蚀, 形成宽度更窄且深度更深的第一隔离槽 171, 能够满足器件的高深宽比需求; 并且, 相较于相关技术, 由于本申请在刻蚀栅极结构 120 的过程中层间介质层 130 未暴露且隔离介质层 140 暴露的面积较小, 进而在刻蚀栅极结构 120 的过程中, 不会向下消耗层间介质层 130 且对隔离介质层 140 的横向消耗较少, 从而在刻蚀过程中能够精准控制第一隔离槽 171 的刻蚀深度和侧壁形貌, 满

足器件的刻蚀形貌设计需求。其中，如图 3B、图 7A 和图 7B 所示，第一隔离槽 171 的宽度 L 为第一隔离槽 171 在第一方向 D1 上的两个侧壁之间的最小距离，第一隔离槽 171 的深度 H 为第一隔离槽 171 在垂直于基底 110 的方向 D3 上的最大高度。

此外，请一并参阅图 3B、图 7A 和图 7B，第一隔离槽 171 形成于隔离介质层 140 的内部和栅极结构 120 的内部，并沿第二方向 D2 贯穿栅极结构 120，可使栅极结构 120 在第二方向 D2 上被完全切断，形成多个栅极 120A。

上述方案，通过交替循环刻蚀隔离介质层 140 和栅极结构 120，可实现隔离介质层 140 和栅极结构 120 的同步刻蚀，形成宽度更窄且深度更深的第一隔离槽 171，而且，这种刻蚀方式能够精准控制第一隔离沟槽 171 的刻蚀深度和侧壁形貌。这样在半导体器件的特征尺寸进一步缩小的情况下，能够满足半导体器件针对隔离槽的高深宽比设计需求和刻蚀形貌设计需求，从而有利于提升集成电路的集成度。上述方案尤其适用于特征尺寸小于 10nm 及其以下先进制程半导体器件或集成电路设计。

在一种实施方式中，请一并参阅图 3B、图 3C、图 8A 至图 9B，待刻蚀对象 100 还包括位于基底 110 与栅极结构 120 之间的层间介质层 130，第一隔离槽 171 暴露层间介质层 130 的顶壁。在步骤 S320 之后还包括：步骤 S330、刻蚀层间介质层 130 被第一隔离槽 171 暴露的部分 130A，在层间介质层 130 的内部形成第二隔离槽 172，第二隔离槽 172 与第一隔离槽 171 相互连通构成目标隔离槽 170。

需要说明的是，如图 3B、图 7A 和图 7B 所示，经步骤 S320 形成的第一隔离槽 171，可使栅极结构 120 刚好沿垂直于基底 110 的方向 D3 被切断，形成多个栅极 120A，但是无法确保相邻栅极 120A 之间不发生连电，因此，采用步骤 S330 继续刻蚀层间介质层 130 被第一隔离槽 171 暴露的部分 130A 来形成第二隔离槽 172，可确保栅极结构 120 沿垂直于基底 110 的方向 D3 被完

全切断，避免相邻栅极 120A 之间发生连电。

图 4A 所示为图 3A 沿切线 A1-A2 方向的剖面结构示意图，图 4B 所示为图 3A 沿切线 B1-B2 方向的剖面结构示意图，其中图 3A 中省略了图 4A 和图 4B 中的掩膜层 160。图 5A 所示为图 4A 第一次沉积牺牲层后的剖面结构示意图，图 5B 所示为图 4B 第一次沉积牺牲层后的剖面结构示意图，图 6A 所示为图 5A 第一次刻蚀隔离介质层后的剖面结构示意图。图 6B 所示为图 5A 第一次刻蚀栅极结构后的剖面结构示意图。图 7A 所示为图 6A 刻蚀经掩膜开口暴露的隔离介质层和栅极结构后的剖面结构示意图。图 7B 所示为图 4B 刻蚀经掩膜开口暴露的栅极结构后的剖面结构示意图。

在一种实施方式中，如图 4A 和图 4B 所示，隔离介质层 140 背离基底 110 的一侧设置有掩膜层 160，掩膜层 160 具有掩膜开口 161，掩膜开口 161 在基底 110 上的正投影与栅极结构 120 在基底 110 上的正投影相互垂直且部分交叠。如此，隔离介质层 140 的部分顶壁和栅极结构 120 的部分顶壁可以经掩膜开口 161 暴露，以便沿掩膜开口 161 对隔离介质层 140 和栅极结构 120 进行刻蚀。

在步骤 S320 中，交替循环刻蚀隔离介质层 140 和栅极结构 120 包括：如图 7A 至图 8B 所示，交替循环执行隔离介质层刻蚀步骤以及栅极结构刻蚀步骤，直至切断栅极结构 120。如此，通过执行隔离介质层刻蚀步骤可以对隔离介质层 140 刻蚀一定深度，通过执行栅极结构刻蚀步骤可以对栅极结构 120 刻蚀与隔离介质层 140 刻蚀深度相近的深度，如此不断循环，有利于精准切断栅极结构 120，形成具有高深宽比的第一隔离槽 171。

在一种实施方式中，参阅图 4A 和图 5A 的膜层变化，隔离介质层 140 背离基底 110 的一侧设置有掩膜层 160，该形成方法还包括：

每次循环执行隔离介质层刻蚀步骤以及栅极结构刻蚀步骤之前，执行牺牲层沉积步骤，以在掩膜层 160 背离基底 110 的一侧形成牺牲层 180，使牺

牺牲层 180 在执行隔离介质层刻蚀步骤和栅极结构刻蚀步骤的过程中被消耗，如图 6A 至图 6B 所示。

示例性地，参阅 4A 至图 5A 的膜层变化，图 4B 至图 5B 的膜层变化，牺牲层 180 在基底 110 上的正投影与掩膜层 160 在基底 110 上的正投影重叠，牺牲层 180 具有开口 181，牺牲层 180 的开口 181 与掩膜开口 161 相互连通，且牺牲层 180 的开口 181 在基底 110 上的正投影与掩膜开口 161 在基底 110 上的正投影重叠。如此，在隔离介质层刻蚀步骤以及栅极结构刻蚀步骤中可使等离子体沿牺牲层 180 的开口 181 进入掩膜开口 161 的内部，以与隔离介质层 140 和栅极结构 120 接触。

隔离介质层 140 的材料可选用氧化硅 (SiO_2) 或氮化硅 (SiN) 等硅化物材料，掩膜层 160 的材料多选用氮化硅 (SiN)。由于二者均为硅化物材料，其材料可以相同或相似，因而在利用刻蚀气体刻蚀隔离介质层 140 时，会大量消耗掩膜层 160。例如，在实际应用中，当隔离介质层 140 选用硅化物材料时，通常采用含氟气体刻蚀隔离介质层 140，由于刻蚀气体对氮化硅的选择比较低，因此在刻蚀隔离介质层 140 的过程中会大量消耗掩膜层 160，导致无法将掩膜开口 161 等图形准确传递至后续刻蚀工艺。

基于此，请一并参阅图 5A、图 6A 和图 6B，通过在掩膜层 160 背离基底 110 的一侧形成牺牲层 180，使得牺牲层 180 在执行隔离介质层刻蚀步骤的过程中被消耗一部分，以及在执行栅极结构刻蚀步骤后被完全消耗，可以在隔离介质层 140 和栅极结构 120 同步向下刻蚀的过程中，通过消耗牺牲层 180 来保护掩膜层 160，避免因掩膜层 160 被过度消耗而降低例如掩膜开口 161 等图形传递的准确性。此外，因为牺牲层 180 能够对掩膜层 160 起到保护作用，所以还可以通过减薄掩膜层 160 的厚度来进一步提升图形传递的准确性。

请一并参考图 7A 和图 7B，在交替循环执行隔离介质层蚀步骤以及栅极

结构刻蚀步骤之后，从掩膜开口 161 暴露的隔离介质层 140 和栅极结构 120 被完全刻蚀，形成第一隔离槽 171，掩膜开口 161 暴露层间介质层 130。

在一种实施方式中，执行隔离介质层蚀步骤以及栅极结构刻蚀步骤的循环次数介于 4 次~12 次之间。示例性地，循环次数可以是 4 次、6 次、8 次、12 次中的任一值。循环次数可以根据栅极结构 120 的厚度进行选择 and 调整，例如，当栅极结构 120 的厚度较厚时，可设置循环次数为 12 次，当栅极结构 120 的厚度较薄时，可设置循环次数为 4 次。需要说明的是，循环次数还可以根据其他因素进行选择 and 调整，例如，掩膜层 160 的厚度、等离子体刻蚀设备的工艺参数等，本申请实施例不以此为限。

图 8A 所示为图 7A 刻蚀经掩膜开口暴露的部分层间介质层后的剖面结构示意图。图 8B 所示为图 7B 刻蚀经掩膜开口暴露的部分层间介质层后的剖面结构示意图。图 8A 所示为图 7A 的层间介质内形成有第二隔离槽的剖面结构示意图。图 8B 所示为图 7B 的层间介质内形成有第二隔离槽的剖面结构示意图。

在一种实施方式中，请一并参考图 8A 至图 9B，在步骤 S330 中，刻蚀层间介质层 130 被第一隔离槽 171 暴露的部分 130A 包括：交替循环执行牺牲层沉积步骤和层间介质层刻蚀步骤，直至层间介质层 130 刻蚀到目标深度；牺牲层沉积步骤用于在掩膜层 160 背离基底 110 的一侧沉积牺牲层 180，牺牲层 180 在基底 110 上的正投影与掩膜层 160 在基底 110 上的正投影重叠，牺牲层 180 用于在执行层间介质层 130 刻蚀步骤的过程中被消耗。其中，目标深度可以通过控制牺牲层沉积步骤和层间介质层刻蚀步骤的循环次数和牺牲层 180 的厚度来控制。

在步骤 S330 中，牺牲层沉积步骤与层间介质层刻蚀步骤交替执行，有利于在层间介质层 130 的内部形成具有高深宽比的第二隔离槽 172。牺牲层 180 的形成和消耗与前文步骤 S320 实施例中的形成和消耗原理相同，因此可

以参考前文步骤 S320 实施例，在此不赘述。

上述方案，通过交替循环执行牺牲层沉积步骤和层间介质层刻蚀步骤，可形成具有高深宽比的第二隔离槽 172，从而进一步确保最终形成的目标隔离槽 170 满足高深宽比设计；并且，在向下刻蚀层间介质层 130 的过程中，通过消耗牺牲层 180 来保护掩膜层 160，可避免因掩膜层 160 被过度消耗而降低例如掩膜开口 161 等图形传递的准确性，有利于确保最终形成的目标隔离槽 170 满足高深宽比条件。

在一种实施方式中，执行牺牲层沉积步骤和层间介质层刻蚀步骤的循环次数介于 3 次~10 次之间。示例性地，该循环次数可以是 3 次、5 次、7 次、10 次中的任一值。该循环次数可以根据层间介质层 130 的厚度，掩膜层 160 的厚度、等离子体刻蚀设备的工艺参数等进行选择和调整，本申请实施例不以此为限。

在一种实施方式中，牺牲层沉积步骤与交替循环刻蚀隔离介质层和栅极结构的步骤在同一工艺腔室中执行。例如，牺牲层沉积步骤与交替循环刻蚀隔离介质层和栅极结构的步骤可以均在如图 2 所示的工艺腔室 20 中执行。

需要说明的是，相关技术的不同工艺步骤通常在不同的工艺腔室中执行，因此在执行的过程中需要更换工艺腔室。然而，在更换工艺腔室的过程中，需要对工艺腔室的内部进行吹扫和抽真空操作，并采用机械手将待刻蚀对象从一个工艺腔室取出后，再放入另一个工艺腔室。这种更换工艺腔室的操作会降低产能。相较于相关技术，本申请实施例通过将牺牲层沉积步骤与交替循环刻蚀隔离介质层和栅极结构的步骤在同一工艺腔室中执行，可以省去更换工艺腔室的相关操作，有助于提高产能。

在一种实施方式中，牺牲层沉积步骤的工艺条件包括：工艺气体包括含硅气体，工艺气体还包括含氧气体和含氮气体中的至少一个。

例如，工艺气体包括含硅气体和含氧气体，则可使含硅气体和含氧气体

在等离子体刻蚀设备的工艺腔室的内部反应形成氧化硅。相似的，工艺气体包括含硅气体和含氮气体，则可以形成氮化硅。工艺气体包括含硅气体、含氧气体和含氮气体，则可以生成氮氧化硅。其中，氧化硅、氮化硅和氮氧化硅均可以作为牺牲层。

在一种实施方式中，请一并参阅图 10，牺牲层沉积步骤的工艺条件还包括：上电极功率范围为 100W~400W，工艺腔室 20 内部的压强范围为 5mTorr~30mTorr。

示例性地，如图 4A 和图 5A，在沉积过程中，通过控制牺牲层 180 的沉积速度、沉积厚度和沉积位置，可以确保生成的牺牲层 180 满足工艺需求。

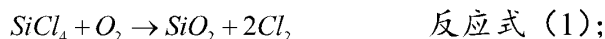
具体地，对于沉积速度：若沉积速度过快，形成的牺牲层 180 容易堵塞掩膜开口 161，导致牺牲层 180 的均匀性和平整度较差；若沉积速度过慢，又会导致牺牲层 180 的致密性不足。在实际应用中，当上电极功率介于 100W~400W（包括端点值）之间时，牺牲层 180 的沉积速度与上电极功率正相关；当工艺腔室 20 内部的压强介于 5mTorr~30mTorr（包括端点值）之间时，牺牲层 180 的沉积速度与工艺腔室 20 内部的压强正相关。因此，通过设置上电极功率范围为 100W~400W，工艺腔室 20 内部的压强范围为 5mTorr~30mTorr，有利于控制牺牲层 180 的沉积速度，确保以合适的沉积速度形成牺牲层 180，使得牺牲层 180 具有良好的均匀性和平整度，且不易发生掩膜开口 161 堵塞。进一步地，通过控制偏置功率范围为 1W~100W（包括端点值），有利于增加牺牲层 180 的致密性。

需要说明的是，牺牲层 180 的沉积速度还与工艺气体的流量、比例和沉积时间相关。下面以一个示例进行说明。

牺牲层沉积步骤的工艺条件包括：工艺气体包括氮化硅气体（ SiCl_4 ）、氧气（ O_2 ）和氦气（ He ），氮化硅气体的流量范围为 30sccm~100sccm，氧气的流量范围为 30sccm~300sccm，氮化硅气体与氧气的比例范围为 1:1~1:3，

氮气的流量范围为 50sccm~200sccm；沉积时长范围为 10s~30s。

示例性地，请参阅图 10，将待刻蚀对象 100 放置于位于工艺腔室 20 内部的承载装置 22 上，使承载装置 22 吸附待刻蚀对象 100。氯化硅气体和氧气通入工艺腔室 20 内部后，在等离子体作用下于掩膜层 160 背离基底 110 的一侧生成二氧化硅牺牲层。沉积的主要反应式如反应式 (1) 所示：



其中，沉积过程中生成的氯气 (Cl_2) 作为副产物，从工艺腔室 20 的内部抽出至工艺腔室 20 的外部。

在工艺条件控制中，氯化硅气体的通入流量、氯化硅气体与氧气的比例也与牺牲层 180 的沉积速度正相关，亦即，氯化硅气体的通入流量越大、氯化硅气体与氧气的比例越大，则牺牲层 180 的沉积速度越快，这样就容易发生掩膜开口 161 堵塞。因此，通过控制氯化硅气体的流量范围为 30sccm~100sccm，氯化硅气体与氧气的比例范围为 1:1~1:3，可进一步确保以合适的沉积速度形成牺牲层 180，使得牺牲层 180 具有良好的均匀性和平整度，且不易发生掩膜开口 161 堵塞。此外，通入工艺腔室 20 内部的氮气作为稀释气体，也可以控制牺牲层 180 的沉积速度，通过控制氮气的通入流量范围为 50sccm~200sccm，也有利于以合适的沉积速度形成牺牲层 180。

对于沉积厚度，除了控制氯化硅气体、氧气、氮气以及等离子体刻蚀设备满足上述条件的情况下，还需要控制沉积时长范围为 10s~30s。如此，可实现在不堵塞掩膜开口 161 的前提下，使牺牲层 180 具有足够的厚度，有利于减少后续隔离介质层 140 和栅极结构 120 交替循环刻蚀的次数，也有利于减少后续循环刻蚀层间介质层 130 的循环刻蚀次数。

对于沉积位置，控制氯化硅气体、氧气、氮气以及等离子体刻蚀设备满足上述条件，可以尽量减少在掩膜开口 161 的侧壁、隔离介质层 140 被掩膜开口 161 暴露的顶壁以及栅极结构 120 被掩膜开口 161 暴露的顶壁的沉积，

使得沉积主要在掩膜层 160 背离基底 110 的一侧表面上进行,以在掩膜层 160 背离基底 110 的一侧形成所需的牺牲层 180。

在一种实施方式中,请一并参阅图 5A 和图 6A,隔离介质层刻蚀步骤的工艺条件包括:工艺气体包括含氟气体。由于隔离介质层 140 的材料多为硅化物材料,因此选用含氟气体作为刻蚀气体,可对隔离介质层 14 具有良好的刻蚀效果。在一个示例中,隔离介质层刻蚀步骤的工艺气体包括四氟甲烷(CF_4)、全氟丁二烯(C_4F_6)和氩气(Ar),四氟甲烷的流量范围为 5sccm~50sccm(包括端点值),全氟丁二烯的流量范围为 30sccm~200sccm(包括端点值),氩气的流量范围为 100sccm~300sccm(包括端点值);工艺腔室 20 内部的压强范围为 5mTorr~30mTorr(包括端点值);上电极功率范围为 500W~1000W(包括端点值);下电极功率范围为 100W~500W(包括端点值);刻蚀时长范围为 5s~30s(包括端点值)。

隔离介质层刻蚀步骤可以包括:对工艺腔室 20 内部抽真空,使工艺腔室 20 内部的压强维持在 5mTorr~30mTorr 之间;将四氟甲烷、全氟丁二烯和氩气通入工艺腔室 20 的内部,其中,四氟甲烷的通入流量介于 5sccm~50sccm 之间,全氟丁二烯的通入流量介于 30sccm~200sccm 之间,氩气的通入流量介于 100sccm~300sccm 之间;控制上电极功率介于 500W~1000W 之间以产生等离子体,控制下电极功率介于 100W~500W 之间以引导等离子体沿掩膜开口 161 垂直轰击隔离介质层 140 被暴露的部分顶壁,实现对隔离介质层 140 的刻蚀;将刻蚀时长维持在 5s~30s 之间,实现所需刻蚀效果。

其中,隔离介质层 140 的材料多选用二氧化硅,因而选用四氟甲烷和全氟丁二烯作为刻蚀气体,可以与隔离介质层 140 的刻蚀需求适配。选用氩气作为载气和稀释气体,由于氩气的分子量较大,因此可以促进等离子体的电离和垂直轰击能力。

上电极功率用于控制刻蚀气体被电离的比例,上电极功率越大,刻蚀气

体被电离的比例越多，等离子的密度越大。下电极功率用于控制等离子体的轰击能力，下电极功率越大，等离子体获得的加速度越大，对隔离介质层 140 顶壁的垂直轰击越强烈。

上述方案，通过控制隔离介质层刻蚀步骤的工艺参数满足上述条件，可以控制第一隔离槽 171 刻蚀形貌，使其满足高深宽比设计需求。

在一种实施方式中，请一并参阅图 6A 和图 6B，栅极结构刻蚀步骤的工艺条件包括：工艺气体包括含氯气体。由于栅极结构 120 的材质可选用金属材料，因此选用含氯气体作为栅极结构 120 的刻蚀气体，可以适配栅极结构 120 的刻蚀需求，具有良好的刻蚀效果。

示例性地，工艺气体包括氯气 (Cl_2)、三氯化硼气体 (BCl_3) 和氮气 (N_2)，氯气和三氯化硼气体的流量范围均为 30sccm~150sccm (包括端点值)，氮气的流量范围为 5sccm~100sccm (包括端点值)；工艺腔室 20 内部的压强范围为 5mtorr~30mtorr (包括端点值)；上电极功率范围为 500W~1000W (包括端点值)；下电极功率范围为 100W~500W (包括端点值)；刻蚀时长范围为 5s~30s (包括端点值)。需要说明的是，栅极结构刻蚀步骤与隔离介质层刻蚀步骤相似，因此栅极结构刻蚀步骤具体实现步骤可以参考前文的隔离介质层刻蚀步骤的实施例，在此不赘述。

示例性地，栅极结构 120 可以包括金属栅极层 121 和高 K 介质层 122，高 K 介质层 122 位于金属栅极层 121 与基底 110、层间介质层 130 和隔离介质层 140 之间。其中，金属栅极层 121 的材料包括但不限于铝 (Al)、氮化钛 (TiN)、钛 (Ti)、钨 (W) 等金属材料，高 K 介质层 122 的材料包括但不限于氧化铪 (HfO_2)。将氯气和三氯化硼气体作为刻蚀气体，可以对金属栅极层 121 进行刻蚀，并且因为三氯化硼气体具有较强的轰击作用，所以在刻蚀金属栅极层 121 的过程中，同时对高 K 介质层 122 轰击刻蚀，具有同时刻蚀金属栅极层 121 和高 K 介质层 122 的效果。此外，由于氯气对牺牲层 180

的选择比较高，因此相较于隔离介质层刻蚀步骤，栅极结构刻蚀步骤可消耗更少的牺牲层 180。

上述方案，通过控制栅极结构刻蚀步骤满足上述工艺条件，可以控制第一隔离槽 171 的刻蚀形貌，使其满足高深宽比设计需求。

在一种实施方式中，请一并参阅图 8A 至图 9B、图 10，层间介质层刻蚀步骤在等离子体刻蚀设备中执行，层间介质层刻蚀步骤的工艺条件包括：工艺气体包含含氟气体。由于层间介质层 130 的材料多为硅化物材料，因此选用含氟气体作为刻蚀气体，可对层间介质层 130 具有良好的刻蚀效果。

示例地，工艺气体包括四氟甲烷、全氟丁二烯、氩气和氧气，四氟甲烷的流量范围为 5sccm~50sccm（包括端点值），全氟丁二烯的流量范围为 30sccm~200sccm（包括端点值），氩气的流量范围为 100sccm~300sccm（包括端点值），氧气的流量范围为 5sccm~30sccm（包括端点值）；工艺腔室 20 内部的压强范围为 5mTorr~30mTorr（包括端点值）；上电极功率范围为 500W~1000W（包括端点值）；下电极功率范围为 100W~500W（包括端点值）；刻蚀时长范围为 5s~30s（包括端点值）。需要说明的是，层间介质层刻蚀步骤与隔离介质层刻蚀步骤相似，因此层间介质层刻蚀步骤的具体实现过程可以参考前文的隔离介质层刻蚀步骤的实施例，在此不赘述。

相较于隔离介质层刻蚀步骤，上述示例中，层间介质层刻蚀步骤还向工艺腔室 20 内部通入了氧气，通过控制氧气的通入流量范围为 5sccm~30sccm，可以防止在第一隔离槽 171 的侧壁沉积副产物，确保等离子体能够经掩膜开口 161 进入第一隔离槽 171 的内部并与层间介质层 130 接触，以刻蚀层间介质层 130 形成第二隔离槽 172。

上述方案，通过控制层间介质层刻蚀步骤满足上述工艺条件，可以控制第二隔离槽 172 的刻蚀形貌，确保形成的第二隔离槽 172 满足设计需求。

需要说明的是，隔离介质层刻蚀步骤、栅极结构刻蚀步骤和层间介质层

刻蚀步骤均在等离子体刻蚀设备中执行，有利于简化工艺步骤，从而提升刻蚀效率。

在一种实施方式中，请一并参阅图 3A 至图 3C，待刻蚀对象 100 还包括位于基底 110 与栅极结构 120 之间的多个分立的鳍部 150，多个鳍部 150 均沿第二方向 D2 延伸，栅极结构 120 横跨于多个鳍部 150 且覆盖各鳍部 150 的部分顶壁和部分侧壁。形成第一隔离槽 171 包括：在相邻鳍部 150 之间形成第一隔离槽 171。

在一个示例中，栅极结构 120 可以为一个，在相邻鳍部 150 之间形成第一隔离槽 171，可将栅极结构 120 分割成两个栅极 120A，形成两个相互独立的鳍式场效应晶体管。

在另一个示例中，栅极结构 120 可以为多个（两个或两个以上），多个栅极结构 120 分立且均沿第一方向 D1 延伸，各栅极结构 120 均横跨于多个鳍部 150 且覆盖各鳍部 150 的部分顶壁和部分侧壁。在相邻鳍部 150 之间形成的第一隔离槽 171 可以沿第二方向 D2 同时贯穿多个栅极结构 120，将各栅极结构 120 均分割成两个栅极 120A，达到可以一次切断多个栅极结构 120 的效果，有利于提升栅极 120A 的形成效率。

上述方案，通过在相邻鳍部 150 之间形成第一隔离槽 171，可使该形成隔离槽的方法适用于鳍式场效应晶体管的制备场景。

本申请还提供一种半导体器件的制备方法，包括：形成多个半导体器件，多个半导体器件的栅极结构相互连接；采用上述任一种实施方式的形成隔离槽的方法，切断相邻半导体器件的栅极结构，使所述栅极结构形成多个栅极；多个栅极与多个半导体器件一一对应。由于半导体器件的制备方法采用了上述所有实施例的全部技术方案，因此至少具有上述实施例的技术方案所带来的所有有益效果，在此不再一一赘述。

图 10 所示为本申请一实施例的半导体工艺设备的结构示意图。

如图 10 所示,该半导体工艺设备 200 包括工艺腔室 20、进气组件 20A、抽气组件(图 10 中未示出)、上电极组件 20B、下电极组件 20C 和控制器(图 10 中未示出)。该控制器包括至少一个处理器和至少一个存储器,存储器中存储有计算机程序,计算机程序被处理器执行时实现上述任一种实施方式的方法。

示例性地,控制器可以是上位机,也可以是下位机。其中,控制器可以通过控制进气组件 20A 的阀门开启,以向工艺腔室 20 的内部通入相应的工艺气体;控制器还可以控制进气组件 20A 的阀门的开合度来控制工艺气体的流量。控制器还可以通过控制抽气组件对工艺腔室 20 的内部进行抽气,实现控制工艺腔室 20 内部的压强。

上电极组件 20B 包括射频线圈 21、上射频电源 23 和上匹配器 25。控制器还用于控制上射频电源 23 通过上匹配器 25 向射频线圈 21 提供上电极功率,以使射频线圈 21 激发工艺腔室 20 内部的工艺气体产生等离子体。

下电极组件 20C 包括承载装置 22、下射频电源 24 和下匹配器 26。控制器还用于控制下射频电源 24 通过下匹配器 26 向承载装置 22 的下电极提供下电极功率,使承载装置 22 的下电极提供射频偏压,以吸附待刻蚀对象 100 上方的等离子体轰击待刻蚀对象 100。

本申请实施例的半导体工艺设备 200 可以是电感耦合等离子体(Inductive Coupled Plasma,简称 ICP)刻蚀设备,也可以是电容耦合等离子体(Capacitively Coupled Plasma,简称 CCP)刻蚀设备。本申请实施例对半导体工艺设备 200 的类型不作限制。

此外,在本申请中,除非另有明确的规定和限定,术语“相连”、“连接”、“层叠”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员

而言，可以根据具体情况理解上述术语在本申请中的具体含义。

在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包括于本申请的至少一个实施例或示例中。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或隐含地包括至少一个该特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

以上所述仅为本申请的较佳实施例而已，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1.一种形成隔离槽的方法，其特征在于，包括：

提供待刻蚀对象，所述待刻蚀对象包括基底以及位于所述基底一侧表面
5 上的栅极结构和隔离介质层，所述栅极结构沿第一方向延伸且与所述隔离介
质层同层设置；

交替循环刻蚀所述隔离介质层和所述栅极结构，形成第一隔离槽，所述
第一隔离槽沿第二方向贯穿所述栅极结构，所述第一方向与所述第二方向相
互垂直；

10 其中，每轮循环中，先刻蚀预定深度的所述隔离介质层以暴露出部分所
述栅极结构，再刻蚀暴露出的所述栅极结构，使所述栅极结构与所述隔离介
质层的顶面大致齐平。

2.根据权利要求1所述的方法，其特征在于，所述待刻蚀对象还包括位
15 于所述基底与所述栅极结构之间的层间介质层，所述第一隔离槽暴露所述层
间介质层的顶壁；在形成所述第一隔离槽之后，所述方法还包括：

刻蚀所述层间介质层被所述第一隔离槽暴露的部分，形成第二隔离槽，
所述第一隔离槽与所述第二隔离槽相互连通构成目标隔离槽。

20 3.根据权利要求1所述的方法，其特征在于，所述交替循环刻蚀所述隔
离介质层和所述栅极结构，包括：交替循环执行隔离介质层刻蚀步骤以及栅
极结构刻蚀步骤，直至切断所述栅极结构。

4.根据权利要求3所述的方法，其特征在于，所述隔离介质层背离所述
25 基底的一侧设置有掩膜层，所述方法还包括：

每次循环执行隔离介质层刻蚀步骤以及栅极结构刻蚀步骤之前，执行牺
牲层沉积步骤，以在所述掩膜层背离所述基底的一侧形成牺牲层；所述牺牲

层在执行所述隔离介质层刻蚀步骤和所述栅极结构刻蚀步骤的过程中被消耗。

5.根据权利要求2所述的方法，其特征在于，所述隔离介质层背离所述
5 基底的一侧设置有掩膜层，所述掩膜层具有掩膜开口，所述掩膜开口在所述
基底上的正投影与所述栅极结构在所述基底上的正投影相互垂直且部分交
叠；

所述刻蚀所述层间介质层包括：交替循环执行牺牲层沉积步骤和层间介
质层刻蚀步骤，直至所述层间介质层刻蚀到目标深度；所述牺牲层沉积步骤
10 用于在所述掩膜层背离所述基底的一侧沉积牺牲层，所述牺牲层在执行所述
层间介质层刻蚀步骤的过程中被消耗。

6.根据权利要求4或5所述的方法，其特征在于，所述牺牲层沉积步骤
与所述交替循环刻蚀所述隔离介质层和所述栅极结构的步骤在同一工艺腔
15 室中执行。

7.根据权利要求6所述的方法，其特征在于，所述牺牲层沉积步骤的工
艺条件包括：工艺气体包括含硅气体，所述工艺气体还包括含氧气体和含氮
气体中的至少一个。

20

8.根据权利要求7所述的方法，其特征在于，所述牺牲层沉积步骤的工
艺条件还包括：上电极功率范围为100W~400W，所述工艺腔室内部的压强
范围为5mTorr~30mTorr。

25 9.根据权利要求3所述的方法，其特征在于，所述隔离介质层刻蚀步骤
的工艺条件包括工艺气体包括含氟气体；和/或，所述栅极结构刻蚀步骤的工
艺条件包括工艺气体包括含氯气体。

10.根据权利要求 9 所述的方法，其特征在于，所述含氟气体包括四氟甲烷和全氟丁二烯；和/或，所述含氯气体包括三氯化硼气体和氯气。

- 5 11.根据权利要求 1 所述的方法，其特征在于，所述待刻蚀对象包括位于所述基底与所述栅极结构之间多个分立的鳍部，所述多个鳍部均沿所述第二方向延伸，所述栅极结构横跨于所述多个鳍部且覆盖各所述鳍部的部分顶壁和部分侧壁；

所述形成第一隔离槽包括：在相邻鳍部之间形成所述第一隔离槽。

10

12.一种半导体器件的制备方法，其特征在于，包括：

形成多个半导体器件，多个所述半导体器件的栅极结构相互连接；

采用权利要求 1 至 11 中任一项所述的形成隔离槽的方法，切断相邻半导体器件的栅极结构，使所述栅极结构形成多个栅极。

15

13.一种半导体工艺设备，其特征在于，包括：工艺腔室、进气组件、上电极组件、下电极组件和控制器，所述控制器包括至少一个处理器和至少一个存储器，所述存储器中存储有计算机程序，所述计算机程序被所述处理器执行时实现如权利要求 1-11 中任一项所述的方法。

20