

增强型开关器件及其制造方法

本申请要求于 2012 年 4 月 20 日提交中国专利局、申请号为 201210118172.X、发明名称为“增强型开关器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本发明属于微电子技术领域，具体涉及一种增强型开关器件，以及制造该增强型开关器件的方法。

背景技术

10 半导体材料氮化镓由于具有禁带宽度大、电子饱和漂移速度高、击穿场强高、导热性能好等特点，已经成为目前的研究热点。在电子器件方面，氮化镓材料比硅和砷化镓更适合于制造高温、高频、高压和大功率器件，因此氮化镓基电子器件具有很好的应用前景。

由于 AlGaIn/GaN 异质结构中存在较强的二维电子气，通常
15 AlGaIn/GaN HEMT 是耗尽型器件，使得增强型器件不易实现。而在许多地方耗尽型器件的应用又具有一定的局限性，比如在功率开关器件的应用中，需要增强型（常关型）开关器件。增强型氮化镓开关器件主要用于高频器件、功率开关器件和数字电路等，它的研究具有十分重要的意义。

20 实现增强型氮化镓开关器件，需要找到合适的方法来降低零栅压时栅极下方的沟道载流子浓度，目前报道的方法有刻蚀槽栅、氟注入栅下的势垒层和薄的势垒层等。

刻蚀槽栅是在传统耗尽型 AlGaIn/GaN HEMT 的器件结构上做了略

微的变动，没有直接电子束蒸发形成栅极，而是先在预沉积栅极区域刻蚀一个凹槽，再在凹栅窗口上制造肖特基栅，通过减薄势垒层厚度来降低沟道中的电子气密度。要使沟道在零栅压下夹断，势垒层厚度必须减薄到 5nm 以下，这样正栅压下就不能产生有效的量子限制，形成表面
5 阱，导致沟道在正栅压下不能完全打开，而且表面阱中的电子又增大了栅极漏电流。刻蚀槽栅的方法在 2001 年由美国伊利诺伊大学的 Kumar 等人提出，参见文献 Kumar, V., et al.: “Recessed 0.25 mm gate AlGaIn/GaN HEMTs on SiC with high gate-drain breakdown voltage using ICP-RIE”, Electron. Lett. 2001, 37, pp. 1483-1485。

10 氟注入栅下的势垒层是在势垒层中注入氟离子等带负电的离子，控制注入离子浓度可以耗尽导电沟道中的二维电子气，必须用很强的负离子来夹断沟道，从而降低了沟道打开时的电流。2005 年香港科技大学 Y.Cai 等人利用基于氟化物等离子处理技术，成功研制了高性能的 AlGaIn/GaN HEMT，参见文献 Y.Cai et al., “High-performance
15 enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment”, IEEE Electron Lett., vol. 2, no. 7, pp. 435-437, 2005。

薄的势垒层是采用较薄的 AlGaIn 势垒层方法来降低沟道中二维电子气的密度，日本大阪大学的 Akira ENDOH 等人使用该法制得了增强型器件，其阈值电压为零伏，参见文献 Akira ENDOH et al.,
20 “Non-Recessed-Gate Enhancement-Mode AlGaIn/GaN High Electron Mobility Transistors with High RF Performance”, JJAP, Vol. 43, No. 4B, 2004, pp. 2255-2258。

以上介绍的几种方法都属于肖特基栅场效应晶体管技术，阈值电压一般在 0V-1V 左右，未达到应用的阈值电压 3V-5V，与金属绝缘栅场效应管相比，栅极漏电流又比较大。另外，刻蚀栅槽和氟注入栅下的势垒层的方法都使用了等离子体处理，该处理会破坏晶格结构，损伤器件的有源区，工艺重复控制性也较差，影响到了器件的稳定性和可靠性。

发明内容

本发明的目的在于提供一种增强型开关器件的制造方法，其通过在氮化物晶体管结构上形成介质层，并在该介质层的栅极区域局部减薄形成凹槽结构，在栅极凹槽区域设置 p 型半导体材料，达到夹断栅极下方 n 型导电层的目的。

为实现上述发明目的，本发明公开了一种增强型开关器件，包括：

衬底；

设于所述衬底上的氮化物晶体管结构

形成于所述氮化物晶体管结构上的介质层，所述介质层上定义有栅极区域，及分别位于上所述栅极区域两侧的两处欧姆接触区域，该两处欧姆接触区域分别贯穿上所述介质层；

形成于所述栅极区域且至少部分贯穿所述介质层的凹槽；

形成于所述凹槽内的 p 型半导体材料；

位于所述两处欧姆接触区域的源电极和漏电极。

优选的，在上述的增强型开关器件中，所述氮化物晶体管结构包括：

位于所述衬底上的氮化物成核层；

位于所述氮化物成核层上的氮化物缓冲层；

位于所述氮化物缓冲层上的氮化物沟道层。

优选的，在上述的增强型开关器件中，所述氮化物沟道层为非掺杂或 n 型掺杂。

5 优选的，在上述的增强型开关器件中，所述氮化物晶体管结构还包括设于所述氮化物沟道层上的氮化物势垒层。

优选的，在上述的增强型开关器件中，所述氮化物晶体管结构还包括形成于所述氮化物势垒层上的氮化物层。

优选的，在上述的增强型开关器件中，所述氮化物层中，氮化物为氮化镓或铝氮。

10 优选的，在上述的增强型开关器件中，所述介质层包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氮、和/或氧化镓铝。

优选的，在上述的增强型开关器件中，所述 p 型半导体材料选自 p 型金刚石、p 型 NiO、p 型 GaN 或 p 型多晶 GaN。

15 优选的，在上述的增强型开关器件中，所述增强型开关器件还包括形成于 p 型半导体材料上的导电金属层。

优选的，在上述的增强型开关器件中，所述凹槽的内壁上还沉积有附加介质层，所述 p 型半导体材料形成于所述附加介质层上。

20 优选的，在上述的增强型开关器件中，所述附加介质层的材质选自 Al_2O_3 、AlON、SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。

本发明还公开了一种增强型开关器件的制造方法，包括以下步骤：

提供一衬底，在所述衬底上形成氮化物晶体管结构；

在所述氮化物晶体管结构上形成介质层，所述介质层上定义有栅极区域；

在所述栅极区域上形成一向氮化物晶体管结构延伸的凹槽，所述凹槽至少部分贯穿所述介质层；

5 在所述凹槽内形成 p 型半导体材料；

在上述介质层上的非栅极区域刻蚀所述介质层，以形成两处欧姆接触区域；

在上述两处欧姆接触区域分别形成源电极和漏电极。

10 优选的，在上述的增强型开关器件的制造方法中，在所述凹槽内形成 p 型半导体材料后，还包括在所述 p 型半导体材料上形成导电金属层。

优选的，在上述的增强型开关器件的制造方法中，所述形成氮化物晶体管步骤包括：

在衬底上形成氮化物成核层；

在所述氮化物成核层上形成氮化物缓冲层；

15 在所述氮化物缓冲层上形成氮化物沟道层，所述氮化物沟道层为非掺杂或 n 型掺杂；

在所述氮化物沟道层上形成氮化物势垒层。

20 优选的，在上述的增强型开关器件的制造方法中，还包括在所述氮化物势垒层上形成氮化物冒层，所述氮化物冒层中的氮化物为氮化镓或铝镓氮。

优选的，在上述的增强型开关器件的制造方法中，所述介质层包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化

铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

优选的，在上述的增强型开关器件的制造方法中，所述凹槽内形成 p 型半导体材料之前，还包括对所述介质层进行氧化处理。

5 优选的，在上述的增强型开关器件的制造方法中，所述凹槽内形成 p 型半导体材料之前，还包括在凹槽的内壁沉积附加介质层。

优选的，在上述的增强型开关器件的制造方法中，所述附加介质层的材质选自 Al_2O_3 、AlON、SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。

与现有技术相比，本发明通过在氮化物晶体管结构上形成介质层，并在该介质层的栅极区域形成凹槽结构，在凹槽处设置 p 型半导体材料，达到夹断栅极下方 n 型导电层的目的，实现氮化镓增强型开关器件，其工艺简单，且制得的器件稳定可靠。在 p 型半导体材料上形成导电金属层可以增加导电性。

附图说明

15 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

20 图 1a 至图 1e 是本发明第一实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 2a 至图 2g 是本发明第二实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 3a 至图 3e 是本发明第三实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 4a 至图 4f 是本发明第四实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

5 图 5a 至图 5f 是本发明第五实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 6a 至图 6f 是本发明第六实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

10 图 7a 至图 7f 是本发明第七实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 8a 至图 8e 是本发明第八实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 9a 至图 9f 是本发明第九实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

15 图 10a 至图 10e 是本发明第十实施方式的增强型开关器件及其制造方法的一系列制程剖面图；

图 11a 至图 11g 是本发明第十一实施方式的增强型开关器件及其制造方法的一系列制程剖面图。

20 具体实施方式

以下将结合附图所示的具体实施方式对本发明进行详细描述。但这些实施方式并不限制本发明，本领域的普通技术人员根据这些实施方式

所做出的结构、方法、或功能上的变换均包含在本发明的保护范围内。

此外，在不同的实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及/或结构之间具有任何关联性。

5 参图 1e 所示，本发明第一实施方式中，增强型开关器件包括：衬底 1 以及依次在衬底 1 上的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5 和氮化硅层 6。氮化硅层 6 的栅极区域设有凹槽 H1（参图 1b），凹槽 H1 的高度小于氮化硅层 6 的厚度；凹槽 H1 的内壁及栅极区域上形成有 p 型半导体材料 9；栅极区域的两侧分别设有源
10 电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 6，且与氮化物势垒层 5 相接触。

参图 1a 至图 1e，为本发明第一实施方式的增强型开关器件及其制造方法的一系列制程剖面图。

参图 1a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、
15 硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为 AlInGa₂N。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、
20 氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGa₂N，氮化物缓冲层 3 可例如采用 AlGa₂N，氮

化物沟道层 4 可例如采用 GaN, 氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中, 也可不设置氮化物势垒层 5, 此时, 氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着, 在完成的氮化物晶体管结构上生长介质层, 该介质层定义有
5 栅极区域。具体地, 在完成的氮化物晶体管结构上生长氮化硅层 6。在本实施方式中, 该介质层的生长可以是原位生长, 也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积(CVD, Chemical Vapor Deposition)、或分子束外延生长(MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法(PECVD, Plasma Enhanced Chemical
10 Vapor Deposition)、或低压化学蒸发沉积(LPCVD, Low Pressure Chemical Vapor Deposition), 或其组合方式制得。应该理解, 这里描述形成介质层的方法只是进行举例, 本发明可以通过本领域的技术人员公知的任何方法形成介质层。在其他实施方式中, 上述介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧
15 化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

参图 1b, 刻蚀上述介质层的栅极区域, 形成至少部分贯穿介质层的凹槽 H1, 该处的部分贯穿, 是指凹槽的底面位于上述介质层内。本实施方式中, 刻蚀过程可例如采用氟基等离子刻蚀。

参图 1c, 在刻蚀形成的凹槽 H1 内沉积 p 型半导体材料 9。p 型半
20 导体材料 9 可选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 1d, 去除介质层上除栅极区域之外的 p 型半导体材料 9。在本

实施方式中，例如 p 型半导体材料 9 为 p 型金刚石，则保留栅极区域 p 型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

5 参图 1e，刻蚀上述介质层除栅极区域以外的部分，以暴露出氮化物晶体管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏电极 11。

10 参图 2g 所示，本发明第二实施方式中，增强型开关器件包括：衬底 1 以及依次在衬底 1 上氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、和氮化硅层 6。氮化硅层 6 的栅极区域设有凹槽 H2（参图 2c）；凹槽 H2 的内壁及氮化硅层 6 上形成有附加介质层 14，附加介质层 14 于栅极区域形成有 p 型半导体材料 9；栅极区域的两侧
15 分别设有源电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿附加介质层 14 和氮化硅层 6，且与氮化物势垒层 5 相接触。

参图 2a 至图 2g，为本发明第二实施方式的增强型开关器件及其制造方法的一系列制程剖面图。

参图 2a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

20 随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为

AlInGaN。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGaN，氮化物缓冲层 3 可例如采用 AlGaN，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，在完成的氮化物晶体管结构上生长氮化硅层 6。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长(MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)，或其组合方式制得。应该理解，这里描述形成所述介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何方法形成所述介质层。在其他实施方式中，上述介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

参图 2b 至 2c，刻蚀上述介质层上的栅极区域，形成至少部分贯穿

所述介质层的凹槽 H2。参图 2d, 在刻蚀形成的凹槽 H2 内沉积附加介质层 14。该附加介质层 14 的材质可例如包括 Al_2O_3 或者 AlON, 附加介质层 14 的生长方式可以通过原子层沉积、或化学气相沉积、或分子束外延生长、或等离子体增强化学气相沉积法、或低压化学蒸发沉积, 5 或其组合方式制得。应该理解, 这里描述形成附加介质层的方法只是进行举例, 本发明可以通过本领域的技术人员公知的任何方法形成附加介质层。附加介质层的材质还可选自 SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。

参图 2e, 在刻蚀形成的凹槽 H2 内的附加介质层 14 上沉积 p 型半
10 导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 2f, 去除覆盖附加介质层 14 上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p 型金刚石, 其它区域的 p 型金刚石可使用等离子体刻蚀掉。
15 此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极, 栅极的导电性可以通过附加金属层改善。栅极的导电性可以通过外加金属层改善。

参图 2g, 刻蚀介质层上栅极区域以外的部分, 以暴露出氮化物晶体管结构。在本实施方式中, 可例如通过干法刻蚀露出氮化物势垒层 5, 20 甚至刻穿该氮化物势垒层 5, 生成两处欧姆接触区域。最后, 在其中一处欧姆接触区域上形成源电极 10, 并在另一处欧姆接触区域上形成漏电极 11。

参图 3e 所示, 本发明第三实施方式中, 增强型开关器件包括: 衬底 1 以及依次在衬底 1 上形成的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化硅层 6、氮化铝层 7 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H3 (参图 3b), 凹槽 H3 的高度等于氮化硅层 8 的厚度; 凹槽 H3 的内壁及栅极区域上形成有 p 型半导体材料 9; 栅极区域的两侧分别设有源电极 10 和漏电极 11, 源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氮化铝层 7 和氮化硅层 6, 且与氮化物势垒层 5 相接触。

参图 3a 至图 3e, 为本发明第三实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 3a, 首先, 提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中, 衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅 (SOI)、氮化镓或氮化铝。

随后, 在衬底 1 上制造氮化物晶体管结构, 该处氮化物优选为 AlInGaN。具体地, 依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4 和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中, 氮化物成核层 2 可采用 AlInGaN, 氮化物缓冲层 3 可例如采用 AlGa_{0.9}N, 氮化物沟道层 4 可例如采用 GaN, 氮化物势垒层 5 可例如采用 AlGa_{0.9}N。在其他实施方式中, 也可不设置氮化物势垒层 5, 此时, 氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化硅层 6、氮化铝层 7 和氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)，或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，

5 本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

10

参图 3b，刻蚀介质层上的栅极区域，形成至少部分贯穿上述介质层的凹槽 H3，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氮化铝 7 层时停止。

15

参图 3c，在刻蚀形成的凹槽 H3 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN 或 p 型多晶 GaN 等。

20

参图 3d，去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中，例如 p 型半导体材料 9 为 p 型金刚石，则保留栅极区域 p

型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 3e，刻蚀介质层上栅极区域以外的部分，以暴露出氮化物晶体管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏电极 11。

参图 4f 所示，本发明第四实施方式中，增强型开关器件包括：衬底 1 以及依次在衬底 1 上的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化硅层 6、氮化铝层 7 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H4（参图 4c），凹槽 H4 的高度等于氮化硅层 8 和氮化铝层 7 的厚度之和；凹槽 H4 的内壁及栅极区域上形成有 p 型半导体材料；栅极区域的两侧分别设有源电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氮化铝层 7 和氮化硅层 6，且与氮化物势垒层 5 相接触。

参图 4a 至图 4f，为本发明第四实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 4a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为

AlInGaN。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4 和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGaN，氮化物缓冲层 3 可例如采用 AlGaN，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化硅层 6、氮化铝层 7、和氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)，或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

参图 4b 和 4c，刻蚀上述介质层上的栅极区域，形成至少部分贯穿

该介质层的凹槽 H4，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氮化铝 7 层时停止，接着可选择地采用湿法腐蚀，或者是干法刻蚀将氮化铝层也刻穿，以形成凹槽

5 H4。

参图 4d，在刻蚀形成的凹槽 H4 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 4e，去除介质层上除栅极区域之外的 p 型半导体材料 9。在本
10 实施方式中，例如 p 型半导体材料 9 为 p 型金刚石，则保留栅极区域 p 型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 4f，刻蚀介质层上栅极区域以外的部分，以暴露出氮化物晶体
15 管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏电极 11。

参图 5f 所示，本发明第五实施方式中，增强型开关器件包括：衬底
20 1 以及依次在衬底 1 上的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化硅层 6、氮化铝层 7 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H5（参图 5b），凹槽 H5 的高度等于氮化硅层

8 的厚度；凹槽 H5 的内壁及栅极区域上形成有 p 型半导体材料；栅极区域的两侧分别设有源电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氮化铝层 7 和氮化硅层 6，且与氮化物势垒层 5 相接触。凹槽 H5 的底部和氮化硅层 6 之间还设有 Al_2O_3 层 12 或者 AlON 层 12。

参图 5a 至图 5f，为本发明第五实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 5a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为 AlInGaN 。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGaN ，氮化物缓冲层 3 可例如采用 AlGaIn ，氮化物沟道层 4 可例如采用 GaInN ，氮化物势垒层 5 可例如采用 AlGaIn 。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化硅层 6、氮化铝层 7、和氮化硅层 8。在本实施方式中，该介质层的生长可以是

原位生长，也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition), 或其组合方式制得。应该理解, 这里描述形成上述介质层的方法只是进行举例, 本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中, 该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

参图 5b, 刻蚀上述介质层上的栅极区域, 形成至少部分贯穿该介质层的凹槽 H5, 该处的部分贯穿, 是指凹槽的底面位于该介质层内。本实施方式中, 刻蚀过程可例如采用氟基等离子刻蚀, 由于氟基等离子刻蚀的选择性, 刻蚀过程会在刻蚀至氮化铝 7 层时停止。

参图 5c, 在刻蚀完成后, 可例如通过热氧化、湿法氧化、氧离子、或者臭氧等方法把凹槽 H5 处对应的氮化铝层氧化。在本实施方式中, 此处的氮化铝层可被转化为 Al_2O_3 层 12 或者 AlON 层 12。

参图 5d, 在刻蚀形成的凹槽 H5 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 5e, 去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p

型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 5f，刻蚀介质层上栅极区域以外的部分，以暴露出氮化物晶体
5 管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏电极 11。

参图 6f 所示，本发明第六实施方式中，增强型开关器件包括：衬底
10 1 以及依次在衬底 1 上的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化硅层 6、氮化铝硅层 13 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H6（参图 6c），凹槽 H6 的高度等于氮化硅层 8 和氮化铝硅层 13 的厚度之和；凹槽 H4 的内壁及栅极区域上形成有 p 型半导体材料；栅极区域的两侧分别设有源电极 10 和漏电极 11，
15 源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氮化铝硅层 13 和氮化硅层 6，且与氮化物势垒层 5 相接触。

参图 6a 至图 6f，为本发明第六实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 6a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、
20 硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为

AlInGaN。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGaN，氮化物缓冲层层 3 可例如采用 AlGaN，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化硅层 6、氮化铝硅层 13、和氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积(ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)，或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

参图 6b 和 6c，刻蚀上述介质层上的栅极区域，形成至少部分贯穿

该介质层的凹槽 H6，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氮化铝硅层 13 时停止，接着可选择地采用湿法腐蚀，或者是干法刻蚀将氮化铝硅层也刻穿，以形成

5 凹槽 H6。

参图 6d，在刻蚀形成的凹槽 H6 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 6e，去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中，例如 p 型半导体材料 9 为 p 型金刚石，则保留栅极区域 p 型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 6f，刻蚀介质层上栅极区域以外的部分，以暴露出氮化物晶体管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏电极 11。

参图 7f 所示，本发明第七实施方式中，增强型开关器件包括：衬底 1 以及依次在衬底 1 上氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化铝硅层 13、氮化铝层 7 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H7（参图 7c），凹槽 H7 的高度等于氮化硅

层 8 和氮化铝层 7 的厚度之和；凹槽 H5 的内壁及栅极区域上形成有 p 型半导体材料；栅极区域的两侧分别设有源电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氮化铝层 7 和氮化铝硅层 13，且与氮化物势垒层 5 相接触。

5 参图 7a 至图 7f，为本发明第七实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 7a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

10 随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为 AlInGaN。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物
15 成核层 2 可例如采用 AlInGaN，氮化物缓冲层 3 可例如采用 AlGaN，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有
20 栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化铝硅层 13、氮化铝层 7、和氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积（ALD, Atomic layer

deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition), 或其组合方式制得。应该理解, 这里描述形成上述介质层的方法只是进行举例, 本发明可以通过本领域的技术人员公知的任何方法形成该介质层。在其他实施方式中, 上述介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

参图 7b 和 7c, 刻蚀上述介质层上的栅极区域, 形成至少部分贯穿该介质层的凹槽 H7, 该处的部分贯穿, 是指凹槽的底面位于该介质层内。本实施方式中, 刻蚀过程可例如采用氟基等离子刻蚀, 由于氟基等离子刻蚀的选择性, 刻蚀过程会在刻蚀至氮化铝层 7 时停止, 接着可选择地采用湿法腐蚀, 或者是基于干法刻蚀将氮化铝层也刻穿, 以形成凹槽 H7。

参图 7d, 在刻蚀形成的凹槽 H5 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 7e, 去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p 型金刚石, 其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电

性可以通过外加导电金属层改善。

参图 7f, 刻蚀介质层上栅极区域以外的部分, 以暴露出氮化物晶体管结构。在本实施方式中, 可例如通过干法刻蚀露出氮化物势垒层 5, 甚至刻穿该氮化物势垒层 5, 生成两处欧姆接触区域。最后, 在其中一处欧姆接触区域上形成源电极 10, 并在另一处欧姆接触区域上形成漏电极 11。

参图 8e 所示, 本发明第八实施方式中, 增强型开关器件包括: 衬底 1 以及依次在衬底 1 上的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化铝硅层 13 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H8(参图 8b), 凹槽 H8 的高度等于氮化硅层 8 的厚度; 凹槽 H8 的内壁及栅极区域上形成有 p 型半导体材料 9; 栅极区域的两侧分别设有源电极 10 和漏电极 11, 源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8 和氮化铝硅层 13, 且与氮化物势垒层 5 相接触。

参图 8a 至图 8e, 为本发明第八实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 8a, 首先, 提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中, 衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅 (SOI)、氮化镓或氮化铝。

随后, 在衬底 1 上制造氮化物晶体管结构, 该处氮化物优选为 AlInGaN。具体地, 依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任

意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGa_N，氮化物缓冲层 3 可例如采用 AlGa_N，氮化物沟道层 4 可例如采用 Ga_N，氮化物势垒层 5 可例如采用 AlGa_N。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 5 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氮化铝硅层 13 和氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积 (ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)，或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，10 本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

参图 8b，刻蚀介质层上的栅极区域，形成至少部分贯穿该介质层的凹槽 H8，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氮化铝硅层 13 时停止，以形成凹槽 H8。20

参图 8c, 在刻蚀形成的凹槽 H8 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 8d, 去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p 型金刚石, 其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 8e, 刻蚀介质层上栅极区域以外的部分, 以暴露出氮化物晶体管结构。在本实施方式中, 可例如通过干法刻蚀露出氮化物势垒层 5, 甚至刻穿该氮化物势垒层 5, 生成两处欧姆接触区域。最后, 在其中一处欧姆接触区域上形成源电极 10, 并在另一处欧姆接触区域上形成漏电极 11。

参图 9f 所示, 本发明第九实施方式中, 增强型开关器件包括: 衬底 1 以及依次在衬底 1 上氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、氮化铝硅层 13 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H9 (参图 9b), 凹槽 H9 的高度等于氮化硅层 8 的厚度; 凹槽 H9 的内壁及氮化硅层 8 上形成有附加介质层 14, 附加介质层 14 于栅极区域形成有 p 型半导体材料 9; 栅极区域的两侧分别设有源电极 10 和漏电极 11, 源电极 10 和漏电极 11 在竖直方向上分别贯穿附加介质层 14、氮化硅层 8 和氮化铝硅层 13, 且与氮化物势垒层 5 相接触。

参图 9a 至图 9f, 为本发明第九实施方式增强型开关器件及其制造

方法的一系列制程剖面图。

参图 9a, 首先, 提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中, 衬底 1 优选自蓝宝石、碳化硅、硅、铌酸锂、绝缘衬底硅 (SOI)、氮化镓或氮化铝。

5 随后, 在衬底 1 上制造氮化物晶体管结构, 该处氮化物优选为 AlInGaN。具体地, 依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中, 氮化物
10 成核层 2 可例如采用 AlInGaN, 氮化物缓冲层 3 可例如采用 AlGaN, 氮化物沟道层 4 可例如采用 GaN, 氮化物势垒层 5 可例如采用 AlGaN。在其他实施方式中, 也可不设置氮化物势垒层 5, 此时, 氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着, 在完成的氮化物晶体管结构上生长介质层, 该介质层定义有
15 栅极区域。具体地, 依次在完成的氮化物晶体管结构上生长氮化铝硅层 13 和氮化硅层 8。在本实施方式中, 该介质层的生长可以是原位生长, 也可以是通过原子层沉积 (ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法
20 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition), 或其组合方式制得。应该理解, 这里描述形成上述介质层的方法只是进行举例,

本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

5 参图 9b，刻蚀介质层上的栅极区域，形成至少部分贯穿该介质层的凹槽 H9，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氮化铝硅层 13 时停止，以形成凹槽 H9。

参图 9c，在刻蚀形成的凹槽 H9 内沉积附加介质层 14。该附加介质层 14 的材质可例如包括 Al_2O_3 或者 AlON，附加介质层 14 的生长方式可以通过原子层沉积、或化学气相沉积、或分子束外延生长、或等离子体增强化学气相沉积法、或低压化学蒸发沉积，或其组合方式制得。应该理解，这里描述形成附加介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何方法形成附加介质层。附加介质层的
10 材质还可选自 SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。
15

参图 9d，在刻蚀形成的凹槽 H9 内的附加介质层 14 上沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 9e，去除覆盖附加介质层 14 上除栅极区域之外的 p 型半导体材料 9。在本实施方式中，例如 p 型半导体材料 9 为 p 型金刚石，则保留栅极区域 p 型金刚石，其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。
20

栅极的导电性可以通过外加导电金属层改善。

参图 9f, 刻蚀介质层上栅极区域以外的部分, 以暴露出氮化物晶体管结构。在本实施方式中, 可例如通过干法刻蚀露出氮化物势垒层 5, 甚至刻穿该氮化物势垒层 5, 生成两处欧姆接触区域。最后, 在其中一处欧姆接触区域上形成源电极 10, 并在另一处欧姆接触区域上形成漏电极 11。

参图 10e 所示, 本发明第十实施方式中, 增强型开关器件包括: 衬底 1 以及依次在衬底 1 上氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、冒层 15、氧化铝层 16 (或氧氮铝层 16) 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H10 (参图 10b), 凹槽 H10 的高度等于氮化硅层 8 的厚度; 凹槽 H8 的内壁及栅极区域形成有 p 型半导体材料 9; 栅极区域的两侧分别设有源电极 10 和漏电极 11, 源电极 10 和漏电极 11 在竖直方向上分别贯穿氮化硅层 8、氧化铝层 16 (或氧氮铝层 16) 和冒层 15, 且与氮化物势垒层 5 相接触。

参图 10a 至图 10e, 为本发明第十实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 10a, 首先, 提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中, 衬底 1 优选自蓝宝石、碳化硅、硅、砷酸锂、绝缘衬底硅 (SOI)、氮化镓或氮化铝。

随后, 在衬底 1 上制造氮化物晶体管结构, 该处氮化物优选为 AlInGaN。具体地, 依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、和冒层 15。这里所说的氮化物

成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGa₂N，氮化物缓冲层 3 可例如采用 AlGa₂N，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGa₂N，氮化物势垒层 5 可以是氮化镓也可以包含有铝（铝镓氮），铝的成分比例可以是一个常数，可以是逐渐下降，可以是先上升后下降，或者有超晶格结构，其中铝的成分呈周期性变化。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氧化铝层 16（或氧氮铝层 16）、氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积 (ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)、或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

参图 10b，刻蚀介质层上的栅极区域，形成至少部分贯穿该介质层

的凹槽 H10，该处的部分贯穿，是指凹槽的底面位于该介质层内。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氧化铝层 16（或氧氮铝层 16）时停止，以形成凹槽 H10。

5 参图 10c, 在刻蚀形成的凹槽 H8 内沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

10 参图 10d, 去除介质层上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p 型金刚石, 其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

15 参图 10e，刻蚀介质层上栅极区域以外的部分，以暴露出氮化物晶
体管结构。在本实施方式中，可例如通过干法刻蚀露出氮化物势垒层 5，
甚至刻穿该氮化物势垒层 5，生成两处欧姆接触区域。最后，在其中一
处欧姆接触区域上形成源电极 10，并在另一处欧姆接触区域上形成漏
电极 11。

参图 11g 所示, 本发明第十一实施方式中, 增强型开关器件包括:

衬底 1 以及依次在衬底 1 上氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、冒层 15、氧化铝层 16 (或氧氮铝层 16) 和氮化硅层 8。氮化硅层 8 的栅极区域设有凹槽 H11 (参图 11c), 凹槽 H11 的高度等于氮化硅层 8、氧化铝层 16 (或氧氮铝层 16) 和冒层 15

的厚度之和；凹槽 H11 的内壁及氮化硅层 8 上形成有附加介质层 14，附加介质层 14 于栅极区域形成有 p 型半导体材料 9；栅极区域的两侧分别设有源电极 10 和漏电极 11，源电极 10 和漏电极 11 在竖直方向上分别贯穿附加介质层 14、氮化硅层 8、氧化铝层 16（或氧氮铝层 16）和
5 冒层 15，且与氮化物势垒层 5 相接触。

参图 11a 至图 11g，为本发明第十一实施方式增强型开关器件及其制造方法的一系列制程剖面图。

参图 11a，首先，提供一衬底 1。衬底 1 可选自半导体材料、陶瓷材料或高分子材料等。在本实施方式中，衬底 1 优选自蓝宝石、碳化硅、
10 硅、铌酸锂、绝缘衬底硅（SOI）、氮化镓或氮化铝。

随后，在衬底 1 上制造氮化物晶体管结构，该处氮化物优选为 AlInGaN。具体地，依次在衬底 1 上生长氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、氮化物势垒层 5、和冒层 15。这里所说的氮化物成核层 2、氮化物缓冲层 3、氮化物沟道层 4、和氮化物势垒层 5 的材
15 质可以是任意一种三族氮化物或任意三族氮化物的组合。在本实施方式中，氮化物成核层 2 可例如采用 AlInGaN，氮化物缓冲层 3 可例如采用 AlGaN，氮化物沟道层 4 可例如采用 GaN，氮化物势垒层 5 可例如采用 AlGaN，冒层 15 可以是氮化镓也可以包含有铝（铝镓氮），铝的成分比例可以是一个常数，可以是逐渐下降，可以是先上升后下降，或者有超
20 晶格结构，其中铝的成分呈周期性变化。在其他实施方式中，也可不设置氮化物势垒层 5，此时，氮化物沟道层 4 为非掺杂或 n 型掺杂。

接着，在完成的氮化物晶体管结构上生长介质层，该介质层定义有

栅极区域。具体地，依次在完成的氮化物晶体管结构上生长氧化铝层 16（或氧氮铝层 16）、氮化硅层 8。在本实施方式中，该介质层的生长可以是原位生长，也可以是通过原子层沉积 (ALD, Atomic layer deposition)、或化学气相沉积 (CVD, Chemical Vapor Deposition)、或分子束外延生长 (MBE, Molecular Beam Epitaxy)、或等

5 离子体增强化学气相沉积法 (PECVD, Plasma Enhanced Chemical Vapor Deposition)、或低压化学蒸发沉积 (LPCVD, Low Pressure Chemical Vapor Deposition)、或其组合方式制得。应该理解，这里描述形成上述介质层的方法只是进行举例，本发明可以通过本领域的技术人员公知的任何

10 方法形成上述介质层。在其他实施方式中，该介质层还可以包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化铪、和/或硅氧氮、和/或氧化铪铝。

参图 11b 至 11c，刻蚀介质层上的栅极区域，形成至少部分贯穿该介质层的凹槽 H11。本实施方式中，刻蚀过程可例如采用氟基等离子刻蚀，由于氟基等离子刻蚀的选择性，刻蚀过程会在刻蚀至氧化铝层 16（或氧氮铝层 16）时停止，接着再采用湿法刻蚀或者干法刻蚀刻穿氧化铝层 16（或氧氮铝层 16）、以及部分或全部的

15 冒层 15 以形成凹槽 H11。

参图 11d，在刻蚀形成的凹槽 H11 内沉积附加介质层 14。该附加介质层 14 的材质可例如包括 Al_2O_3 或者 AlON，附加介质层 14 的生长方式可以通过原子层沉积、或化学气相沉积、或分子束外延生长、或等

20 离子体增强化学气相沉积法、或低压化学蒸发沉积，或其组合方式制得。应该理解，这里描述形成附加介质层的方法只是进行举例，本发明

可以通过本领域的技术人员公知的任何方法形成附加介质层。附加介质层的材质还可选自 SiN、SiON、SiO₂、HfO₂ 中的一种或多种的组合。

参图 11e, 在刻蚀形成的凹槽 H11 内的附加介质层 14 上沉积 p 型半导体材料 9。p 型半导体材料 9 可例如选自 p 型金刚石、p 型 NiO、p 型 GaN、或 p 型多晶 GaN 等。

参图 11f, 去除覆盖附加介质层 14 上除栅极区域之外的 p 型半导体材料 9。在本实施方式中, 例如 p 型半导体材料 9 为 p 型金刚石, 则保留栅极区域 p 型金刚石, 其它区域的 p 型金刚石可使用等离子体刻蚀掉。此时的 p 型半导体材料 9 实质上也就是本发明增强型开关器件的栅极。栅极的导电性可以通过外加导电金属层改善。

参图 11g, 刻蚀介质层上栅极区域以外的部分, 以暴露出氮化物晶体管结构。在本实施方式中, 可例如通过干法刻蚀露出氮化物势垒层 5, 甚至刻穿该氮化物势垒层 5, 生成两处欧姆接触区域。最后, 在其中一处欧姆接触区域上形成源电极 10, 并在另一处欧姆接触区域上形成漏电极 11。

通过上述的实施方式, 本发明增强型开关器件制作方法制得的增强型开关器件具有以下有益效果:

通过在氮化物晶体管结构上形成介质层, 并在该介质层的栅极区域局部减薄生成凹槽结构, 在凹槽内设置 p 型半导体材料, 达到夹断栅极下方 n 型导电层的目的, 实现氮化镓增强型开关器件, 其工艺简单, 且制得的器件稳定可靠。

应当理解, 虽然本说明书按照实施方式加以描述, 但并非每个实施

方式仅包含一个独立的技术方案，说明书的这种叙述方式仅仅是为清楚起见，本领域技术人员应当将说明书作为一个整体，各实施方式中的技术方案也可以经适当组合，形成本领域技术人员可以理解的其他实施方式。

- 5 上文所列出的一系列的详细说明仅仅是针对本发明的可行性实施方式的具体说明，它们并非用以限制本发明的保护范围，凡未脱离本发明技艺精神所作的等效实施方式或变更均应包含在本发明的保护范围之内。

权 利 要 求

1、一种增强型开关器件，其特征在于，包括：

衬底；

设于所述衬底上的氮化物晶体管结构

- 5 形成于所述氮化物晶体管结构上的介质层，所述介质层上定义有栅极区域，及分别位于上所述栅极区域两侧的两处欧姆接触区域，该两处欧姆接触区域分别贯穿上所述介质层；

形成于所述栅极区域且至少部分贯穿所述介质层的凹槽；

形成于所述凹槽内的 p 型半导体材料；

- 10 位于所述两处欧姆接触区域的源电极和漏电极。

2、根据权利要求 1 所述的增强型开关器件，其特征在于，所述氮化物晶体管结构包括：

位于所述衬底上的氮化物成核层；

位于所述氮化物成核层上的氮化物缓冲层；

- 15 位于所述氮化物缓冲层上的氮化物沟道层。

3、根据权利要求 2 所述的增强型开关器件，其特征在于，所述氮化物沟道层为非掺杂或 n 型掺杂。

4、根据权利要求 2 所述的增强型开关器件，其特征在于，所述氮化物晶体管结构还包括设于所述氮化物沟道层上的氮化物势垒层。

- 20 5、根据权利要求 4 所述的增强型开关器件，其特征在于，所述氮化物晶体管结构还包括形成于所述氮化物势垒层上的氮化物冒层。

6、根据权利要求 5 所述的增强型开关器件，其特征在于，所述氮化物

氮化物为氮化镓或铝镓氮。

7、根据权利要求 1 所述的增强型开关器件，其特征在于，所述介质层包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

5 8、根据权利要求 1 所述的增强型开关器件，其特征在于，所述 p 型半导体材料选自 p 型金刚石、p 型 NiO、p 型 GaN 或 p 型多晶 GaN。

9、根据权利要求 1 所述的增强型开关器件，其特征在于，所述增强型开关器件还包括形成于 p 型半导体材料上的导电金属层。

10 10、根据权利要求 1 所述的增强型开关器件，其特征在于，所述凹槽的内壁上还沉积有附加介质层，所述 p 型半导体材料形成于所述附加介质层上。

11、根据权利要求 10 所述的增强型开关器件，其特征在于，所述附加介质层的材质选自 Al_2O_3 、AlON、SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。

15 12、一种增强型开关器件的制造方法，其特征在于，包括以下步骤：

提供一衬底，在所述衬底上形成氮化物晶体管结构；

在所述氮化物晶体管结构上形成介质层，所述介质层上定义有栅极区域；

20 在所述栅极区域上形成一向氮化物晶体管结构延伸的凹槽，所述凹槽至少部分贯穿所述介质层；

在所述凹槽内形成 p 型半导体材料；

在上述介质层上的非栅极区域刻蚀所述介质层，以形成两处欧姆接触

区域;

在上述两处欧姆接触区域分别形成源电极和漏电极。

- 13、根据权利要求 12 所述的增强型开关器件的制造方法,其特征在于,在所述凹槽内形成 p 型半导体材料后,还包括在所述 p 型半导体材料上形成导电金属层。

14、根据权利要求 12 所述的增强型开关器件的制造方法,其特征在于,所述形成氮化物晶体管步骤包括:

在衬底上形成氮化物成核层;

在所述氮化物成核层上形成氮化物缓冲层;

- 10 在所述氮化物缓冲层上形成氮化物沟道层,所述氮化物沟道层为非掺杂或 n 型掺杂;

在所述氮化物沟道层上形成氮化物势垒层。

- 15、根据权利要求 14 所述的增强型开关器件的制造方法,其特征在于,还包括在所述氮化物势垒层上形成氮化物冒层,所述氮化物冒层中的氮化物为氮化镓或铝镓氮。

16、根据权利要求 12 所述的增强型开关器件的制造方法,其特征在于,所述介质层包括氮化硅层、和/或二氧化硅层、和/或氮化铝层、和/或氮化铝硅层、和/或氧化铝层、和/或氧氮铝层、和/或氧化镓、和/或硅氧氮、和/或氧化镓铝。

- 20 17、根据权利要求 12 所述的增强型开关器件的制造方法,其特征在于,所述凹槽内形成 p 型半导体材料之前,还包括对所述介质层进行氧化处理。

18、根据权利要求 12 所述的增强型开关器件的制造方法,其特征在于,

所述凹槽内形成 p 型半导体材料之前, 还包括在凹槽的内壁沉积附加介质层。

19、根据权利要求 18 所述的增强型开关器件的制造方法, 其特征在于, 所述附加介质层的材质选自 Al_2O_3 、AlON、SiN、SiON、 SiO_2 、 HfO_2 中的一种或多种的组合。

5