(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
11. März 2004 (11.03.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/021448 A1

(51) Internationale Patentklassifikation[7]: H01L 29/792, 21/336, G11C 11/56

(21) Internationales Aktenzeichen: PCT/DE2003/002678

(22) Internationales Anmeldedatum:
8. August 2003 (08.08.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 38 784.2 23. August 2002 (23.08.2002) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **INFINEON TECHNOLOGIES AG** [DE/DE]; St. Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **SCHULER, Franz** [DE/DE]; Ludwig-Jahn-Str. 4, 01109 Dresden (DE). **TEMPEL, Georg** [DE/DE]; Königsbrücker Str. 180, 01099 Dresden (DE).

(74) Anwalt: **KINDERMANN, Peter**; Patentanwälte Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(81) Bestimmungsstaaten *(national)*: JP, KR, SG, US.

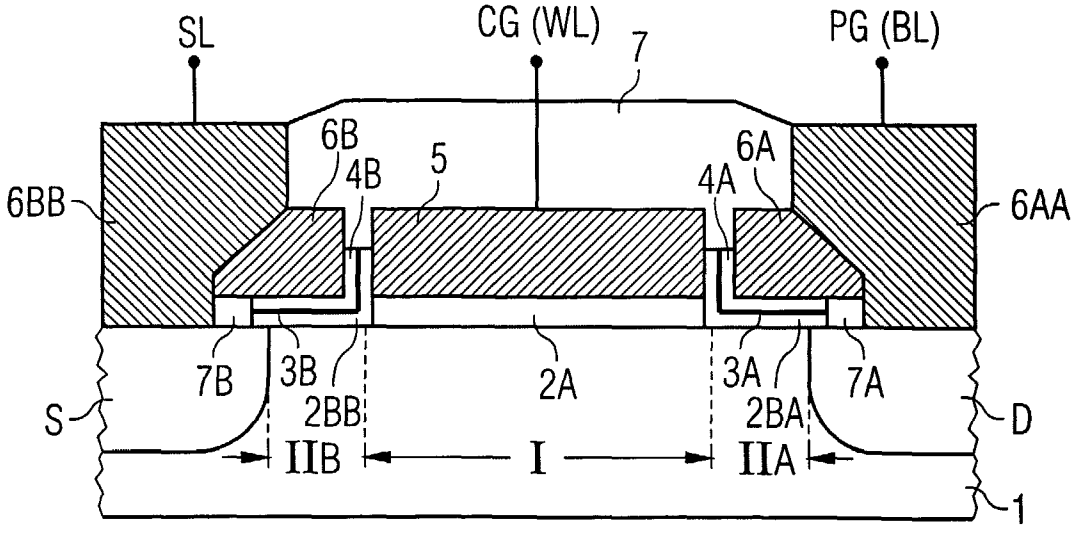
(84) Bestimmungsstaaten *(regional)*: europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:
— *mit internationalem Recherchenbericht*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: NON-VOLATILE SEMICONDUCTOR MEMORY ELEMENT AND CORRESPONDING PRODUCTION AND OPERATION METHOD

(54) Bezeichnung: NICHTFLÜCHTIGES HALBLEITERSPEICHERELEMENT SOWIE ZUGEHÖRIGES HERSTELLUNGS- UND ANSTEUERVERFAHREN



(57) Abstract: The invention relates to a non-volatile semiconductor memory element and corresponding production and operation method, comprising a semiconductor substrate (1), in which a source region (S), a drain region (D) and a channel region lying between the above are embodied. A control layer (5) is embodied on a first part section (I) of the channel region and insulated from the channel region by means of a first insulation layer (2A), whilst in a second part section (IIA, IIB) of the channel region, individual charge storage layers (3A and 3B) are embodied and insulated from the channel region by means of a second insulation layer (2BA and 2BB). A programming layer (6A, 6B) is embodied on the charge storage layer (3A, 3B), insulated therefrom by means of a third insulation layer (4A, 4B), and electrically connected by means of a connection layer (6AA, 6BB) to a source region (S) and drain region (D).

[Fortsetzung auf der nächsten Seite]

WO 2004/021448 A1

(57) Zusammenfassung: Die Erfindung betrifft ein nichtflüchtiges Halbleiterspeicherelement sowie ein zugehöriges Herstellungs- und Ansteuerverfahren mit einem Halbleitersubstrat (1), in dem ein Sourcegebiet (S), ein Draingebiet (D) und ein dazwischen liegendes Kanalgebiet ausgebildet sind. Auf einem ersten Teilabschnitt (I) des Kanalgebiets ist eine Steuerschicht (5) ausgebildet und vom Kanalgebiet durch eine erste Isolierschicht (2A) isoliert, während in einem zweiten Teilabschnitt (IIA, IIB) des Kanalgebiets jeweilige Ladungsspeicherschichten (3A und 3B) ausgebildet und vom Kanalgebiet durch eine zweite Isolierschicht (2BA und 2BB) isoliert sind. An der Ladungsspeicherschicht (3A, 3B) ist eine Programmierschicht (6A, 6B) ausgebildet und von dieser durch eine dritte Isolierschicht (4A, 4B) isoliert, wobei sie über eine jeweilige Verbindungsschicht (6AA, 6BB) mit einem jeweiligen Sourcegebiet (S) und Draingebiet (D) elektrisch verbunden ist.