

명세서

발명의 명칭: 반도체패키지의 이엠아이 쉘드 처리공법

기술분야

- [1] 본 발명은 반도체패키지의 이엠아이 쉘드 처리공법에 관한 것으로, 보다 구체적으로는, 한번의 코팅작업으로 테이프의 상면에 일정간격으로 다수 부착되어 있는 반도체패키지를 동시에 코팅처리할 수 있을 뿐만 아니라, 반도체패키지의 하면에 범프가 형성되어 있다 하더라도, 반도체패키지의 하면 가장자리가 테이프에 접착되어 범프가 홀에 삽입설치되도록 함으로써 코팅 처리시 범프가 형성된 반도체패키지의 하면을 제외한 5면의 코팅처리를 동시에 있으며, 이를 통해, 제조비용을 절감은 물론, 생산성을 향상시킬 수 있는 반도체패키지의 이엠아이 쉘드 처리공법에 관한 것이다.

배경기술

- [2] 일반적으로 최근의 전자기기는 소형화, 박형화, 다기능화에 따라 많은 양의 정보를 빠른 시간에 처리할 수 있는 고집적화된 반도체칩이 요구되었고, 최근 이러한 문제를 해결할 수 있는 BGA 반도체패키지가 출현을 보게 되었다.
- [3] 이러한 BGA 반도체패키지는 파인피치 표면실장 기술과 고집적화 한계에 대한 기능과 품질을 보완하기 위해 기존의 리드(Lead)의 손상 방지와 부피 및 크기의 최소화와 전기적 기능특성과 열적특성의 우수성과 패키지의 수율과 기관조립 수율과 그 외 멀티칩 모듈의 확장과 신속한 디자인에서 생산까지의 사이클을 최소화 할 수 있는 장점을 가질 수 있도록 개발되었다.
- [4] 또한 고집적화된 BGA 반도체패키지의 품질신뢰도 향상에 따른 이용의 다양성과 초소형으로 요구되는 각종 전자주변기계에 적용이 용이하고, 가격 경쟁력이 높아 고부가가치를 얻을 수 있는 잇점을 가지고 있다.
- [5] 이러한 BGA 반도체패키지는 보다 많은 수의 고집적화된 회로를 갖기 위해 회로기관 상에 회로패턴과 반도체칩이 부착되는 칩탑재부가 구비되고, 반도체칩의 회로와 회로기관의 회로패턴에는 와이어를 연결시켜 본딩하며, 반도체칩과 와이어와 회로패턴의 일부를 포함하는 영역의 패키지 성형부에 컴파운드재의 패키지를 성형하고, 회로기관의 금속층에는 볼을 용착고정시켜 반도체칩의 회로가 볼과 연결되도록 하는 기본구성을 이루고 있다.
- [6] 그리고 상기 회로기관은 내부에 플레인층(Plane Layer)과, 플레인층의 외부에는 에폭시층과 에폭시층의 외부에는 시그널층과, 시그널층 외부에는 솔더마스크층을 구비하여 두께가 얇은 박판 형태를 이루고 있다.
- [7] 한편, 최근 들어서는, 전자 제품의 사용자를 사용 중에 발생하는 전자파로부터 보호하기 위하여 각 나라별로 반도체 전자 장치의 이엠아이(electro magnetic interference) 쉘딩을 권장 또는 의무화하고 있으며, 이러한 이엠아이 쉘드를 이용한 전자파의 차폐구성은 등록특허공보 제10-0258351호인 "반도체패키지"를

통해 확인할 수 있다.

발명의 상세한 설명

기술적 과제

- [8] 그러나, 전술한 바와 같은 종래의 이엠아이 설딩은 개방부가 형성된 차폐수단에 컴파운드재를 충전시켜 설치하는 구성으로, 작게 형성되는 반도체패키지에 일일이 적용하기 어려운 문제가 있었을 뿐만 아니라, 낮은 생산성과 공정비용이 높은 문제가 있었으며, 이엠아이 차폐 효과도 미흡한 단점이 있었다.
- [9] 따라서, 본 출원인은 반도체패키지에 이엠아이 설딩을 보다 용이하게 이룰 수 있도록 하는 반도체패키지의 이엠아이 설드 처리공법을 개발하기에 이르렀다.

과제 해결 수단

- [10] 본 발명은 한번의 코팅작업으로 테이프의 상면에 일정간격으로 다수 부착되어 있는 반도체패키지를 동시에 코팅처리할 수 있을 뿐만 아니라, 반도체패키지의 하면에 범프가 형성되어 있다 하더라도, 반도체패키지의 하면 가장자리가 테이프에 접착된 상태로 범프가 홀에 삽입설치되도록 함으로써 코팅 처리시 범프가 형성된 반도체패키지의 하면을 제외한 5면의 코팅처리를 동시에 이룰 수 있으며, 이를 통해, 제조비용을 절감은 물론, 생산성을 향상시킬 수 있는 반도체패키지의 이엠아이 설드 처리공법을 제공하는데 목적이 있다.
- [11] 상기와 같은 목적을 달성하기 위한 본 발명은 프레임의 하면에 테이프의 가장자리를 부착하여 프레임의 내주에 테이프를 형성시키는 테이프 부착단계; 상기 테이프에 홀을 일정간격으로 형성시키는 테이프 커팅단계; 반도체패키지의 하면에 형성된 범프가 테이프의 홀에 끼워지도록 반도체패키지의 하면 가장자리를 테이프의 상면에 배치하여 상기 반도체패키지를 테이프의 상면에 일정간격으로 접착설치하는 반도체패키지 접착설치단계; 상기 테이프의 상부에서 코팅작업 하여 테이프의 상면에 접착된 반도체패키지와 테이프의 상면을 코팅처리하는 코팅단계;로 구성되어, 반도체패키지의 하면을 제외한 5면 코팅이 이루어지는 것을 특징이 있는 반도체패키지의 이엠아이 설드 처리공법을 제공한다.

발명의 효과

- [12] 본 발명의 반도체패키지의 이엠아이 설드 처리공법은, 한번의 코팅작업으로 테이프의 상면에 일정간격으로 다수 부착되어 있는 반도체패키지를 동시에 코팅처리할 수 있을 뿐만 아니라, 반도체패키지의 하면에 범프가 형성되어 있다 하더라도, 테이프에 형성된 홀에 반도체패키지의 범프가 삽입된 상태로 반도체패키지의 하면 가장자리가 테이프에 접착되어 설치되므로 코팅 처리시 범프가 형성된 반도체패키지의 하면을 제외한 5면의 코팅처리를 동시에 이룰 수 있으며, 이를 통해, 제조비용을 절감은 물론, 생산성을 향상시킬 수 있는 유용한 발명이다.

도면의 간단한 설명

- [13] 도 1은 본 발명의 반도체패키지의 이엠아이 쉘드 처리공법을 도시한 순서도.
- [14] 도 2는 본 발명의 테이프 부착단계를 도시한 사시도.
- [15] 도 3은 본 발명의 반도체패키지 접착단계를 도시한 사시도.
- [16] 도 4는 본 발명의 코팅단계를 도시한 단면도.
- [17] 도 5는 도 4의 A부분 확대도.
- [18] 도 6은 도 4의 B부분 확대도.
- [19] 도 7은 본 발명의 테이프 커팅단계를 도시한 사시도.
- [20] 도 8은 본 발명의 홀이 형성된 테이프에 범프가 형성된 반도체패키지
접착시키는 반도체패키지 접착단계를 아랫면에서 도시한 사시도.
- [21] 도 9는 본 발명의 범프가 형성된 반도체패키지를 코팅처리하는 코팅단계를
도시한 단면도.
- [22] 도 10은 도 9의 A부분 확대도.
- [23] 도 11은 도 9의 B부분 확대도.
- [24] * 부호의 설명 *
- [25] D1, D2 : 넓이 1 : 프레임
- [26] 10 : 테이프 11 : 홀
- [27] 20 : 반도체패키지 21 : 범프
- [28] 30 : 코팅

발명의 실시를 위한 최선의 형태

- [29] 상기와 같은 문제점을 해결하기 위한 본 발명의 구성을 살펴보면 다음과 같다.
- [30] 본 발명은 도 1 내지 도 11에 도시된 바와 같이 반도체패키지에 코팅처리를
함으로써 이엠아이 쉘드 처리를 이루는 반도체패키지의 이엠아이 쉘드
처리공법에 관한 것으로, 프레임(1)의 하면에 테이프(10)의 가장자리를 부착하여
프레임(1)의 내주에 테이프(10)를 형성시키는 테이프 부착단계(S10);
반도체패키지(20)를 테이프(10)의 상면에 일정간격으로 접착설치하는
반도체패키지 접착설치단계(S20); 상기 테이프(10)의 상부에서 코팅작업 하여
테이프(10)의 상면에 접착된 반도체패키지(20)와 테이프(10)의 상면을
코팅(30)처리하는 코팅단계(S30);로 구성되어, 반도체패키지(20)의 하면을
제외한 5면 코팅(30)을 이루는 것을 특징으로 하며, 이하에서 보다 상세히
설명한다.
- [31] 첫째, 테이프 부착단계(S10)는 도 1 내지 도 2에 도시된 바와 같이 내부에 홀이
형성되도록 중공형으로 형성된 프레임(1)에 테이프(10)를 부착하여 상기
프레임(1)의 내주에 테이프(10)를 형성시키는 단계로서, 프레임(1)의 하면에
테이프(10)의 가장자리를 부착하는 것으로 완료한다.
- [32] 그리고, 상기 테이프(10)의 부착은 테이프(10)를 프레임(1)에 대응되는 크기로
미리 절단하여 위치에 맞게 부착할 수도 있으나, 테이프(10)가 프레임(1)의

내주를 채우도록 부착한 상태에서 프레임(1)의 크기에 맞게 테이프(10)의 외곽을 절단처리하는 것이 바람직하다.

- [33] 둘째, 반도체패키지 접착설치단계(S20)는 도 1 또는 도 3에 도시된 바와 같이 반도체패키지(20)를 테이프(10)에 일정간격으로 안착시키는 것을 통해 반도체패키지(20)의 하면을 테이프(10)의 상면에 접착설치하는 단계로서, 공지된 피커와 같은 통상의 이송장치(미도시)를 통해 일정간격으로 자동 배치하는 것이 바람직하다.
- [34] 셋째, 코팅단계(S30)는 도 1 또는 도 4 내지 도 6에 도시된 바와 같이 테이프(10)의 상면에 접착되어 있는 반도체패키지(20)를 코팅(30)처리하는 단계로서, 테이프(10)의 상부에서 코팅작업을 수행한다.
- [35] 따라서, 상기 코팅단계(S30)에 의하면, 테이프(10)의 상면은 물론, 반도체패키지(20)의 전,후,좌,우,상면인 5면에서 모두 코팅(30)이 이루어지며, 프레임(1)의 일부 또는 전체에도 코팅(30)이 될 수 있다. 즉, 테이프(10)에 접착되어 있는 반도체패키지(20)의 하면을 제외한 모든 면을 코팅할 수 있게 되는 것이다.
- [36] 아울러, 상기 코팅단계(S30)에서의 코팅(30)은 진공증착과 같은 통상의 증착을 통해 이루는 것이 바람직하나, 담금이나 무전해도금과 같은 도금 등과 같이 다양한 방법을 통할 수도 있을 것이다.
- [37] 그리고, 본 발명을 이용하여 코팅을 하면, 한 번의 코팅으로 전체부위를 모두 코팅(30)할 수 있으므로, 이엠아이 쉘드 처리된 반도체패키지(20)의 제조가 용이해져 제조비용을 절감은 물론, 생산성의 향상을 이룰 수 있는 장점이 있다.
- [38] 한편, 본 발명에 의하면, 하면에 범프(21)가 형성되어 있는 반도체패키지(20)의 코팅을 이룰 수도 있는데, 이때에는, 도 1 또는 도 7에 도시된 바와 같이 테이프(10)에 범프(21)가 삽입되는 홀(11)을 일정간격으로 형성시키는 테이프 커팅단계(S15)가 상기 테이프 부착단계(S10)와 반도체패키지 접착설치단계(S20) 사이에 더 포함 구성되어야만 한다.
- [39] 그리고, 이때의 반도체패키지 접착설치단계(S20)는 도 8에 도시된 바와 같이 공지된 피커와 같은 통상의 이송장치(미도시)를 통해 범프(21)가 테이프(10)의 홀(11)에 끼워지도록 반도체패키지(20)의 하면 가장자리를 테이프(10)의 상면에 자동 배치하는 것이 바람직하며, 상기와 같이 반도체패키지(20)가 정해진 위치로 배치되면, 테이프(10) 상면의 접착성질에 의해 상기 테이프(10)와 밀접되어 있는 반도체패키지(20)의 가장자리 부분이 테이프(10)에 접착되어 설치되게 된다.
- [40] 따라서, 도 9 내지 도 11에 도시된 바와 같이 상기 테이프(10)의 상부에서 코팅작업을 수행하면, 테이프(10)의 상면은 물론, 반도체패키지(20)의 전,후,좌,우,상면인 5면이 모두 코팅(30)이 되므로, 범프(21)가 형성된 반도체패키지(20)의 하면을 제외한 5면 코팅이 이루어지게 된다.
- [41] 또한, 상술한 테이프 커팅단계(15)는 도 1 또는 도 7에 도시된 바와 같이 반도체패키지(20)의 하부로 돌출형성된 범프(21)를 삽입시킬 수 있도록 하는

홀(11)을 형성시키는 단계로서, 공지된 피커와 같은 이동장치(미도시)를 통해 일정간격으로 이동배치되는 반도체패키지(20)의 용이한 접착설치를 위해 일정간격으로 이격 되어 형성되며, 반도체패키지(20)의 크기나 형상에 따라 다양하게 형성된다.

- [42] 아울러, 상기 홀(11)은 보다 용이하면서도 정확하게 형성시킬 수 있도록 레이저 커팅을 통해 형성되는 것이 바람직하나, 이외에도 금형 등을 이용한 펀칭으로 가공형성될 수도 있을 것이다.
- [43] 더불어, 도 10에 도시된 바와 같이 상기 홀(11)의 크기는 반도체패키지(20)의 하측 가장자리가 테이프(10)의 상면에 접착설치될 수 있도록, 반도체패키지(20)의 하부에 형성되는 범프(21)의 분포 넓이(D1)보다는 넓고, 반도체패키지(20)의 넓이(D2)보다는 좁게 형성되어야 할 것이다.
- [44] 그리고, 상기 반도체패키지(20)의 하부에는 범프(21)가 아닌 볼(미도시)이 접착되어 설치될 수도 있는데, 상기와 같이 반도체패키지(20)의 하부에 볼이 설치되어 있을 때에도 동일한 공법을 사용할 수 있으므로, 본 발명에서 설명되는 범프(21)는 반도체패키지(20)의 하측으로 돌출될 수 있는 구성 모두를 의미한다 하겠다.
- [45] 이상에서 살펴본 바와 같이 본 발명의 반도체패키지의 이엠아이 쉘드 처리공법을 이용하면, 반도체패키지(20)를 하면을 제외한 전,후,좌,우,상면인 5면의 코팅을 동시에 이룰 수 있을 뿐만 아니라, 테이프(10)의 상면에 접착되어 있는 모든 반도체패키지(20)를 한번의 코팅작업으로 완료할 수 있으므로 제조비용의 절감과 생산성의 향상을 이룰 수 있게 된다.

청구범위

- [청구항 1] 프레임(1)의 하면에 테이프(10)의 가장자리를 부착하여 프레임(1)의 내주에 테이프(10)를 형성시키는 테이프 부착단계(S10);
 상기 테이프(10)에 홀(11)을 일정간격으로 형성시키는 테이프 커팅단계(S15);
 반도체패키지(20)의 하면에 형성된 범프(21)가 테이프(10)의 홀(11)에 끼워지도록 반도체패키지(20)의 하면 가장자리를 테이프(10)의 상면에 배치하여 상기 반도체패키지(20)를 테이프(10)의 상면에 일정간격으로 접착설치하는 반도체패키지 접착설치단계(S20);
 상기 테이프(10)의 상부에서 코팅작업 하여 테이프(10)의 상면에 접착된 반도체패키지(20)와 테이프(10)의 상면을 코팅(30)처리하는 코팅단계(S30);로 구성되어,
 반도체패키지(20)의 하면을 제외한 5면 코팅(30)이 이루어지는 것에 특징이 있는 반도체패키지의 이엠아이 쉘드 처리공법.
- [청구항 2] 제 1항에 있어서, 상기 테이프 커팅단계(S15)에서 홀(11)은 레이저 커팅이나 펀칭으로 가공형성되며, 상기 홀(11)의 크기는 범프(21)가 형성된 분포 넓이(D1) 보다는 넓고,
 반도체패키지(20)의 넓이(D2)보다는 좁게 형성되는 것을 특징으로 하는 반도체패키지의 이엠아이 쉘드 처리공법.
- [청구항 3] 제 1항에 있어서, 상기 코팅단계(S30)에서의 코팅(30)처리는 진공증착 또는 무전해도금으로 이루어지는 것을 특징으로 하는 반도체패키지의 이엠아이 쉘드 처리공법.